'97

THE MICROCOMPUTER PERIPHERAL LSI MANUAL

最新 マイコン周辺LSI規格表

半導体規格表シリーズ(全20冊)

No.19

CQ出版社

DEALER'S GUIDE

＜広告主情報＞

ディーラ，ショップ名 ＼ デバイス・メーカ名	ACTEL	ADVANCED MICRO DEVICES	ALTERA	ANALOG DEVICES	APEX MICROTECH	旭化成マイクロシステム	BROOKTREE	BURR BROWN	キヤノン	シーアールボックス	CYPRESS SEMICONDUCTOR	DALLAS SEMICONDUCTOR	DATEL	DIGITAL EQUIPMENT	ELANTEC	富士通	GENERAL INSTRUMENT	GOLD STAR(金星電子)	浜松ホトニクス	HARRIS	HEWLETT PACKARD	日立製作所	HYUNDAI ELECTRONICS(現代電子)	INTEGRATED DEVICE TECHNOLOGY	INTEL	LATTICE SEMICONDUCTOR	LINEAR TECHNOLOGY	MAXIM INTEGRATED PRODUCTS	MICROCHIP TECHNOLOGY	MICRO LINEAR	ミツミ電機	三菱電機	MOSEL VITELIC	MOSPEC SEMICONDUCTOR	MOTOROLA	電話番号
アロマン㈱	●	●	●	●		●	●	●	●		●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●			●	044-934-0034
今永電機産業㈱																																				06-974-1111
極東貿易㈱					●																															03-3244-3793
清友電子㈱			●	●				●					●			●	●	●	●	●		●	●		●	●	●	●			●	●		●	●	03-3864-6131
㈱テレビイ商会																						●														03-3253-3861
㈱十一電気商会		●		●												●				●		●									●	●				06-211-4107
㈱東通販				●				●					●			●	●		●	●		●				●	●	●			●				●	03-3255-1051
マイクロテック㈱		●										●			●													●					●			03-5300-5535
ロジックデバイス㈱	●			●	●			●	●	●	●		●			●			●	●	●	●			●			●			●				●	03-5294-3661

ディーラ，ショップ名 ＼ デバイス・メーカ名	MUSIC SEMICONDUCTOR	MX-COM	NATIONAL SEMICONDUCTOR	NEC	日本無線	日鉄セミコンダクター	OAK TECHNOLOGY	沖電気工業	オムロン	OPTICAL ELECTRONICS	オリジン電気	PHILIPS	PLESSY SEMICONDUCTOR	PRECISION MONOLITHICS	RAYTHEON SEMICONDUCTOR	RCA	RECTRON	リコー	ローム	三洋電機	セイコー電子工業	セイコーエプソン	SEMIKRON	SGS-THOMSON MICROELECTRONICS	シャープ	SIPEX	S3	新日本無線	新日本製鐵	ソニー	SUPERTEX	TELEDYNE SEMICONDUCTOR	TEXAS INSTRUMENTS	東光	トーキン	電話番号
アロマン㈱	●	●	●	●	●		●	●	●		●	●	●	●	●		●	●	●	●	●	●	●	●	●	●	●	●		●	●	●	●	●	●	044-934-0034
今永電機産業㈱																																				06-974-1111
極東貿易㈱										●																										03-3244-3793
清友電子㈱			●	●	●	●		●	●		●	●	●		●	●			●	●	●	●	●	●	●			●	●	●		●	●	●	●	03-3864-6131
㈱テレビイ商会																																				03-3253-3861
㈱十一電気商会				●											●		●	●	●	●	●	●		●	●			●								06-211-4107
㈱東通販			●	●				●			●	●							●	●	●	●		●	●			●		●		●	●	●	●	03-3255-1051
マイクロテック㈱	●						●																								●					03-5300-5535
ロジックデバイス㈱			●	●				●			●	●			●	●		●	●	●	●	●	●	●	●	●		●		●		●	●	●	●	03-5294-3661

ディーラ，ショップ名	東芝	UMC	ユニゾン	ヤマハ	ZILOG	抵抗器	ダブル・バランスド・ミキサ	コンデンサ	トランス，コイル	フィルタ	スイッチ	リレー	モータ，ファン，ブロア	センサ	振動子，発振子	EMI対策用部品	プリント基板，積層板	コネクタ	ケーブル	筐体，シャーシ	ソケット，端子部品	電源機器	電話番号
アロマン㈱	●	●	●	●	●			●	●	●	●	●		●	●		●	●			●	●	044-934-0034
今永電機産業㈱						●		●	●	●	●	●		●	●	●	●	●	●	●	●	●	06-974-1111
極東貿易㈱																							03-3244-3793
清友電子㈱	●		●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	03-3864-6131
㈱テレビイ商会																							03-3253-3861
㈱十一電気商会	●					●		●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	06-211-4107
㈱東通販	●					●		●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	03-3255-1051
マイクロテック㈱																							03-5300-5535
ロジックデバイス㈱	●		●		●	●		●	●	●	●	●		●	●	●	●	●	●		●	●	03-5294-3661

MANUFACTURER'S GUIDE

＜広告主情報＞

社　名（販売拠点）	所　在　地	TEL	FAX
アイアールファーイースト㈱	〒171 東京都豊島区西池袋3-30-4 K&Hビル	03-3983-0086	03-3983-0642
大阪支社	〒532 大阪市淀川区西中島7-6-12 新大阪駅前末広ビル	06-302-9005	06-302-9105
名古屋支社	〒465 名古屋市名東区社台3-247 第三名昭ビル6-B	052-774-7707	052-774-7731
石塚電子㈱ 営業本部	〒130 東京都墨田区錦糸1-7-7	03-3621-2703	03-3623-6100
西日本支社	〒532 大阪府大阪市淀川区宮原2-1-17 新大阪プロスペルビル	06-391-6491	06-395-3649
名古屋支社	〒465 愛知県名古屋市名東区高社1-263 一社中央ビル	052-777-5070	052-777-5061
㈱インテグラル電子	〒182 東京都調布市八雲台2-9-1	0424-81-2821	0424-81-1288
クレイアス㈱	〒258 神奈川県足柄上郡松田町寄5501番地	0465-89-2825	0465-89-2826
㈱東芝 半導体営業企画担当	〒105-01東京都砦区芝浦1-1-1東芝ビルディング	03-3457-3405	03-5444-9342
北海道支社 電子部品担当	〒060 北海道札幌市中央区北三条西1 東芝札幌ビル	011-214-2481	011-280-3286
東北支社 電子部品部	〒980 宮城県仙台市青葉区本町2-1-29 第一生命ホンマビル	022-264-7622	022-264-7496
北関東支社 半導体営業部	〒331 埼玉県大宮市錦町682-2 大宮情報文化センター17F	048-640-1127	048-647-1090
東関東支社 半導体営業部	〒261-71 千葉県千葉市美浜区中瀬2-6 WBGマリブイースト24F	043-299-1018	043-297-2550
神奈川支社 半導体営業部	〒231 神奈川県横浜市中区尾上町1-8 関内新井ビル5F	045-664-8560	045-651-7465
北陸支社 電子部品部	〒930 富山県富山市桜橋通り2-25 第一生命ビル9F	0764-45-2672	0764-43-1502
中部支社 半導体営業部	〒450 愛知県名古屋市中村区名駅南1-24-30 三井ビル本館	052-564-8721	052-562-5785
関西支社 半導体営業部	〒531 大阪府大阪市北区大淀中1-1-30 梅田スカイビルタワーウェスト	06-440-2201	06-440-1640
中国支社 電子部品部	〒730 広島県広島市中区大手町2-7-10 広島三井ビル	082-246-3130	082-504-3242
四国支社 電子機器部 電子・半導体グループ	〒760 香川県高松市鍛冶屋町3 香川三友ビル7F	0878-25-2491	0878-25-2405
九州支社 電子部品部	〒810 福岡県福岡市中央区長浜2-4-1 東芝福岡ビル13F	092-735-3006	092-735-3373
半導体営業統括部			
半導体広域顧客営業推進担当	〒101 東京都千代田区外神田1-8-13 東芝秋葉原ビル4F	03-3257-5671	03-5256-7511
半導体特約営業担当	〒101 東京都千代田区外神田1-8-13 東芝秋葉原ビル5F/6F	03-3257-5606	03-5256-7639
半導体社内営業部	〒101 東京都千代田区外神田1-8-13 東芝秋葉原ビル7F	03-3257-5677	03-5256-7512
日本テキサス・インスツルメンツ㈱			
プロダクト・インフォメーション・センター	〒108 東京都港区芝浦4-13-23 ＭＳ芝浦ビル	0120-81-0026	0120-81-0036
マイクロチップテクノロジー インターナショナルInc.			
日本支社	〒222 神奈川県横浜市港北区新横浜3-18-20 BENEX S-1 6F	045-471-6166	045-471-6122

最新マイコン周辺LSI規格表

◆規格表ご利用の際のお願い◆

本規格表のデータはメーカー発表の資料に基づいて作成しておりますが，メーカーでは改良などのために予告なく仕様が変更されることがあり，また，データ量が多いため編集の都合で省略している場合などがあります．したがって，実際に素子を使用して製品を生産される場合などは，当該メーカーにお問合せの上，必ず仕様をご確認ください．本書に記載されたデータによって生じた不具合などについては，小社ならびに著作権者は責任を負いかねますのでご了承ください．

本規格表には，マイクロコンピュータの周辺で使用される各種IC, LSIの規格が載せてあります．

マイクロコンピュータのシステム設計では，心臓部のCPU以外に多数の周辺デバイスを使用します．これらの周辺デバイスの中で，CPUと周辺の入出力機器との間にあって，CPUの制御下で，プログラムの入出力機能を代行し，効率的なデータ交換を行うデバイスは，一般に周辺LSIと呼ばれています．

一口に周辺LSIといっても，非常に多くの種類があります．周辺LSIの多くは，接続されたCPUによってコントロールされるため，メインとなるCPUと容易にデータの交換ができるよう信号線が工夫されています．これらは接続されるCPUによって，○○ファミリと呼ばれています．一方，特殊な周辺機器のコントロール用のLSIには，どのようなCPUにも接続できるようになったものもあります．

また，CPUや周辺機器の多様化によって，多くの周辺LSIが出現しています．マイコン・システムの設計では規模の大小を問わず，いかに最適な周辺LSIを選択するかが，CPUの選択と同様に，大きなウェイトをしめます．

以上のような点から，本規格表では，多くの周辺LSIの中から，比較的使用頻度の高いファミリLSI，専用コントローラLSIを選択し，記載してあります．

周辺LSIの選択の場合，最も大きなポイントとなるのは，LSIのもつ機能，電気的特性です．このため，本規格表では，LSIの機能を知る上で不可欠なブロック図，端子機能を中心に記載してあります．また，LSIのピン接続は，端子の入出力機能が一目でわかるよう工夫しており，回路図のチェックなどにも有効です．

周辺LSIは年々集積化が進み，大規模，高機能となっています．このため，すべての特性，使い方まで記載することはできませんでした．詳細なデータは，メーカのデータブック，データシートを参考にしてください．

収録にあたって引用させていただいたメーカの方々に誌面をかりてお礼申し上げます．なお編者のミスから内容が誤っていた場合，ご容赦いただくとともに，ご連絡をいただければ幸いです．

マイコン周辺LSI
規格表目次

マイコン周辺LSI規格表の見方・使い方

本規格表には，割り込みコントローラ，DMAコントローラなどのCPU機能サポートLSI，インターフェースLSI，ペリフェラル・コントローラLSIを中心に記載してあります．ただし，A-D，D-Aコンバータや特殊な通信用コントローラ(交換機用コントローラ，LANコントローラなど)は省略しました．

収録した周辺LSIの多くは，6800/68000，8085A/8086，Z80ファミリです．これらはセカンド・ソースが多く，またオリジナル品より高性能のものも多いため，オリジナル品以外のデータ，略称を使用しているケースもあります．

周辺LSIの場合，メーカが多岐にわたり，またオリジナル品が廃止されることもあり，特定のメーカの品種にまとめることは困難でした．このため，68系については，モトローラ，日立を，85系についてはインテル，富士通を，Z80系についてはザイログ，東芝を中心に代表データとして収録してあります．

〔構成内容〕

① ピン接続

素子のピン配置図を示しています．パッケージがDIP，PLCC，QFPなど数種類ある場合は，代表としてDIPのピン配置を記載しました．

また，この図には，データの入出力方向を矢印で示してあります．

② 特徴

各素子の機能，特徴を箇条書きで示してあります．形状，消費電力，プロセスについては，型名によって異なり，また一覧表でわかるため，この欄には記載されていません．

③ ブロック図

各周辺LSIの内部ブロック図を示しています．素子の内部機能がわかるように，内部レジスタ，回路ブロックなどに分け，それらの接続関係を記しています．

④ 最大定格

最大定格には，ICの使用に当たって信頼性や寿命を保証するために，越えてはならない絶対最大定格値を記してあります．

(1) 電源電圧（V_{CC}またはV_{DD}）

電源端子－グラウンド間に印加できる最大電圧範囲を示します．

(2) 入力電圧（V_{IN}）

電源端子を除く入力端子に印加できる最大電圧範囲を示します．

(3) 消費電力（P_D）

パッケージの最大許容損失を示します．

(4) 動作温度（T_{OPR}）

電圧を印加した状態で動作する温度範囲を示します．

(5) 保存温度（T_{STG}）

電源電圧を印加しない状態で保存し，その後電圧を加えたときに所定の特性を保ちうる保存温度範囲を示します．

⑤ DC特性

DC特性は，ICの静止状態での入力特性，出力特性などを規定したものです．

(1) 低レベル入力電圧（V_{IL}）

ICが“L”レベルとして判定できる入力電圧を示し，最大値が保証されます．

(2) 高レベル入力電圧（V_{IH}）

ICが“H”レベルとして判定できる入力電圧を示し，最小値が保証されます．

(3) 低レベル出力電圧（V_{OL}）

ICが“L”レベルを出力したときの出力電

圧で，出力電流（I_{OL}）を流した時の電圧値を示しています．最大値が保証されます．

(4) 高レベル出力電圧（V_{OH}）

ICが"H"レベルを出力したときの出力電圧で，出力電流（I_{OH}）を流した時の電圧値を示しています．最小値が保証されます．

(5) 出力リーク電流（I_{OL}）

3ステート出力（バスなど）において，出力フロート状態で端子をV_{OUT}電圧にしたときのリーク電流値を示します．

(6) 入力リーク電流（I_{IL}）

入力電圧をV_{IN}レベルにしたとき，入力端子に流れ込む電流を示します．

(7) 入力容量（C_{IN}）

入力端子に接続できる最大容量値を示します．

(8) 出力容量（C_{OUT}）

出力端子が駆動できる最大の容量値を示します．

(注) DC特性については端子ごとに異なる場合があります．この場合には，TTL入出力特性をもつ端子がある場合は，その数値を優先記入してあります．ただしすべての端子がCMOS入出力特性の場合は，最も多くの端子の特性値を記入してあります．

⑥ 端子機能

各端子のもつ役割を示しています．ICのもつ機能がわかるように記載してありますが，内蔵レジスタの種類，使い方までは説明をしていません．したがって，初期化の方法，プログラミングの詳細については，各メーカのプログラミング・マニュアルを参照してください．

〔一覧表の見方〕

① 型名

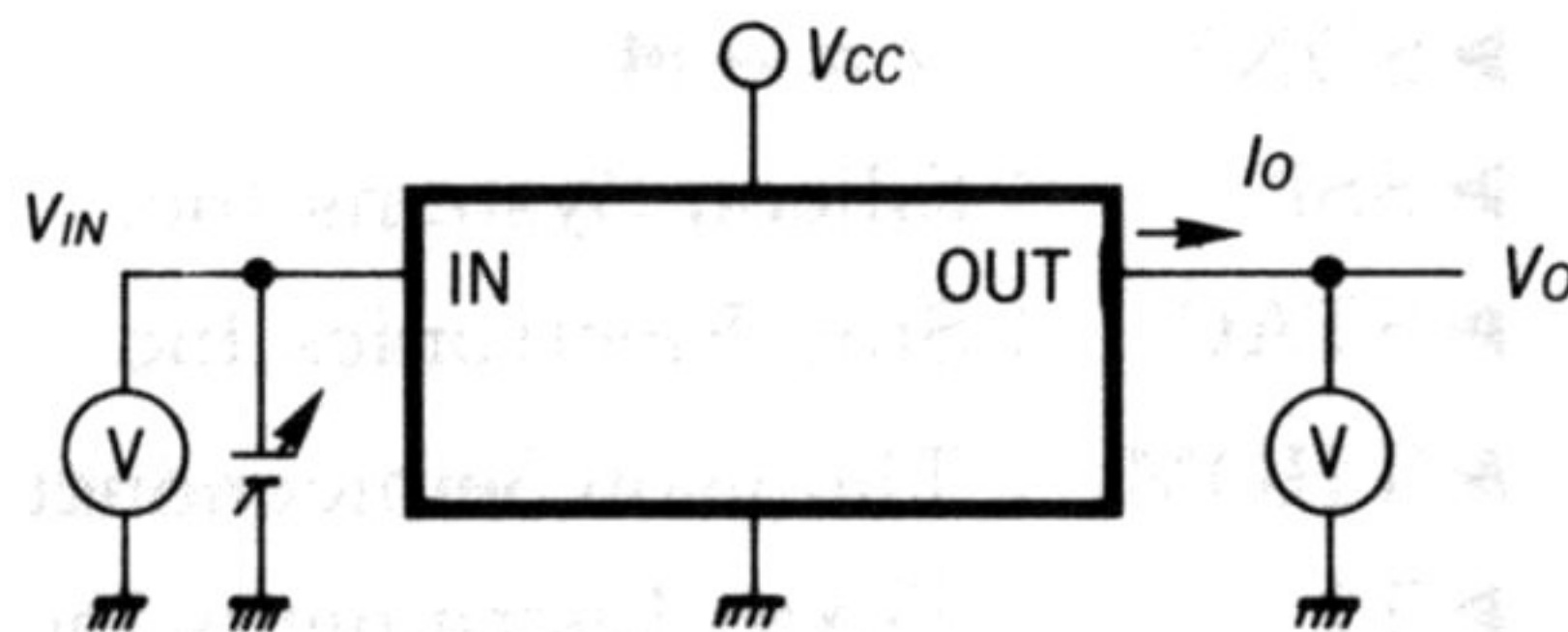
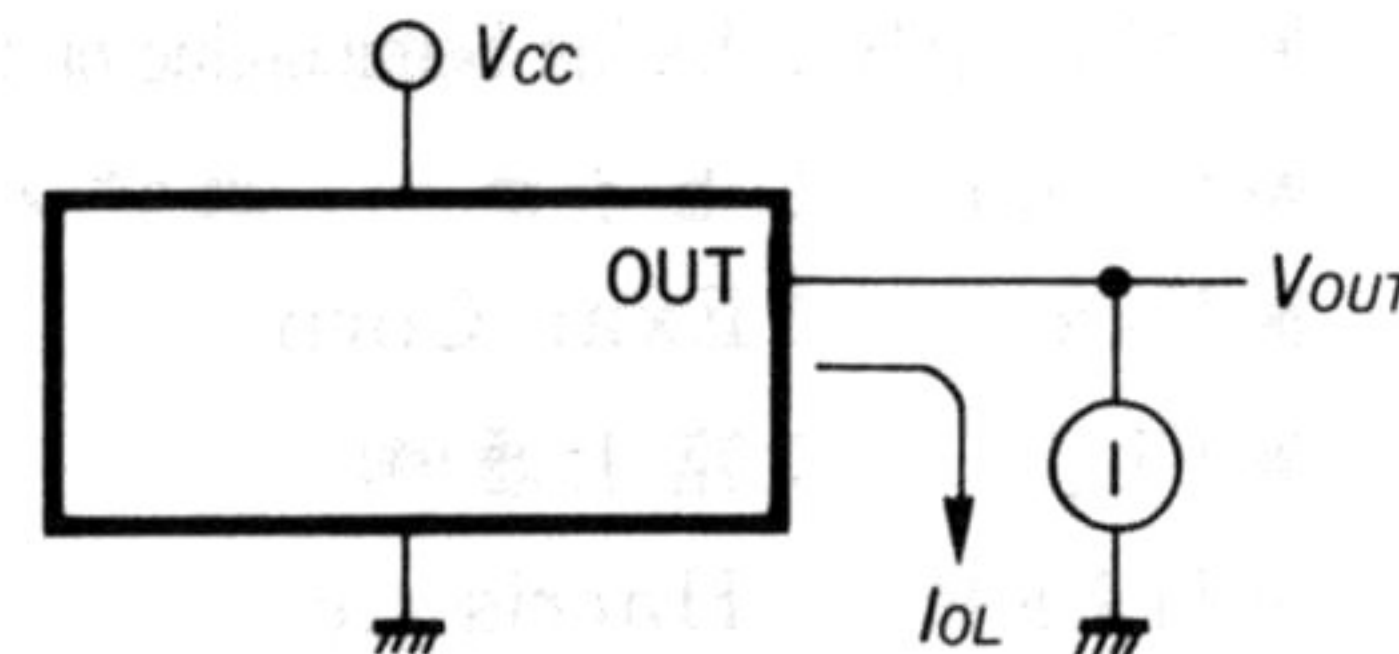
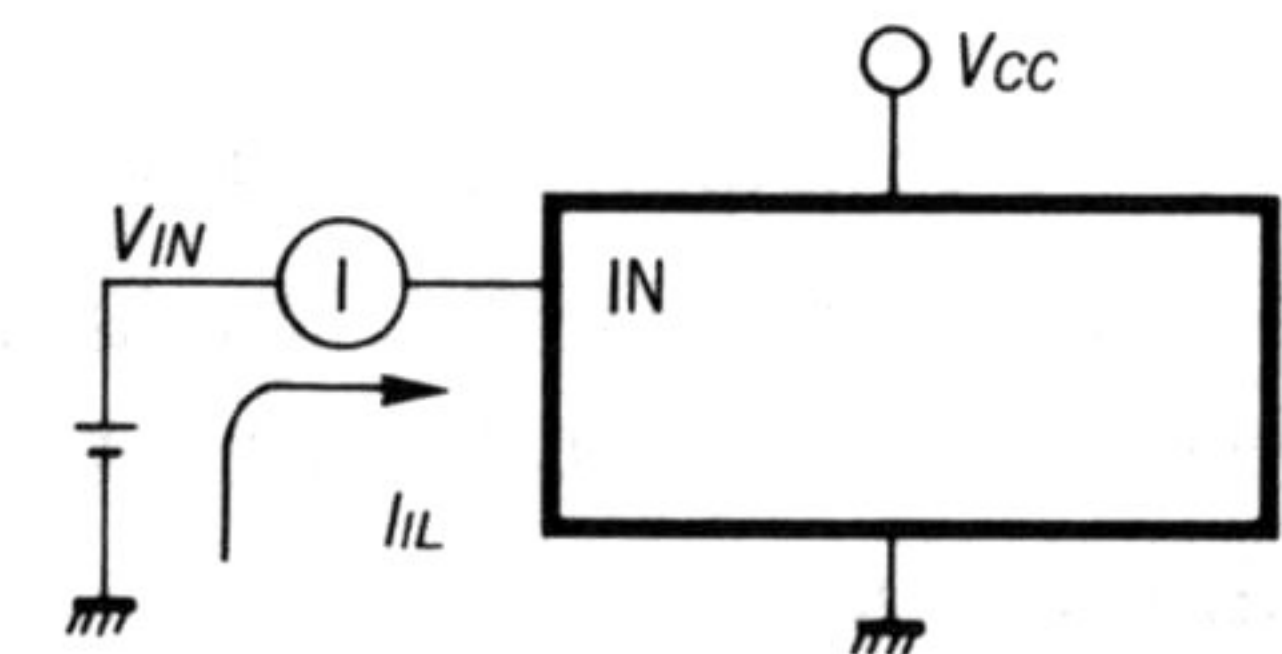
メーカのIC型名を示します．

② 適応CPU

接続対象のCPUを，以下の記号で示します．

- ▶ 1 ……8080A，8085A系
- ▶ 2 ……8086，80186，80286系
- ▶ 3 ……Z80系
- ▶ 4 ……6800系
- ▶ 5 ……Vシリーズ系
- ▶ 6 ……Z8000系
- ▶ 7 ……68000系
- ▶ 8 ……80386/80486系
- ▶ALL…汎用タイプ
- ▶その他特殊用途では，CPU名を記載

③ 動作速度

〈図1〉DC特性の測定回路

(a) V_{IH}, V_{IL}, V_{OH}, V_{OL}

(b) I_{OL}

(c) I_{IL}

クロック入力を必要とするICでは，入力クロック速度の最大値を示します．また，クロック入力を必要としないICの場合は，リードまたはライトのパルス幅が遅延時間（セットアップ遅延時間）を示しています．

同一型名のICで，動作速度の異なるタイプが存在する場合は，/で区切って記してあります．

④ 消費電流

各ICの最大消費電流を，mAで示します．カタログに消費電力（W）のみ記載されている場合は，動作電圧を元に電流値に換算してあります．

⑤ プロセス

ICの製造プロセスを示します．カタログにCHMOS，HMOSと記載されている場合（例えばINTEL社）はそのまま転記してあります．バイポーラの場合は，BIPと略記してあります．

⑥ 外形

パッケージの種類は，DIPを優先して記載してあります．DIPが存在しない場合には，FP(QFPのこと)，PLCCを記載しています．

⑦ 入出力レベル

カタログにTTLレベルと書いてあっても，DC特性の高レベル入力電圧(V_{IH}) は，2.0Vから2.7Vのものまでさまざまです．この一覧表では，V_{IH}として，ノーマルTTLのV_{OH}である2.4Vを基準にし，V_{IH}が2.4V以下のものはTTLレベルとしました．

また，入出力端子の中で，TTLレベルとCMOSレベルが混在している場合はTTL，すべての端子がCMOSレベルの場合はCMOSとしています．

⑧ 社名

メーカ名を次に示す略称で示しています．

▶ADAPTEC ：Adaptec Inc.
▶ALTERA ：Altera Corp.
▶AMCC ：Applied Micro Circuits Corp.
▶AMD ：Advanced Micro Devices Inc.
▶AMPE ：Ampére (㈱アンペール)
▶ASAHI ：旭化成マイクロシステム㈱
▶AUSTEK ：Austek Microsystems
▶CHIPS ：Chips and Technologies, Inc.
▶Cypress ：Cypress Semiconductor Corp.
▶CIRRUS ：Cirrus Logic, Inc.
▶DALLAS ：Dallas Semiconductor Corp.
▶EPSON ：セイコー・エプソン㈱
▶Exar ：Exar Corp.
▶FUJI ：富士通㈱
▶HARR ：Harris Co.
▶HITA ：㈱日立製作所
▶INTEL ：Intel Corp.
▶INTS ：GE Intersil
▶MATUSITA ：松下電子工業㈱
▶MITU ：三菱電機㈱
▶MOT ：Motorola, Inc.
▶NCR ：NCR Corp.
▶NPC ：Nippon Precision Circuits Inc.
▶NEC ：日本電気㈱
▶NS ：National Semiconductor Corp.
▶OKI ：沖電気工業㈱
▶PLX ：PLX Technology Corp.
▶RCA ：RCA
▶RICO ：㈱リコー
▶ROHM ：ローム㈱
▶SANYO ：三洋電機㈱
▶SEIKO ：セイコー電子工業㈱
▶SHAP ：シャープ㈱
▶SIEMENS ：Siemens Aktiengesellshaft
▶SIGNE ：Signetics
▶SL ：Silicon Logic Inc.
▶SM ：Standard Microsystems Corp.
▶SONY ：ソニー㈱
▶SSI ：Silicon Systems Inc.
▶STAC ：Stac Electronics Inc.
▶THOM ：Thomson Semiconductors
▶TI ：Texas Instruments Inc.
▶TOSI ：㈱東芝
▶UMC ：United Microelectronics Corp.
▶VLSI ：VLSI Technology, Inc.

▶WD　　：Western Digital Corp.
▶ZENIC　：㈱ジーニック
▶ZILOG　：Zilog
（国内で取扱っている日本法人/商社についてては巻末に掲載してあります）

型　名	頁	適応CPU	ｵﾘｼﾞﾅﾙ	動作速度	消費電流	ﾌﾟﾛｾｽ	外　形	分類	入出力	特　　徴	社　名
82077	*182	ALL	82077	24MHz	50.00	CMOS	PLCC68	FDC	TTL	PC／AT,PS／2用FDコントローラ.250Kビット／s～1Mビット／sデータ・セパレータ	INTEL
82078	*184	ALL	82078	24MHz	30.00	CMOS	QFP44	FD	TTL	IBMおよびIBMﾌｫｰﾏｯﾄ準拠で250K～1MBPSのﾃﾞｰﾀ・ｾﾊﾟﾚｰﾀ内蔵．82077/8272と互換	INTEL
8212	*270	1,2	8212	15ns	130.00	NMOS	DIP24	PIO	TTL	８ビット・データ・レジスタ／バッファ，３ステート出力	INTEL
8216/8226	*272	1,2	8216	30/25ns	130.00	NMOS	DIP16	PIO	TTL	８ビット・データ・バス・バッファ／ドライバ，３ステート出力	INTEL
82288	50	1,2	82288	6/8/10MHz	120.00	HMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル，８０２８６用システム・バス・コントローラ	INTEL
82303	*84	8	82303	20MHz	180.00	CHMOS	QFP100	CF	TTL	８２３０４，８２０７７との組合せて使用するローカル・チャネル・サポート・チップ	INTEL
82304	*86	8	82304	20MHz	180.00	CHMOS	QFP132	CF	TTL	８２３０３，８２０７７との組合せて使用するローカル・チャネル・サポート・チップ	INTEL
82307	*54	2,8	82307	20MHz	180.00	CMOS	FP182	BSCN	TTL	ＰＳ／２システム用のＤＭＡ／マイクロ・チャネル・アービトレーション・コントローラ	INTEL
82308	*56	2,8	82308	20MHz	180.00	CMOS	FP100	BSCN	TTL	マイクロ・チャネル用のバス・コントローラで８２３０９と併用される	INTEL
82309	*58	2,8	82309	20MHz	180.00	CMOS	FP100	BSCN	TTL	マイクロ・チャネル用のアドレス・バス・コントローラでDRAMコントローラを内蔵する	INTEL
82347	*88	8	82347	20MHz	40.00	CHMOS	QFP80	CF	TTL	ＰＣペリフェラル用の電源コントロール・デバイス	INTEL
82357	*90	8	82357	33MHz	200.00	CHMOS	FP132	CF	TTL	EISA DMAサイクルとコンパチブルで，バス・アービタ，インタラプト・コントローラを内蔵	INTEL
82374	*46	2,8	82374	33.3MHz	-	CMOS	QFP208	BSBF	TTL	ＥＩＳＡシステム機能をサポートし、８２３７５との組み合わせでＰＣＩバス接続可能	INTEL
82375	*34	2,8	82375	33.3MHz	-	CMOS	QFP208	BSAB	TTL	ＰＣＩローカル・バスとＥＩＳＡバス間のブリッジ用バス・アービタ	INTEL
8237A/-4/-5	156	1,2	8237	320/250/200ns	150.00	NMOS	DIP40	DMAC	TTL	四つの独立したＤＭＡチャネル．縦続接続可能	INTEL
8243	274	ALL	8243	700ns	100.00	NMOS	DIP24	PIO	TTL	ＭＣＳ４８のＩ／Ｏエキスパンダ，四つの４ビットＩ／Ｏポート	INTEL
82433	*62	Pentium	82433	66MHz	-	CMOS	QFP160	BSCN	TTL	６４ビットのＤＲＡＭインターフェースとＰＣＩ接続機能を持つﾛｰｶﾙ・ﾊﾞｽ・ｱｸｾﾗﾚｰﾀ	INTEL
82434	*64	Pentium	82434	66MHz	-	CMOS	QFP208	BSCN	TTL	SRAMｷｬｯｼｭおよびDRAMﾒｲﾝ・ﾒﾓﾘの制御機能とPCIﾊﾞｽ制御機能を持つﾒﾓﾘ/ﾊﾞｽ・ｺﾝﾄﾛｰﾗ	INTEL
8251A	376	1,2	8251	3.125MHz	100.00	NMOS	DIP28	SIO	TTL	同期／非同期動作，全二重ダブル・バッファ方式	INTEL
8253/-5	*140	1,2	8253	2.6MHz	140.00	NMOS	DIP24	CTC	TTL	３個のプリセット型１６ビット・カウンタ内蔵	INTEL
8254/-2/-5	140	1,2,8	8253	8/10/5MHz	170.00	HMOS	DIP24	CTC	TTL	三つの１６ビット・カウンタ内蔵，６通りのプログラマブル・カウンタ・モード	INTEL
8255A/-5	*276	1,2	8255	300ns	120.00	NMOS	DIP40	PIO	TTL	８ビット３ポート，ハンドシェィク信号生成，インタラプト発生	INTEL
8256AH	*92	1,2	8256	1/2/3/5MHz	160.00	CMOS	DIP40	CF	TTL	５個のカウンタ／タイマ，２個のパラレルＩ／Ｏポート，１個のＵＡＲＴを内蔵	INTEL
82588	242	2,8	82588	8MHz	400.00	HMOS	DIP28	LAN	TTL	CSMA/CD LANｺﾝﾄﾛｰﾗ,ﾊｲｽﾋﾟｰﾄﾞ・ﾓｰﾄﾞで20Mビット/sのﾋﾞｯﾄ・ﾚｰﾄ	INTEL
82590	*242	2,8	82588	16MHz	100.00	CMOS	DIP28	LAN	TTL	CSMA/CD LANｺﾝﾄﾛｰﾗ,ﾊｲｽﾋﾟｰﾄﾞ・ﾓｰﾄﾞで20Mビット/sのﾋﾞｯﾄ・ﾚｰﾄ	INTEL
82593	242	2,8	82588	20MHz	80.00	CHMOS	DIP28	LAN	TTL	CSMA/CD LANｺﾝﾄﾛｰﾗ,ﾊｲｽﾋﾟｰﾄﾞ・ﾓｰﾄﾞで20Mビット/sのﾋﾞｯﾄ・ﾚｰﾄ	INTEL
8259A/-2/-8	*216	1,2	8259	235/160/420ns	85.00	NMOS	DIP28	INT	TTL	優先度レベル８．カスケード接続で最大６４レベルを制御	INTEL
8272	180	ALL	765	4/8MHz	120.00	HMOS	DIP40	FDC	TTL	４台のＦＤを同時シーク可能，ＩＢＭフォーマット・コンパチブル	INTEL
8279	*280	1,2	8279	2/3.125MHz	120.00	NMOS	DIP40	PIO	TTL	キーボード／ディスプレイ・インターフェース，１６桁表示	INTEL
8282/8283	*40	ALL	8282/83	45/40ns	160.00	BIP	DIP20	BSBF	TTL	オクタル・ラッチ，８２８２はノンインバート，８２８３はインバート	INTEL
8286/8287	*42	ALL	8286/87	30/22ns	160.00	BIP	DIP20	BSBF	TTL	オクタル・バス・トランシーバ,８２８６はノンインバート，８２８７はインバート	INTEL
8288	52	1,2	8288	10MHz	230.00	BIP	DIP20	BSCN	TTL	マルチバス・コンパチブル，８０８６マキシマム・モード下で使用	INTEL
8289/-1	*30	2	8289	8/10MHz	165.00	BIP	DIP20	BSAB	TTL	マルチバス・コンパチブル，４種のモード可能	INTEL
82C284	104	2	82284	8/10/12.5MHz	75.00	CHMOS	DIP18	CG	TTL	リセット，ＲＥＡＤＹ入力付き	INTEL
82C288	50	1,2	82288	8/10/12.5MHz	75.00	CHMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル，８０２８６用システム・バス・コントローラ	INTEL
82C37A-5	156	1,2	8237	200ns	10.00	CMOS	DIP40	DMAC	TTL	四つの独立したＤＭＡチャネル．カスケード接続可能	INTEL
82C54/-2	140	1,2,8	8253/4	8/10MHz	20.00	CHMOS	DIP24	CTC	TTL	三つの１６ビット・カウンタ内蔵，６通りのプログラマブル・カウンタ・モード	INTEL
82C55A	276	1,2	8255	8MHz	10.00	CMOS	DIP40	PIO	TTL	８ビット３ポート，ハンドシェイク信号生成，インタラプト発生	INTEL
82C59A-2	216	1,2	8259	160ns	85.00	CMOS	DIP28	INT	TTL	優先度レベル８．カスケード接続で最大６４レベルを制御	INTEL
82C765	180	ALL	765	24MHz	20.00	CMOS	DIP48	FDC	TTL	ＩＢＭフォーマット・コンパチブル．２４ＭＨｚ水晶発振回路内蔵	CHIPS

（*印のページが掲載されています．*印のないページのＬＳＩはセカンド・ソースもしくは類似品です．）
（分類：BSAB/BSBF/BSCN:バス・アービタ／バス・バッファ／バス・コントローラ,CF:複合コントローラ,CG:クロック・ジェネレータ,CRTC:ＣＲＴ＆グラフィック・コントローラ,CTC:タイマ／カウンタ,DMAC:ＤＭＡコントローラ,DTSP:データ・セパレータ／ＶＦＯ,FDC:フロッピ・ディスク・コントローラ,GPIB:ＧＰＩＢコントローラ,HDC:ハード・ディスク・コントローラ,INT:割り込みコントローラ,ISDN:ＩＳＤＮコントローラ,LAN:ＬＡＮコントローラ,LCDC:ＬＣＤコントローラ,PIO:パラレルＩ／Ｏコントローラ,RTC:リアル・タイム・クロック,SCSI:ＳＣＳＩコントローラ,SIO/SPC:シリアル通信コントローラ）

型　名	頁	適応CPU	ｵﾘｼﾞﾅﾙ	動作速度	消費電流	ﾌﾟﾛｾｽ	外　形	分類	入出力	特　徴	社　名
82C84A/-5	106	2	8284	8/5MHz	10.00	CHMOS	DIP18	CG	TTL	リセット，ＲＥＡＤＹ入力付き	INTEL
82C88	52	1,2	8288	8MHz	10.00	CHMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル，８０８６マキシマム・モード下で使用	INTEL
85C960	*60	80960	85960	25MHz	50.00	CHMOS	DIP28	BSCN	TTL	80960のﾒﾓﾘ，I/O用のﾊﾞｽ･ｺﾝﾄﾛｰﾗでＵＶｲﾚｰｻﾞﾌﾞﾙまたはﾜﾝﾀｲﾑ･ﾌﾟﾛｸﾞﾗﾏﾌﾞﾙなμＰＬＤ	INTEL
Am53C80	318	ALL	5380	60ns	10.00	CMOS	DIP48	SCSI	TTL	非同期で１．５Ｍバイト／sの転送速度，パリティ・ジェネレータ内蔵	AMD
Am53C94LV	*338	ALL	5394	25MHz	25.00	CMOS	FP100	SCSI	CMOS	５３９４とコンパチブルで３．３Ｖ動作可能なＳＣＳＩコントローラ	AMD
Am7990	238	ALL	7990	10MHz	270.00	NMOS	DIP48	LAN	TTL	イーサネット仕様準拠のＬＡＮコントローラ．ＤＭＡ機能内蔵	AMD
Am79C30	*218	ALL	7930	12.288MHz	50.00	CMOS	DIP40	ISDN	TTL	ISDNﾃﾞｨｼﾞﾀﾙ加入者ｱｸｾｽ用コントローラ．DTMF，CODEC等に使用できるｵｰﾃﾞｨｵ･ﾌﾟﾛｾｯｻ内蔵	AMD
Am79C32	*224	ALL	7932	12.288MHz	50.00	CMOS	DIP40	ISDN	TTL	ISDNﾃﾞｨｼﾞﾀﾙ加入者ｱｸｾｽ用コントローラ．B,Dチャネルの制御を行う	AMD
Am79C90	*238	ALL	7990	10MHz	50.00	CMOS	DIP48	LAN	TTL	イーサネット仕様準拠のＬＡＮコントローラ．ＤＭＡ機能内蔵	AMD
Am79C900	*240	ALL	79900	20MHz	300.00	CMOS	PLCC84	LAN	TTL	第二世代のイーサネット・コントローラで，10BASE-5,10BASE-2,10BASE-Tに準拠	AMD
Am8255A	276	1,2	8255	300ns	120.00	NMOS	DIP40	PIO	TTL	８ビット３ポート，ハンドシェイク信号生成，インタラプト発生	AMD
Am8259A	216	1,2	8259	235/160ns	85.00	NMOS	DIP28	INT	TTL	優先度レベル８．カスケード接続で最大６４レベルを制御	AMD
Am9517A/8237A	156	1,2	8237	4/5MHz	150.00	NMOS	DIP40	DMAC	TTL	チャネル数４，転送モード４種，自動イニシャル機能付き	AMD
Am95C75	*286	ALL	9575	12.5MHz	70.00	CMOS	PLCC84	PIO	TTL	フォントおよびビデオ・メモリの制御回路を内蔵したラスタ・プリンタ・コントローラ	AMD
BU18410	162	3	Z80DMA	400/250ns	200.00	NMOS	DIP40	DMAC	TTL	プログラマブル．チャネル・ステータス読み出し可能	ROHM
BU18420	288	3	Z80PIO	2.5/4.0/6.0MHz	100.00	NMOS	DIP40	PIO	TTL	８ビット双方向入出力２ポート，ビット／バイト単位の処理可能	ROHM
BU18430	142	3	Z80CTC	400/250/165ns	120.00	NMOS	DIP28	CTC	TTL	四つの独立した８ビット・カウンタ内蔵	ROHM
BU18440/SIO/0	386	3	Z80SIO	2.5/4.0/6.0MHz	100.00	NMOS	DIP40	SIO	TTL	２ポート内蔵，非同期／同期可能，ＨＤＬＣ，ＳＤＬＣ，Ｘ．２５対応可能	ROHM
BU18441/SIO/1	386	3	Z80SIO	2.5/4.0/6.0MHz	100.00	NMOS	DIP40	SIO	TTL	２ポート内蔵，非同期／同期可能，ＨＤＬＣ，ＳＤＬＣ，Ｘ．２５対応可能	ROHM
BU18442/SIO/2	386	3	Z80SIO	2.5/4.0/6.0MHz	100.00	NMOS	DIP40	SIO	TTL	２ポート内蔵，非同期／同期可能，ＨＤＬＣ，ＳＤＬＣ，Ｘ．２５対応可能	ROHM
BU18470	384	3	Z80DART	2.5/4.0/6.0MHz	100.00	NMOS	DIP40	SIO	TTL	二つの非同期式ポート内蔵，受信バッファ４，送信バッファ２	ROHM
CDP6402/C	358	ALL	6402	4MHZ	1.50	CMOS	DIP40	SIO	CMOS	プログラムによる初期設定不要，データ長５，６，７，８ビット選択	RCA
CDP65C51	360	ALL	6551	1/2/4MHz	0.20	CMOS	DIP28	SIO	TTL	全二重ＵＡＲＴ，ボーレート・ジェネレータ内蔵	RCA
CDP68HC68S1	*28	4	6868	1MHz	0.01	CMOS	DIP14	BSAB	CMOS	６８０５用シリアル・バス・アービタ，中速非同期バスの接続用	RCA
COM8251A	376	1,2	8251	320ns	100.00	NMOS	DIP28	SIO	TTL	同期／非同期動作，全二重ダブル・バッファ方式	SM
COM82C11	*268	1,2,3	8211	20MHz	30.00	CMOS	DIP40	PIO	TTL	セントロニクス・プリンタ・インターフェース．プリンタ・コネクタに直接接続可	SM
COM9026	*256	ALL	9026	5MHz	350.00	-	DIP40	LAN	TTL	ARCNET用ＬＡＮコントローラ．改良形トークンパシング・プロトコルをサポートする	SM
COM90C26	256	ALL	9026	5MHz	16.00	CMOS	DIP40	LAN	TTL	ARCNET用ＬＡＮコントローラ．改良形トークンパシング・プロトコルをサポートする	SM
COM90C62	256	ALL	9026	5MHz	30.00	CMOS	DIP40	LAN	TTL	ARCNET用ＬＡＮコントローラ．COM9026とCOM9132とを内蔵	SM
COM90C65	256	ALL	9026	20MHz	10.00	CMOS	PLCC84	LAN	TTL	ARCNET用ＬＡＮコントローラ．COM9026/COM9132/COM9019の機能とIBM PCバスI/F回路内蔵	SM
CXD1500Q	*78	ALL	1500	25MHz	-	CMOS	FP80	CF	TTL	８２８４，８２５４，８２５５，８２５９を内蔵した複合ＬＳＩ	SONY
CXQ71011	106	2,5	8284	10MHz	30.00	CMOS	DIP18	CG	TTL	Ｖ２０／Ｖ３０および周辺デバイス用クロックを発生	SONY
CXQ71051	376	1,2,5	8251	8MHz	10.00	CMOS	DIP28	SIO	TTL	同期／非同期動作，全二重ダブル・バッファ方式	SONY
CXQ71054	140	1,2,5,8	8253/4	8MHz	30.00	CMOS	DIP24	CTC	TTL	三つの１６ビット・カウンタ内蔵，６通りのプログラマブル・カウンタ・モード	SONY
CXQ71055	276	1,2,5	8255	160ns	10.00	CMOS	DIP40	PIO	TTL	８ビット３ポート，ハンドシェイク信号生成，インタラプト発生	SONY
CXQ71059	216	1,2,5	8259	160ns	9.00	CMOS	DIP28	INT	TTL	優先度レベル８．カスケード接続で最大６４レベルを制御	SONY
CXQ71071	154	ALL	71071	8/10MHz	30.00	CMOS	DIP48	DMAC	TTL	４チャネルＤＭＡコントローラ．１６Ｍバイトアドレスと６４Ｋトランスファ・カウント	SONY
CXQ71082/83	40	ALL	8282/83	40ns	20.00	CMOS	DIP20	BSBF	TTL	オクタル・ラッチ，８２８２はノンインバート，８２８３はインバート	SONY
CXQ71086/87	42	ALL	8286/87	40ns	40.00	CMOS	DIP20	BSBF	TTL	オクタル・バス・トランシーバ，８２８６はノンインバート，８２８７はインバート	SONY
CXQ71088	52	1,2,5	8288	10MHz	20.00	CMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル，８０８６マキシマム・モード下で使用	SONY

（＊印のページが掲載されています．＊印のないページのＬＳＩはセカンド・ソースもしくは類似品です．）
（分類：BSAB/BSBF/BSCN:バス・アービタ／バス・バッファ／バス・コントローラ,CF:複合コントローラ,CG:クロック・ジェネレータ,CRTC:ＣＲＴ＆グラフィック・コントローラ,CTC:タイマ／カウンタ,DMAC:ＤＭＡコントローラ,DTSP:データ・セパレータ／ＶＦＯ,FDC:フロッピ・ディスク・コントローラ,GPIB:ＧＰＩＢコントローラ,HDC:ハード・ディスク・コントローラ,INT:割り込みコントローラ,ISDN:ＩＳＤＮコントローラ,LAN:ＬＡＮコントローラ,LCDC:ＬＣＤコントローラ,PIO:パラレルＩ／Ｏコントローラ,RTC:リアル・タイム・クロック,SCSI:ＳＣＳＩコントローラ,SIO/SPC:シリアル通信コントローラ）

型　名	頁	適応CPU	ｵﾘｼﾞﾅﾙ	動作速度	消費電流	ﾌﾟﾛｾｽ	外　形	分類	入出力	特　　徴	社　名
CXQ72020	130	ALL	7220	165ns	70.00	CMOS	DIP40	CRTC	TTL	Ｉ／Ｏ　ＦＩＦＯ内蔵，外部映像メモリの制御可能	SONY
DP5380	318	ALL	5380	60ns	10.00	CMOS	DIP40	SCSI	TTL	非同期で１．５Ｍバイト／sの転送速度，パリティ・ジェネレータ内蔵	NS
DP5380	318	ALL	5380	100ns	160.00	CMOS	DIP40	SCSI	TTL	非同期で１．５Ｍバイト／sの転送速度，パリティ・ジェネレータ内蔵	VLSI
DP83901	*246	ALL	83901	20MHz	110.00	CMOS	PLCC68	LAN	TTL	IEEE802.3準拠のﾈｯﾄﾜｰｸ・ｲﾝﾀｰﾌｪｰｽ・ｺﾝﾄﾛｰﾗ．8390と83910を組み合わせて1ﾁｯﾌﾟ化したもの	NS
DP8390C	*244	ALL	8390	20MHz	40.00	CMOS	DIP48	LAN	TTL	IEEE802.3準拠のCSMA/CDｺﾝﾄﾛｰﾗ．DP8391/8392と組み合わせて使用する．NS32490Cと同一	NS
DP83934	*258	ALL	83934	20MHz	110.00	CMOS	QFP160	LAN	TTL	32/16ﾋﾞｯﾄ・ﾊﾞｽ・ｲﾝﾀｰﾌｪｰｽを内蔵したCSMA/CDｺﾝﾄﾛｰﾗで、ﾌﾞﾘｯｼﾞおよびﾘﾋﾟｰﾀへの対応可能	NS
DP8466A	*204	ALL	8466	25MHz	45.00	CMOS	DIP48	HDC	TTL	DMAﾊﾞｯﾌｧ，16ﾋﾞｯﾄI/Oｲﾝﾀｰﾌｪｰｽを持ち，最大25Mbpsの転送が可能	NS
DP8477	182	ALL	82077	24MHz	15.00	CMOS	PLCC68	FDC	TTL	PC/AT，PS/2用FDコントローラ．250Kビット/s～1Mビット/sデータ・セパレータ	NS
DP8490	318	ALL	5380	100ns	4.00	CMOS	DIP40	SCSI	TTL	NCR5380ｺﾝﾊﾟﾁﾌﾞﾙで高速化，低電力化が図られて，ﾃｽﾄ・ﾓｰﾄﾞ・ﾋﾞｯﾄの使い方のみ異なる	NS
DP8570A	*308	ALL	8570	150ns	5.00	CMOS	DIP28	RTC	TTL	0.01～1秒の割り込み設定可．万年カレンダ内蔵リアルタイム・クロック	NS
DP8571A	308	ALL	8570	150ns	5.00	CMOS	DIP24	RTC	TTL	0.01～1秒の割り込み設定可．万年カレンダ内蔵リアルタイム・クロック	NS
DP8572A	308	ALL	8570	150ns	5.00	CMOS	DIP24	RTC	TTL	0.01～1秒の割り込み設定可．万年カレンダ内蔵リアルタイム・クロック	NS
DP8573A	308	ALL	8570	150ns	5.00	CMOS	DIP24	RTC	TTL	0.01～1秒の割り込み設定可．万年カレンダ内蔵リアルタイム・クロック	NS
EF6821	264	4	6821	1/1.5/2MHz	110.00	NMOS	DIP40	PIO	TTL	２個の８ビットＩ／Ｏポートと２個の１６ビット・タイマ／カウンタ内蔵	THOM
EF6840	136	4	6840	1/1.5/2MHz	140.00	NMOS	DIP28	CTC	TTL	三つの独立した１６ビット・カウンタ内蔵	THOM
EF6850	364	4	6850	0.8/1/1.5MHz	105.00	NMOS	DIP24	SIO	TTL	非同期シリアル・データ・アダプタ	THOM
FD179X02	*166	ALL	179X	1/2MHz	120.00	NMOS	DIP40	FDC	TTL	ＩＢＭフォーマット．ソフトで各種項目指定可能	WD
FDC72C65	180	ALL	765	4/8MHz	10.00	CMOS	DIP40	FDC	TTL	４台のＦＤを同時シーク可能，ＩＳＯミニ・フロッピ・フォーマット	SM
FDC765A/-2	180	ALL	765	4/8MHz	150.00	NMOS	DIP40	FDC	TTL	４台のＦＤを同時シーク可能，ＩＢＭフォーマット・コンパチブル	SM
HD146818	290	ALL	146818	1.0MHz	10.00	CMOS	DIP24	RTC	TTL	３種の基準クロック選択可能．データのバイナリ／ＢＣＤ切り替え可能	HITA
HD6321	264	4	6821	1/1.5/2MHz	6.00	CMOS	DIP40	PIO	TTL	２個の８ビットＩ／Ｏポートと２個の１６ビット・タイマ／カウンタ内蔵	HITA
HD63265	*172	ALL	63265	16MHz	40.00	CMOS	DIP48	FDC	TTL	２０種の高機能コマンド．ＩＢＭ／ＥＣＭＡフォーマッティング・データ内蔵	HITA
HD63266	*174	ALL	63266	19.2MHz	40.00	CMOS	FP64	FDC	TTL	HD63265とソフト・コンパチブルで，ドライバ/レシーバ回路，入出力ポート内蔵したFDC	HITA
HD6340	136	4	6840	1/1.5/2MHz	10.00	CMOS	DIP28	CTC	TTL	三つの独立した１６ビット・カウンタ内蔵	HITA
HD6345	128	ALL	6845	1/1.5/2MHz	10.00	CMOS	DIP40	CRTC	TTL	汎用ＣＲＴＣ	HITA
HD63450	152	7	68450	6/8/10/12.5MHz	200.00	CMOS	SDIP64	DMAC	TTL	６８０００とバス・コンパチブル．４本のＤＭＡチャネル	HITA
HD63463	*196	7	63463	4/6/8MHz	80.00	CMOS	DIP48	HDC	TTL	大容量データ・バッファ内蔵．データ・エラー自動訂正	HITA
HD63484	*124	ALL	63484	4/6/8/9.8MHz	100.00	CMOS	SDIP64	CRTC	TTL	３８種のコマンド内蔵，ライト・ペン検出機能内蔵	HITA
HD6350	364	4	6850	1.0/1.5/2MHz	5.00	CMOS	DIP24	SIO	TTL	非同期シリアル・データ・アダプタ	HITA
HD6402	358	ALL	6402	8MHZ	2.00	CMOS	DIP40	SIO	TTL	プログラムによる初期設定不要，データ長５，６，７，８ビット選択	HARR
HD6445	128	ALL	6845	4MHz	10.00	CMOS	DIP40	CRTC	TTL	汎用ＣＲＴＣ	HITA
HD64460	128	ALL	6845	37MHz	280.00	CMOS	FP136	CRTC	TTL	PS/2のVGA相当の機能を持つCRTコントローラ	HITA
HD64540	*390	H16	64540	6MHz	50.00	CMOS	PGA64	SPC	TTL	Ｈ１６とバス・コンパチブルなＬＡＰＢプロトコル・コントローラ	HITA
HD64541	*394	ALL	64541	6MHz	50.00	CMOS	PLCC68	SPC	TTL	CCITTのT.90,X.75,X.25で規定されたﾚｲﾔ2ﾌﾟﾛﾄｺﾙを実現．ISDNのG4ﾌｧｯｸｽ等に利用可能	HITA
HD64570	*396	7	64570	16.7MHz	150.00	CMOS	PLCC84	SPC	TTL	調歩同期，バイト同期，ビット同期通信を行う２チャネルの全二重ポート内蔵	HITA
HD64610	*302	ALL	64610	45ns	2.00	CMOS	DIP24	RTC	TTL	時計，カレンダ機能を備え，データ・バス幅が８ビットＳＲＡＭと同じ構成	HITA
HD64941	350	ALL	2641	4MHz	150.00	NMOS	DIP24	SIO	TTL	非同期全二重動作，ボーレート・ジェネレータ内蔵．SCN2641とコンパチブル	HITA
HD64950S	*198	ALL	64950	12.3MHz	70.00	CMOS	PLCC68	HDC	TTL	１６ビット・マイコン用ＨＤＣ．制御部はファイル・マネジャとして分離し，高機能化	HITA
HD64951	*322	ALL	64951	250/350ns	100.00	BICMOS	MP68	SCSI	TTL	ドライバ／レシーバ回路内蔵，非同期で１．５Ｍバイト／ｓ転送可能	HITA
HD64961	*324	ALL	64961	25MHz	−	CMOS	FP80	SCSI	TTL	SCSI-2仕様準拠で同期転送能力10Mバイト/s．シングルエンド・ドライバ／レシーバ内蔵	HITA

（＊印のページが掲載されています．＊印のないページのＬＳＩはセカンド・ソースもしくは類似品です．）
（分類：BSAB/BSBF/BSCN:バス・アービタ／バス・バッファ／バス・コントローラ,CF:複合コントローラ,CG:クロック・ジェネレータ,CRTC:ＣＲＴ＆グラフィック・コントローラ,CTC:タイマ／カウンタ,DMAC:ＤＭＡコントローラ,DTSP:データ・セパレータ／ＶＦＯ,FDC:フロッピ・ディスク・コントローラ,GPIB:ＧＰＩＢコントローラ,HDC:ハード・ディスク・コントローラ,INT:割り込みコントローラ,ISDN:ＩＳＤＮコントローラ,LAN:ＬＡＮコントローラ,LCDC:ＬＣＤコントローラ,PIO:パラレルＩ／Ｏコントローラ,RTC:リアル・タイム・クロック,SCSI:ＳＣＳＩコントローラ,SIO/SPC:シリアル通信コントローラ）

型　名	頁	適応CPU	ｵﾘｼﾞﾅﾙ	動作速度	消費電流	ﾌﾟﾛｾｽ	外　形	分類	入出力	特　　徴	社　名
HD6821	264	4	6821	1/1.5/2MHz	110.00	NMOS	DIP40	PIO	TTL	２個の８ビットＩ／Ｏポートと２個の１６ビット・タイマ／カウンタ内蔵	HITA
HD68230	266	7	68230	8MHz	100.00	NMOS	DIP48	PIO	TTL	６８０００とバス・ｺﾝﾊﾟﾁﾌﾞﾙ，単/双方向8/１６ビットポート，２４ビット・タイマ内蔵	HITA
HD6840	136	4	6840	1/1.5/2MHz	110.00	NMOS	DIP28	CTC	TTL	三つの独立した１６ビット・カウンタ内蔵	HITA
HD6844	150	4	6844	1/1.5/2MHz	200.00	NMOS	DIP40	DMAC	TTL	4ﾁｬﾈﾙ内蔵．各ﾁｬﾈﾙが16ﾋﾞｯﾄのｱﾄﾞﾚｽ・ﾚｼﾞｽﾀ，ｶｳﾝﾀ・ﾚｼﾞｽﾀを内蔵．	HITA
HD6845	128	ALL	6845	1/1.5/2MHz	200.00	NMOS	DIP40	CRTC	TTL	汎用ＣＲＴＣ	HITA
HD68450	152	7	68450	4/6/8/10MHz	400.00	NMOS	SDIP64	DMAC	TTL	６８０００とバス・コンパチ．４本のＤＭＡチャネル	HITA
HD6845S	128	ALL	6845	1/1.5/2MHz	200.00	NMOS	DIP40	CRTC	TTL	ＣＲＴ表示タイミング３．７ＭＨｚ	HITA
HD6850	364	4	6850	1.0/1.5MHz	105.00	NMOS	DIP24	SIO	TTL	非同期式シリアル・データ・アダプタ	HITA
HD6852	*366	ALL	6852	1.0/1.5MHz	105.00	NMOS	DIP24	SIO	TTL	同期式シリアル・データ・アダプタ	HITA
ICD2093	*114	Pentium	2093	100MHz	130.00	CMOS	DIP24	CG	TTL	8本のCPUｸﾛｯｸ出力を持つｸﾛｯｸ・ｼﾞｪﾈﾚｰﾀ	CYPRESS
IM26C91	354	ALL	2691	4MHZ	20.00	CMOS	DIP24	SIO	TTL	データ設定はプログラマブル，非同期式全二重通信可能	INTS
IM6402/6403	*358	ALL	6402	1/2/4MHZ	1.90	CMOS	DIP40	SIO	TTL	プログラムによる初期設定不要，データ長５，６，７，８ビット選択	INTS
INS8250	*372	ALL	8250	3.1MHz	80.00	XMOS	DIP40	SIO	TTL	ＵＡＲＴ，プログラマブル・ボーレート・ジェネレータ内蔵	NS
INS82C50	364	ALL	8250	3.1MHz	10.00	CMOS	DIP40	SIO	TTL	ＵＡＲＴ，プログラマブル・ボーレート・ジェネレータ内蔵	NS
LD1101	372	ALL	8250	3.6MHz	6.00	CMOS	DIP40	SIO	TTL	ＵＡＲＴ．プログラマブル・ボーレート・ジェネレータ内蔵	SL
LH0080/A/B	288	3	Z80PIO	2.5/4/6MHz	200.00	NMOS	DIP40	PIO	TTL	８ビット双方向入出力２ポート，ビット／バイト単位の処理可能	SHAP
LH0082/A/B	142	3	Z80CTC	2.5/4/6MHz	120.00	NMOS	DIP28	CTC	TTL	四つの独立した８ビット・カウンタ内蔵	SHAP
LH0083/A	162	3	Z80DMA	2.5/4MHz	200.00	NMOS	DIP40	DMAC	TTL	プログラマブル．チャネル・ステータス読み出し可能	SHAP
LH0084/A/B	386	3	Z80SIO/0	2.5/4/6MHz	100.00	NMOS	DIP40	SIO	TTL	２ポート内蔵，非同期／同期可能，ＨＤＬＣ，ＳＤＬＣ，Ｘ．２５対応可能	SHAP
LH0085/A/B	386	3	Z80SIO/1	2.5/4/6MHz	100.00	NMOS	DIP40	SIO	TTL	２ポート内蔵，非同期／同期可能，ＨＤＬＣ，ＳＤＬＣ，Ｘ．２５対応可能	SHAP
LH0086/A/B	386	3	Z80SIO/2	2.5/4/6MHz	100.00	NMOS	DIP40	SIO	TTL	２ポート内蔵，非同期／同期可能，ＨＤＬＣ，ＳＤＬＣ，Ｘ．２５対応可能	SHAP
LH0110/A	*188	3	LH0110	2.5/4MHz	180.00	NMOS	DIP40	FDC	TTL	ＩＢＭフォーマット・コンパチブル，Ｚ８０バスに直結可能	SHAP
LH5081/L	288	3	Z80PIO	2.5MHz	26.00	CMOS	DIP40	PIO	TTL	８ビット双方向入出力２ポート，ビット／バイト単位の処理可能	SHAP
LH5082/L	142	3	Z80CTC	2.5MHz	8.00	CMOS	DIP28	CTC	TTL	四つの独立した８ビット・カウンタ内蔵	SHAP
LH8030	412	ALL	8030	4/6MHz	250.00	NMOS	DIP40	SPC	TTL	Ｚ８０ＳＩＯの１６ビット・バージョン，NRZ，NRZI，FMコーディング・プログラム	SHAP
LH8036	138	6	8036	4/6MHz	200.00	NMOS	DIP40	CTC	TTL	三つの１６ビット・カウンタ内蔵	SHAP
LH8072	370	1,2,3	8072	4MHz	250.00	NMOS	DIP40	SIO	TTL	調歩同期式シリアル伝送とセントロニクス準拠プリンタ制御機能を内蔵	SHAP
LH8530	412	ALL	8030	4/6MHz	250.00	NMOS	DIP40	SIO	TTL	Ｚ８０ＳＩＯの上位，ＮＲＺ，ＮＲＺＩ，ＦＭコーディング・プログラム	SHAP
LH8536	138	ALL	8036	2/3MHz	200.00	NMOS	DIP40	CTC	TTL	三つの１６ビット・カウンタ内蔵	SHAP
LH8572	*370	1,2,3	8072	4MHz	250.00	NMOS	DIP40	SIO	TTL	調歩同期式シリアル伝送とセントロニクス準拠プリンタ制御機能を内蔵，8072の汎用版	SHAP
LV8570A	308	ALL	8570	150ns	-	CMOS	DIP28	RTC	CMOS	0.01～1秒の割り込み設定可．3.3V駆動可能な万年ｶﾚﾝﾀﾞ内蔵ﾘｱﾙﾀｲﾑ・ｸﾛｯｸ	NS
LV8571A	308	ALL	8570	150ns	0.06	CMOS	DIP24	RTC	CMOS	0.01～1秒の割り込み設定可．3.3V駆動可能な万年ｶﾚﾝﾀﾞ内蔵ﾘｱﾙﾀｲﾑ・ｸﾛｯｸ	NS
LV8572A	308	ALL	8570	150ns	0.02	CMOS	DIP24	RTC	CMOS	0.01～1秒の割り込み設定可．3.3V駆動可能な万年ｶﾚﾝﾀﾞ内蔵ﾘｱﾙﾀｲﾑ・ｸﾛｯｸ	NS
LV8573A	308	ALL	8570	150ns	0.02	CMOS	DIP24	RTC	CMOS	0.01～1秒の割り込み設定可．3.3V駆動可能な万年ｶﾚﾝﾀﾞ内蔵ﾘｱﾙﾀｲﾑ・ｸﾛｯｸ	NS
M5L8251AP-5	376	1,2	8251	320ns	100.00	NMOS	DIP28	SIO	TTL	同期／非同期動作，全二重ダブル・バッファ方式	MITU
M5L8253P-5	140	1,2	8253	380ns	140.00	NMOS	DIP24	CTC	TTL	３個のプリセット型１６ビット・カウンタ内蔵	MITU
M5L8259AP	216	1,2	8259	290ns	85.00	NMOS	DIP28	INT	TTL	優先度レベル８．カスケード接続で最大６４レベルを制御	MITU
M5L8279P-5	280	1,2	8279	320ns	120.00	NMOS	DIP40	PIO	TTL	キーボード／ディスプレイ・インターフェース，１６桁表示	MITU
M5L8282/8283	40	ALL	8282/83	45/40ns	80.00	BIP	DIP20	BSBF	TTL	オクタル・ラッチ，８２８２はノンインバート，８２８３はインバート	MITU
M5L8284AP	106	2	8284	10MHz	162.00	BIP	DIP18	CG	TTL	リセット，ＲＥＡＤＹ入力付き	MITU

（＊印のページが掲載されています．＊印のないページのＬＳＩはセカンド・ソースもしくは類似品です．）
（分類：BSAB/BSBF/BSCN:バス・アービタ／バス・バッファ／バス・コントローラ，CF:複合コントローラ，CG:クロック・ジェネレータ，CRTC:ＣＲＴ＆グラフィック・コントローラ，CTC:タイマ／カウンタ，DMAC:ＤＭＡコントローラ，DTSP:データ・セパレータ／ＶＦＯ，FDC:フロッピ・ディスク・コントローラ，GPIB:ＧＰＩＢコントローラ，HDC:ハード・ディスク・コントローラ，INT:割り込みコントローラ，ISDN:ＩＳＤＮコントローラ，LAN:ＬＡＮコントローラ，LCDC:ＬＣＤコントローラ，PIO:パラレルＩ／Ｏコントローラ，RTC:リアル・タイム・クロック，SCSI:ＳＣＳＩコントローラ，SIO/SPC:シリアル通信コントローラ）

型　名	頁	適応CPU	ｵﾘｼﾞﾅﾙ	動作速度	消費電流	ﾌﾟﾛｾｽ	外　形	分類	入出力	特　徴	社　名
M5L8286/8287	42	ALL	8286/87	30/30ns	110.00	BIP	DIP20	BSBF	TTL	オクタル・バス・トランシーバ，８２８６はノンインバート，８２８７はインバート	MITU
M5L8288S	52	1,2	8288	10MHz	160.00	BIP	DIP20	BSCN	TTL	マルチバス・コンパチブル，８０８６マキシマム・モード下で使用	MITU
M5L8289P	30	2	8289	8MHz	120.00	BIP	DIP20	BSAB	TTL	マルチバス・コンパチブル，４種のモード可能	MITU
M5M8255AP-5	276	1,2	8255	300ns	120.00	NMOS	DIP40	PIO	TTL	８ビット３ポート，ハンドシェイク信号生成，インタラプト発生	MITU
M5M82C37AP-4/5	156	1,2	8237	4/5MHz	15.00	CMOS	DIP40	DMAC	TTL	チャネル数４，全チャネル独立動作可能	MITU
M5M82C51AP	376	1,2	8251	320ns	5.00	CMOS	DIP28	SIO	TTL	同期／非同期動作，全二重ダブル・バッファ方式	MITU
M5M82C54P/-6	140	1,2,8	8253/4	8/6MHz	10.00	CMOS	DIP24	CTC	TTL	三つの１６ビット・カウンタ内蔵，６通りのプログラマブル・カウンタ・モード	MITU
M5M82C55AP-2/5	276	1,2	8255	160/200ns	0.01	CMOS	DIP40	PIO	TTL	８ビット３ポート，ハンドシェイク信号生成，インタラプト発生	MITU
M5M82C59AP/-2	212	1,2	8259	200/120ns	0.01	CMOS	DIP28	INT	TTL	優先度レベル８．カスケード接続で最大６４レベルを制御	MITU
M5M82C800	*94	1,2	82800	5MHz	15.00	CMOS	FP100	CF	TTL	２個の８２３７，２個の８２５９，１個の８２５４内蔵	MITU
M5W1791-02P	166	ALL	179X	430ns	70.00	NMOS	DIP40	FDC	TTL	ＩＢＭフォーマット．ソフトで各種項目指定可能	MITU
M5W1793-02P	166	ALL	179X	430ns	70.00	NMOS	DIP40	FDC	TTL	ＩＢＭフォーマット．ソフトで各種項目指定可能	MITU
M66009FP	*262	ALL	66009	120ns	1.20	CMOS	FP20	PIO	TTL	８ビット・データの直並列，並直列変換機能を持つＩ／Ｏエキスパンダ	MITU
M66011FP	*362	ALL	66011	120ns	0.20	CMOS	FP24	SIO	TTL	２バイト・データの直並列，並直列変換機能を持つシリアル・バス・コントローラ	MITU
MB471	270	1,2	8212		130.00	BIP	DIP24	PIO	TTL	８ビット・データ・レジスタ／バッファ．３ステート出力	FUJI
MB472	*214	4	6828	80ns	120.00	BIP	DIP24	INT	TTL	割り込み入力レベル８．マスク・レジスタ内蔵	FUJI
MB86046	*248	ALL	86046	4.9MHz	0.10	CMOS	DIP24	LAN	TTL	EIAJのホーム・バス規格に準拠したコントローラ．レイヤ１，２のプロトコルをサポート	FUJI
MB86405	*226	ALL	86405	6.144MHz	50.00	CMOS	SDIP64	ISDN	TTL	ＩＳＤＮのレイヤ１，レイヤ２機能と回線ドライバ／レシーバを内蔵	FUJI
MB86601A	*330	ALL	86601	40MHz	100.00	CMOS	QFP100	SCSI	TTL	SCSI-2規格準拠でｼﾝｸﾞﾙ･ｴﾝﾄﾞ伝送形式のﾌﾟﾛﾄｺﾙ･ｺﾝﾄﾛｰﾗ	FUJI
MB86602B	*332	ALL	86602	40MHz	100.00	CMOS	QFP100	SCSI	TTL	SCSI-2規格準拠でﾃﾞｨﾌｧﾚﾝｼｬﾙ伝送形式のﾌﾟﾛﾄｺﾙ･ｺﾝﾄﾛｰﾗ	FUJI
MB86604	330	ALL	86601	40MHz	120.00	CMOS	QFP100	SCSI	TTL	SCSI-2規格準拠でｼﾝｸﾞﾙ･ｴﾝﾄﾞ伝送形式のﾌﾟﾛﾄｺﾙ･ｺﾝﾄﾛｰﾗ	FUJI
MB86950B	*250	ALL	86950	10MHz	50.00	CMOS	QFP80	LAN	TTL	CSMA/CD，Star LAN　コントローラ．１Ｍビット／ｓのエンコーダ／デコーダ内蔵	FUJI
MB86953	*44	2,8	86953	50ns	10.00	CMOS	FP100	BSBF	TTL	IBM PC XT/AT互換のPCﾊﾞｽとLANｱﾀﾞﾌﾟﾀMB86950とのｲﾝﾀｰﾌｪｰｽ用LSI	FUJI
MB86954	*32	2,8	86954	57ns	10.00	CMOS	PLCC68	BSAB	TTL	ＰＳ／２準拠のマイクロ・チャネル・インターフェース用ＬＳＩ	FUJI
MB86960A	*252	ALL	86960	20MHz	85.00	CMOS	QFP100	LAN	TTL	IEEE802.3規格準拠のｴﾝｺｰﾀﾞ/ﾃﾞｺｰﾀﾞとﾊﾞｯﾌｧ･ﾏﾈｰｼﾞﾒﾝﾄ･ﾕﾆｯﾄを内蔵したLANｺﾝﾄﾛｰﾗ	FUJI
MB87034	*334	ALL	87034	10MHz	30.00	CMOS	FP80	SCSI	TTL	Single-ended ドライバ／レシーバ内蔵．ソフトはMB87033と上位互換性がある	FUJI
MB8795B	*254	ALL	8795	10.2MHz	0.10	CMOS	PGA64	LAN	TTL	イーサネット仕様準拠のＬＡＮコントローラ．２進指数バックオフ・アルゴリズム内蔵	FUJI
MB88307A	*282	ALL	88307	4MHz	0.40	CMOS	DIP16	PIO	TTL	８ビット・データの直並列，並直列変換機能を持つバス・エクスパンダ	FUJI
MB88309A	*282	ALL	88307	4MHz	0.40	CMOS	DIP16	PIO	TTL	８ビット・データの直並列，並直列変換機能を持つバス・エクスパンダ	FUJI
MB8863N/E/H	364	4	6850	1.0/1.5/2.0MHz	105.00	NMOS	DIP24	SIO	TTL	非同期シリアル・データ・アダプタ	FUJI
MB8864N/E/H	366	ALL	6852	1.0/1.5/2.0MHz	100.00	NMOS	DIP24	SIO	TTL	同期式シリアル・データ・アダプタ	FUJI
MB8867/E	*112	4	8867	2.0/1.5MHz	160.00	BIP	DIP24	CG	TTL	６８００用クロック・ジェネレータ，水晶／ＣＲ発振	FUJI
MB8868	*346	4	1602	800KHz	70.00	NMOS	DIP40	SIO	TTL	全二重ＵＡＲＴ	FUJI
MB8873N/E/H	136	4	6840	1/1.5/2MHz	110.00	NMOS	DIP28	CTC	TTL	三つの独立した１６ビット・カウンタ内蔵	FUJI
MB8874N/E/H	264	4	6821	1.0/1.5/2.0MHz	105.00	NMOS	DIP40	PIO	TTL	２個の８ビットＩ／Ｏポートと２個の１６ビット・タイマ／カウンタ内蔵	FUJI
MB8875N/E/H	*398	ALL	6854	1.0/1.5/2.0MHz	170.00	NMOS	DIP28	SPC	TTL	ＨＤＬＣ，ＳＤＬＣ，ＡＤＣＣＰのためのデータ・リンク・コントローラ	FUJI
MB8876A	166	ALL	179X	1.0/2.0MHz	70.00	NMOS	DIP40	FDC	TTL	ＩＢＭフォーマット．ソフトで各種項目指定可能	FUJI
MB8877A	166	ALL	179X	1.0/2.0MHz	70.00	NMOS	DIP40	FDC	TTL	ＩＢＭフォーマット．ソフトで各種項目指定可能	FUJI
MB89237A	156	1,2	8237	8MHz	15.00	CMOS	DIP40	DMAC	TTL	チャネル数４，全チャネル独立動作可能	FUJI
MB89251A	376	1,2	8251	8MHz	5.00	CMOS	DIP28	SIO	TTL	同期／非同期動作，全二重ダブル・バッファ方式	FUJI

（*印のページが掲載されています．*印のないページのＬＳＩはセカンド・ソースもしくは類似品です．）
（分類：BSAB/BSBF/BSCN:バス・アービタ／バス・バッファ／バス・コントローラ,CF:複合コントローラ,CG:クロック・ジェネレータ,CRTC:ＣＲＴ＆グラフィック・コントローラ,CTC:タイマ／カウンタ,DMAC:ＤＭＡコントローラ,DTSP:データ・セパレータ／ＶＦＯ,FDC:フロッピ・ディスク・コントローラ,GPIB:ＧＰＩＢコントローラ,HDC:ハード・ディスク・コントローラ,INT:割り込みコントローラ,ISDN:ＩＳＤＮコントローラ,LAN:ＬＡＮコントローラ,LCDC:ＬＣＤコントローラ,PIO:パラレルＩ／Ｏコントローラ,RTC:リアル・タイム・クロック,SCSI:ＳＣＳＩコントローラ,SIO/SPC:シリアル通信コントローラ）

型　名	頁	適応CPU	ｵﾘｼﾞﾅﾙ	動作速度	消費電流	ﾌﾟﾛｾｽ	外　形	分類	入出力	特　　　徴	社　名
MB89254/H	140	1,2,8	8253/4	8/10MHz	10.00	CMOS	DIP24	CTC	TTL	三つの１６ビット・カウンタ内蔵，６通りのプログラマブル・カウンタ・モード	FUJI
MB89255A/B	276	1,2	8255	150ns	10.00	CMOS	DIP40	PIO	TTL	Ａはプルアップ抵抗付き，Ｂはリセット時ハイ・インピーダンス	FUJI
MB89259A	220	1,2	8259	8MHz	5.00	CMOS	DIP28	INT	TTL	優先度レベル８．カスケード接続で最大６４レベルを制御	FUJI
MB89282/283	40	ALL	8282/83	35ns	10.00	CMOS	DIP20	BSBF	TTL	オクタル・ラッチ．89282はノンインバート，89283はインバート	FUJI
MB89284A/-5	106	2	8284	8/5MHz	25.00	CMOS	DIP18	CG	TTL	リセット，ＲＥＡＤＹ入力付き	FUJI
MB89288	52	1,2	8288	8MHz	8.00	CMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル，８０８６マキシマム・モード下で使用	FUJI
MB89289	30	2	8289	8MHz	5.00	CMOS	DIP20	BSAB	TTL	マルチバス・コンパチブル，４種のモード可能	FUJI
MB89311A	*186	ALL	89311	4.0/8.0MHz	10.00	CMOS	DIP28	FDC	TTL	ＩＢＭフォーマット，ＩＳＯフォーマットも可	FUJI
MB89321A	*126	ALL	6845	4MHz	6.00	CMOS	DIP40	CRTC	TTL	汎用ＣＲＴＣ	FUJI
MB89322A	*126	1,2	6845	4MHz	6.00	CMOS	DIP40	CRTC	TTL	１６Ｋのリフレッシュ・メモリ・アドレス機能をもったＣＲＴコントローラ	FUJI
MB89342	*206	1,2	89342	10MHz	40.00	CMOS	DIP48	HDC	TTL	ＥＳＤＩ，ＩＤＣフォーマットをサポート	FUJI
MB89351	*338	ALL	89351	5MHz	10.00	CMOS	SDIP64	SCSI	TTL	８バイトのＦＩＦＯ内蔵，ＳＣＳＩの完全サポート	FUJI
MB89352	*340	ALL	89352	5MHz	10.00	CMOS	DIP48	SCSI	TTL	２．６Ｍバイト／sの転送速度，８バイトのＦＩＦＯ内蔵	FUJI
MB89363/B	278	1,2	8255	12.5MHz	20.00	CMOS	QFP80	PIO	TTL	８２５５　２個相当	FUJI
MB89371	376	1,2	8251	8MHz	8.00	CMOS	DIP42	SIO	TTL	同期／非同期動作，８２５１　２個相当，ボーレート・ジェネレータ内蔵	FUJI
MB89372	*416	ALL	89372	8MHz	40.00	CMOS	SDIP64	SPC	TTL	３種類のプロトコルをサポートする２チャネル内蔵のシリアル伝送用コントローラ	FUJI
MB89374	*418	1,2,8,F3	89374	10MHz	15.00	CMOS	DIP42	SPC	TTL	ＨＤＬＣ，ＳＤＬＣサポート．全二重で最大２．５Ｍｂｐｓの転送が可能	FUJI
MB89375/V375	*228	ALL	89375	8MHz	120.00	CMOS	FP80	ISDN	TTL	ＩＳＤＮ基本インターフェースのレイヤ１，２の機能をもつ．５１６バイトＲＡＭ内蔵	FUJI
MB89392	*98	1,2	89392	8MHz	35.00	CMOS	FP100	CF	TTL	２個の８２５９，１個の８２３７，１個の８２５４内蔵	FUJI
MB89394	*70	2	89394	8MHz	35.00	CMOS	FP80	CF	TTL	割り込みコントローラ，シリアル通信コントローラ，プログラマブル・タイマを内蔵	FUJI
MB89396	*72	2	89396	8MHz	35.00	CMOS	FP120	CF	TTL	割り込みコントローラ，ＤＭＡコントローラ，プログラマブル・タイマ，ラッチを内蔵	FUJI
MB89421	*118	ALL	89424	8MHz	60.00	CMOS	FP100	CRTC	TTL	ラスタスキャン方式のＣＲＴコントローラ．MB89321/322とｿﾌﾄｳｪｱ上位互換がある	FUJI
MB92411	*160	F32	92411	20MHz	240.00	CMOS	PGA179	DMAC	TTL	４チャネルＤＭＡコントローラ．データ／アドレス・バスとも３２ビット対応	FUJI
MB92461	*116	F32	92461	100MHz	223.00	BIP	DIP22	CG	TTL	Ｆ３２／３００，Ｆ３２／２００にクロックを供給するパルス・ジェネレータ	FUJI
MBL82284-6/-8	*104	2	82284	6/8MHz	145.00	BIP	DIP18	CG	TTL	リセット，ＲＥＡＤＹ入力付き	FUJI
MBL82286/82287	42	ALL	8286/87	35ns	10.00	CMOS	DIP20	BSBF	TTL	オクタル・バス・トランシーバ，８２８６はノンインバート，８２８７はインバート	FUJI
MBL82288	*50	1,2	82288	6/8/10MHz	120.00	NMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル，８０２８６用システム・バス・コントローラ	FUJI
MBL8259A/A-2	216	1,2	8259	5/8MHz	85.00	NMOS	DIP28	INT	TTL	優先度レベル８．カスケード接続で最大６４レベルを制御	FUJI
MBL8282/8283	40	ALL	8282/83	45/40ns	160.00	BIP	DIP20	BSBF	TTL	オクタル・ラッチ，８２８２はノンインバート，８２８３はインバート	FUJI
MBL8284A	*106	2	8284	8/10MHz	162.00	BIP	DIP18	CG	TTL	リセット，ＲＥＡＤＹ入力付き	FUJI
MBL8286/8287	42	ALL	8286/87	30/22ns	160.00	BIP	DIP20	BSBF	TTL	オクタル・バス・トランシーバ，８２８６はノンインバート，８２８７はインバート	FUJI
MBL8288	*52	1,2	8288	10MHz	230.00	BIP	DIP20	BSCN	TTL	マルチバス・コンパチブル，８０８６マキシマム・モード下で使用	FUJI
MBL8289/-1	30	2	8289	8/10MHz	95.00	BIP	DIP20	BSAB	TTL	マルチバス・コンパチブル，４種のモード可能	FUJI
MBL89282/89283	40	ALL	8282/83	35ns	10.00	CMOS	DIP20	BSBF	TTL	オクタル・ラッチ，８２８２はノンインバート，８２８３はインバート	FUJI
MC145488	*218	2,7	145488	16MHz	24.00	CMOS	PLCC68	ISDN	TTL	ＤＭＡコントローラとＩＳＤＮ対応の２チャネルＬＡＰＤコントローラを内蔵	MOT
MC146818	*296	ALL	146818	1MHz	0.05	CMOS	DIP24	RTC	TTL	３種の基準クロック選択可能．データのバイナリ／ＢＣＤ切り替え可能	MOT
MC146823	*260	4	146823	1MHz	3.00	CMOS	DIP40	PIO	CMOS	三つの８ビット双方向ポートをもつ	MOT
MC6821	*264	4	6821	1/1.5/2MHz	110.00	NMOS	DIP40	PIO	TTL	周辺ＩＣとのインターフェース用，８ビット２ポート内蔵	MOT
MC6822	264	4	6821	1/1.5/2MHz	110.00	NMOS	DIP40	PIO	TTL	６８２１ピン・コンパチブル，高耐圧入出力ポート	MOT
MC68230	*266	7	68230	8/10/12MHz	150.00	NMOS	DIP48	PIO	TTL	２４本のプログラマブルＩ／Ｏポート，２４ビット・タイマ内蔵	MOT

（*印のページが掲載されています．*印のないページのＬＳＩはセカンド・ソースもしくは類似品です．）
（分類：BSAB/BSBF/BSCN:バス・アービタ／バス・バッファ／バス・コントローラ，CF:複合コントローラ，CG:クロック・ジェネレータ，CRTC:ＣＲＴ＆グラフィック・コントローラ，CTC:タイマ／カウンタ，DMAC:ＤＭＡコントローラ，DTSP:データ・セパレータ／ＶＦＯ，FDC:フロッピ・ディスク・コントローラ，GPIB:ＧＰＩＢコントローラ，HDC:ハード・ディスク・コントローラ，INT:割り込みコントローラ，ISDN:ＩＳＤＮコントローラ，LAN:ＬＡＮコントローラ，LCDC:ＬＣＤコントローラ，PIO:パラレルＩ／Ｏコントローラ，RTC:リアル・タイム・クロック，SCSI:ＳＣＳＩコントローラ，SIO/SPC:シリアル通信コントローラ）

型　名	頁	適応CPU	ｵﾘｼﾞﾅﾙ	動作速度	消費電流	ﾌﾟﾛｾｽ	外　形	分類	入出力	特　　徴	社　名
MC6840	*136	4	6840	1/1.5/2MHz	140.00	NMOS	DIP28	CTC	TTL	三つの独立した１６ビット・カウンタ内蔵	MOT
MC6844	*150	4	6844	1/1.5/2MHz	16.00	NMOS	DIP40	DMAC	TTL	４チャネル内蔵．各チャネルが１６ビットのアドレス・レジスタ，カウンタ・レジスタを内蔵	MOT
MC6845	*128	ALL	6845	1/1.5/2MHz	150.00	NMOS	DIP40	CRTC	TTL	２５６文字×６４行，ライトペン機能付き	MOT
MC68450	*152	7	68450	8/10MHz	400.00	NMOS	DIP64	DMAC	TTL	６８０００とバス・コンパチ．４本のＤＭＡチャネル	MOT
MC68488	*192	ALL	68488	1/1.5/2MHz	150.00	NMOS	DIP40	GPIB	TTL	トーカ／リスナ両用の機能をもつ，ＭＣ６８２１とともにコントローラ機能を実現可能	MOT
MC6850	*364	4	6850	0.8/1/1.5MHz	105.00	NMOS	DIP24	SIO	TTL	非同期式シリアル・データ・アダプタ	MOT
MC6852	366	ALL	6852	1.0/1.5/2.0MHz	105.00	NMOS	DIP24	SIO	TTL	同期式シリアル・データ・アダプタ	MOT
MC6854	398	ALL	6854	1.0/1.5/2.0MHz	170.00	NMOS	DIP28	SPC	TTL	ＨＤＬＣ，ＳＤＬＣ，ＡＤＣＣＰのためのデータ・リンク・コントローラ	MOT
MC68652	*402	7	68652	980/480ns	150.00	NMOS	DIP40	SPC	TTL	ＨＤＬＣ，ＳＤＬＣ，ＡＤＣＣＰなどのためのデータ・リンク・コントローラ	MOT
MC68661	352	ALL	2651	5MHz	150.00	NMOS	DIP28	SIO	TTL	同期／非同期全二重動作，ボーレート・ジェネレータ内蔵	MOT
MC68681	*368	7	68681	4MHz	150.00	NMOS	DIP40	SIO	TTL	２個の全二重ＵＡＲＴ，汎用Ｉ／Ｏポート，カウンタ／タイマ内蔵	MOT
MC6875/A	*100	4	6875	1/1.5/2MHz	150.00	BIP	DIP16	CG	TTL	二相クロック・ジェネレータ，水晶／ＣＲ発振	MOT
MC68901	*80	7	68901	4MHz	180.00	NMOS	DIP48	CF	TTL	同期／非同期ポート，８本のＩ／Ｏ，１６個の割り込み制御可能．４個のタイマ内蔵	MOT
MC68HC68T1	*300	4	68HC68T1	2.1MHz	1.20	CMOS	DIP16	RTC	CMOS	３２バイトＳＲＡＭ，通信用同期式シリアル３線インターフェース内蔵	MOT
MCCS16C452/462	*348	2,8	16452	1.8432MHz	50.00	CMOS	PLCC68	SIO	TTL	INS8250ｺﾝﾊﾟﾁﾌﾞﾙの二つのUARTとｾﾝﾄﾛﾆｸｽ･ｲﾝﾀｰﾌｪｰｽを内蔵したIBM PC/XT/AT用ｺﾝﾄﾛｰﾗ	MOT
MCCS1850	*292	ALL	1850	100ns	10.00	CMOS	DIP16	RTC	TTL	６４バイトＲＡＭ，シリアル・インターフェース内蔵のリアル・タイム・クロック	MOT
MCS16C451	374	ALL	8250	360ns	50.00	CMOS	PLCC68	SIO	TTL	ＰＣ／ＸＴ，ＡＴ用Ｉ／Ｏコントローラ．セントロニクス・インターフェース対応可	MOT
MCS16C461	*374	ALL	8250	360ns	50.00	CMOS	PLCC68	SIO	TTL	ＰＣ／ＸＴ，ＡＴ用Ｉ／Ｏコントローラ．水晶を直接接続可能	MOT
MCS2220	*36	1,2,8	22203	41ns	50.00	CMOS	PLCC84	BSBF	TTL	ＰＣ／ＡＴ用データ・バッファ＆ラッチ，パリティ生成／検出機能，16/8ビット変換機能	MOT
MCS2220A	*38	1,2,8	22203	41ns	50.00	CMOS	PLCC84	BSBF	TTL	ＰＣ／ＡＴ用アドレス・バッファ&ラッチ，パリティ発生/検出機能，16/8ビット変換機能	MOT
MCS3201	*170	2,8	3201	24MHz	200.00	CMOS	PLCC68	FDC	TTL	ＰＣＡＴ／ＸＴ用ＦＤコントローラ．360K～1.4MBフォーマット．μPD765をエミュレート	MOT
MK68901	80	7	68901	5MHz	180.00	NMOS	DIP48	CF	TTL	同期／非同期ポート８本のＩ／Ｏ，１６個の割り込み制御回路，４個のタイマ内蔵	THOM
MM58274C	*298	ALL	58174	650ns	1.00	CMOS	DIP16	RTC	TTL	0.1～60秒の割り込み設定可．万年カレンダー内蔵リアルタイム・クロック	NS
MN12861	*74	1,2,3	12861	24MHz	80.00	CMOS	FP100	CF	TTL	インテル系の８２８４，８２５４，８２５５，８２５９機能を１チップ化した複合ＬＳＩ	MATUSITA
MN12862	*76	1,2,3	12862	24MHz	60.00	CMOS	FP100	CF	TTL	インテル系の８２８４，８２５４，８２３７，８２５９機能を１チップ化した複合ＬＳＩ	MATUSITA
MSM6241-01	*190	1,2	MSM6241	8MHz	10.00	CMOS	DIP40	FDC	TTL	６本の出力ドライバ内蔵，ＩＢＭフォーマット互換，ＩＳＯフォーマット可能	OKI
MSM6242RS	*300	ALL	6242	250ns	0.03	CMOS	DIP18	RTC	TTL	万年カレンダ内蔵，アラーム用割り込み機能付き	OKI
MSM62X42B	300	ALL	6242	120ns	0.03	CMOS	DIP18	RTC	TTL	MSM6242の水晶振動子内蔵版	OKI
MSM82C12	270	1,2	8212	45ns	1.00	CMOS	DIP24	PIO	TTL	８ビット・データ・レジスタ／バッファ，３ステート出力	OKI
MSM82C37A	156	1,2	8237	5MHz	10.00	CMOS	DIP40	DMAC	TTL	チャネル数４，全チャネル独立動作可能	OKI
MSM82C51A/-2	376	1,2	8251	4/6.25MHz	5.00	CMOS	DIP28	SIO	TTL	同期／非同期動作，全二重ダブル・バッファ方式	OKI
MSM82C53-2	140	1,2	8253	125ns	8.00	CMOS	DIP24	CTC	TTL	３個のプリセット型１６ビット・カウンタ内蔵	OKI
MSM82C53-5	140	1,2	8253	200ns	5.00	CMOS	DIP24	CTC	TTL	３個のプリセット型１６ビット・カウンタ内蔵	OKI
MSM82C54-2	140	1,2,8	8253/4	10MHz	10.00	CMOS	DIP24	CTC	TTL	三つの１６ビット・カウンタ内蔵，６通りのプログラマブル・カウンタ・モード	OKI
MSM82C55A-2/-5	276	1,2	8255	100/300ns	8.00	CMOS	DIP40	PIO	TTL	８ビット３ポート，ハンドシェイク信号生成，インタラプト発生	OKI
MSM82C59A-2	216	1,2	8259	160ns	5.00	CMOS	DIP28	INT	TTL	優先度レベル８．カスケード接続で最大６４レベルを制御	OKI
MSM82C84A/2/5	106	2	8284	5/8MHz	16.00	CMOS	DIP18	CG	TTL	リセット，ＲＥＡＤＹ入力付き　リセット入力はシュミット・トリガ入力	OKI
MSM82C88/-2	52	1,2	8288	5/8MHz	10.00	CMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル，８０８６マキシマム・モード下で使用	OKI
NCR5386	*320	ALL	5386	100ns	300.00	NMOS	DIP48	SCSI	TTL	非同期で２．０Ｍバイト／sの転送速度，パリティ・ジェネレータ内蔵	NCR
NCR53C80	*318	ALL	5380	60ns	15.00	CMOS	DIP48	SCSI	TTL	非同期で１．５Ｍバイト／sの転送速度，パリティ・ジェネレータ内蔵	NCR

（＊印のページが掲載されています．＊印のないページのＬＳＩはセカンド・ソースもしくは類似品です．）
（分類：BSAB/BSBF/BSCN:バス・アービタ／バス・バッファ／バス・コントローラ,CF:複合コントローラ,CG:クロック・ジェネレータ,CRTC:ＣＲＴ＆グラフィック・コントローラ,CTC:タイマ／カウンタ,DMAC:ＤＭＡコントローラ,DTSP:データ・セパレータ／ＶＦＯ,FDC:フロッピ・ディスク・コントローラ,GPIB:ＧＰＩＢコントローラ,HDC:ハード・ディスク・コントローラ,INT:割り込みコントローラ,ISDN:ＩＳＤＮコントローラ,LAN:ＬＡＮコントローラ,LCDC:ＬＣＤコントローラ,PIO:パラレルＩ／Ｏコントローラ,RTC:リアル・タイム・クロック,SCSI:ＳＣＳＩコントローラ,SIO/SPC:シリアル通信コントローラ）

型　名	頁	適応CPU	ｵﾘｼﾞﾅﾙ	動作速度	消費電流	ﾌﾟﾛｾｽ	外　形	分類	入出力	特　徴	社　名
NS16450	372	ALL	8250	3.1MHz	120.00	XMOS	DIP40	SIO	TTL	ＵＡＲＴ，プログラマブル・ボーレート・ジェネレータ内蔵	NS
NS16550	372	ALL	8250	3.1MHz	160.00	NMOS	DIP40	SIO	TTL	UART,ﾌﾟﾛｸﾞﾗﾏﾌﾞﾙ･ﾎﾞｰﾚｰﾄ･ｼﾞｪﾈﾚｰﾀ内蔵．16ﾊﾞｲﾄFIFO内蔵	NS
NS16C450	372	ALL	8250	3.1MHz	10.00	CMOS	DIP40	SIO	TTL	ＵＡＲＴ，プログラマブル・ボーレート・ジェネレータ内蔵	NS
NS32202	*208	9	32202	6/8/10MHz	300.00	NMOS	DIP40	INT	TTL	割り込みレベル１６．１６個までカスケード接続可能	NS
NS32203	*146	9	32203	6/8/10MHz	300.00	XMOS	DIP48	DMAC	TTL	チャネル数４，転送速度５Ｍｂｐｓ，８／１６ビット転送可能	NS
NS32490C	244	ALL	8390	20MHz	40.00	CMOS	DIP48	LAN	TTL	IEEE802.3準拠のCSMA/CDｺﾝﾄﾛｰﾗ．DP8391/8392と組み合わせて使用する．DP8390Cと同一	NS
PC87310	*96	1,2,8	87310	24MHz	35.00	CMOS	FP100	CF	TTL	二つのＵＡＲＴ，ＦＤコントローラ等を内蔵した，ＩＢＭ　ＰＣ対応の複合デバイス	NS
PC87410	*66	ALL	87410	33MHz	10.00	CMOS	QFP100	BSCN	TTL	PCIﾊﾞｽと2ﾁｬﾝﾈﾙのIDEｺﾈｸﾀとの接続を行うPCI-IDEｲﾝﾀｰﾌｪｰｽ･ｺﾝﾄﾛｰﾗ	NS
RF5C59	*380	ALL	RF5C59	14.7456MHz	20.00	CMOS	DIP40	SIO	TTL	４チャネル全二重ＵＡＲＴ，データ長８ビット，キャラクタ長１０ビット固定	RICO
RP5C01	*310	ALL	RP5C01	10ms	0.25	CMOS	DIP18	RTC	TTL	データはＢＣＤ出力，１Ｈｚ，１６Ｈｚのアラーム出力可能	RICO
RP5C16A	*132	ALL	RP5C16	14.318MHz	50.00	CMOS	SDIP64	CRTC	TTL	４モード，８０×２５文字，６４０×２００ドット	RICO
RP5C56	*134	ALL	RP5C56	25MHz	60.00	CMOS	SDIP64	CRTC	TTL	512×192ドットのグラフィック表示が可能なＣＲＴコントローラ	RICO
RP5C62	*312	ALL	RP5C62	120ns	0.01	CMOS	DIP18	RTC	TTL	データはＢＣＤ出力，タイマ／カウンタ内蔵	RICO
S-3520AF/CF	*294	ALL	3520	500ns	0.10	CMOS	FP14	RTC	CMOS	時刻，カレンダ・データをシリアルに入出力する．１２０ビットのＳＲＡＭ内蔵	SEIKO
S5930	*68	ALL	5930	33MHz	–	CMOS	QFP120	BSCN	TTL	16/8ﾋﾞｯﾄ･ﾊﾞｽとの接続が可能なPCIｺﾝﾄﾛｰﾗで、EEPROMとのｼﾘｱﾙ･ｲﾝﾀｰﾌｪｰｽを持つ	AMCC
S5931	68	ALL	5931	33MHz	–	CMOS	QFP144	BSCN	TTL	16/8ﾋﾞｯﾄ･ﾊﾞｽとの接続が可能なPCIｺﾝﾄﾛｰﾗで、8ﾋﾞｯﾄ･ﾃﾞｰﾀのEPROMとのｲﾝﾀｰﾌｪｰｽを持つ	AMCC
S5932	68	ALL	5932	33MHz	–	CMOS	QFP144	BSCN	TTL	32ﾋﾞｯﾄ･ﾊﾞｽとの接続が可能なPCIｺﾝﾄﾛｰﾗで、EEPROMとのｼﾘｱﾙ･ｲﾝﾀｰﾌｪｰｽを持つ	AMCC
S5933	68	ALL	5933	33MHz	–	CMOS	QFP160	BSCN	TTL	32ﾋﾞｯﾄ･ﾊﾞｽとの接続が可能なPCIｺﾝﾄﾛｰﾗで、8ﾋﾞｯﾄ･ﾃﾞｰﾀのEPROMとのｲﾝﾀｰﾌｪｰｽを持つ	AMCC
S65C51	*360	ALL	6551	2MHz	4.00	CMOS	DIP28	SIO	TTL	全二重ＵＡＲＴ，ボーレート・ジェネレータ内蔵	ASAHI
S6845E	128	ALL	6845	4MHz	130.00	NMOS	DIP40	CRTC	TTL	汎用ＣＲＴＣ	ASAHI
SAB82288	50	1,2	82288	12/16/20MHz	100.00	NMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル，８０２８６用システム・バス・コントローラ	SIEMENS
SAB8237A	156	1,2	8237	320/200ns	150.00	NMOS	DIP40	DMAC	TTL	チャネル数４，全チャネル独立動作可能	SIEMENS
SAB8289	30	2	8289	8/10MHz	165.00	BIP	DIP20	BSAB	TTL	マルチバス・コンパチブル，４種のモード可能	SIEMENS
SCANPSC100F	*378	ALL	PSC100	25MHz	57.50	CMOS	FP28	SIO	TTL	IEEE 1149.1 ﾃｽﾄ･ｱｸｾｽ･ﾎﾞｰﾄ，ﾊﾞｳﾝﾀﾞﾘ･ｽｷｬﾝ･ｱｰｷﾃｸﾁｬとｺﾝﾊﾞﾁﾌﾞﾙな直並列コンバータ	NS
SCB68154	*210	7	68154	90ns	130.00	BIP	DIP40	INT	TTL	ＶＭＥバス・インタラプト・ジェネレータ．７バス要求割り込み発生	SIGNE
SCB68155	*212	7	68155	100ns	255.00	BIP	DIP40	INT	TTL	ＶＭＥバス対応の非同期式インタラプト・ハンドラ	SIGNE
SCB68430	*148	7	68430	10/12.5MHz	405.00	BIP	DIP48	DMAC	TTL	転送速度６．２５Ｍバイト／ｓ，６８４４０，６８４５０とソフト・コンパチブル	SIGNE
SCN2641	*350	ALL	2641	4MHz	150.00	NMOS	DIP24	SIO	TTL	非同期全二重動作，ボーレート・ジェネレータ内蔵	SIGNE
SCN2651	*352	ALL	2651	5MHz	150.00	NMOS	DIP28	SIO	TTL	同期／非同期全二重動作，ボーレート・ジェネレータ内蔵	SIGNE
SCN2652/68652	402	7	68652	2MHz	150.00	NMOS	DIP40	SPC	TTL	ＨＤＬＣ，ＳＤＬＣ，ＡＤＣＣＰなどのためのデータ・リンク・コントローラ	SIGNE
SCN2681/68681	368	7	68681	4MHz	150.00	NMOS	DIP40	SIO	TTL	２個の全二重ＵＡＲＴ，汎用Ｉ／Ｏポート，カウンタ／タイマ内蔵	SIGNE
SCN2691	*354	ALL	2691	4MHz	4.00	CMOS	DIP24	SIO	TTL	全二重ＵＡＲＴ，ボーレート・ジェネレータ内蔵	SIGNE
SCN68562	*400	7	68562	16MHz	250.00	NMOS	DIP48	SPC	TTL	ＨＤＬＣ，ＳＤＬＣ，ＡＤＣＣＰなどのプロトコル・コントローラ，全二重同期／非同期	SIGNE
SM8513	*388	ALL	8513	11MHz	5.00	CMOS	DIP16	SIO	TTL	ITU-T勧告V.14準拠の同期／非同期変換用コンバータ	NPC
SMC5242C	*314	1,2	SMC5242	1000ns	0.01	CMOS	DIP16	RTC	TTL	万年カレンダ内蔵，８０系ＣＰＵのためのＡＬＥ入力	EPSON
SMC82C37AC	156	1,2	8237	3/4/5MHz	15.00	CMOS	DIP40	DMAC	TTL	チャネル数４，全チャネル独立動作可能	EPSON
SMC82C51AC	376	1,2	8251	3MHz	5.00	CMOS	DIP28	SIO	TTL	同期／非同期動作，全二重ダブル・バッファ方式	EPSON
SMC82C54C/-6	140	1,2,8	8253/4	8/6MHz	10.00	CMOS	DIP24	CTC	TTL	三つの１６ビット・カウンタ内蔵，６通りのプログラマブル・カウンタ・モード	EPSON
SMC82C55AC-5	276	1,2	8255	170ns	0.01	CMOS	DIP40	PIO	TTL	８ビット３ポート，ハンドシェイク信号生成，インタラプト発生	EPSON
SMC82C59AC	216	1,2	8259	170ns	0.01	CMOS	DIP28	INT	TTL	優先度レベル８．カスケード接続で最大６４レベルを制御	EPSON

（*印のページが掲載されています．*印のないページのＬＳＩはセカンド・ソースもしくは類似品です．）
（分類：BSAB/BSBF/BSCN:バス・アービタ／バス・バッファ／バス・コントローラ,CF:複合コントローラ,CG:クロック・ジェネレータ,CRTC:ＣＲＴ＆グラフィック・コントローラ,CTC:タイマ／カウンタ,DMAC:ＤＭＡコントローラ,DTSP:データ・セパレータ／ＶＦＯ,FDC:フロッピ・ディスク・コントローラ,GPIB:ＧＰＩＢコントローラ,HDC:ハード・ディスク・コントローラ,INT:割り込みコントローラ,ISDN:ＩＳＤＮコントローラ,LAN:ＬＡＮコントローラ,LCDC:ＬＣＤコントローラ,PIO:パラレルＩ／Ｏコントローラ,RTC:リアル・タイム・クロック,SCSI:ＳＣＳＩコントローラ,SIO/SPC:シリアル通信コントローラ）

型　名	頁	適応CPU	ｵﾘｼﾞﾅﾙ	動作速度	消費電流	ﾌﾟﾛｾｽ	外　形	分類	入出力	特　徴	社　名
SPC2050F	*168	ALL	2050	24MHz	70.00	CMOS	FP100	FDC	TTL	IBM-PC/AT対応のFDコントローラ．データ・セパレータとドライバ内蔵2台までドライブ可	EPSON
SPC2052F	168	ALL	2050	24MHz	70.00	CMOS	FP80	FDC	TTL	IBM-PC/AT対応のFDコントローラ．データ・セパレータとドライバ内蔵2台までドライブ可	EPSON
SPC2054F	168	ALL	2050	24MHz	70.00	CMOS	FP100	FDC	TTL	IBM-PC/AT対応のFDコントローラ．データ・セパレータとドライバ内蔵4台までドライブ可	EPSON
SSI 73M1450	372	ALL	8250	4MHz	10.00	CMOS	DIP28	SIO	TTL	UART，ﾌﾟﾛｸﾞﾗﾏﾌﾞﾙ･ﾎﾞｰﾚｰﾄ･ｼﾞｪﾈﾚｰﾀ内蔵．8250を28PINにｺﾝﾊﾟｸﾄ化	SSI
SSI 73M1550	*372	ALL	8250	4MHz	10.00	CMOS	DIP28	SIO	TTL	UART，ﾌﾟﾛｸﾞﾗﾏﾌﾞﾙ･ﾎﾞｰﾚｰﾄ･ｼﾞｪﾈﾚｰﾀ内蔵．8250を28PINにｺﾝﾊﾟｸﾄ化	SSI
SSI 73M2450	372	ALL	8250	4MHz	10.00	CMOS	DIP28	SIO	TTL	UART，ﾌﾟﾛｸﾞﾗﾏﾌﾞﾙ･ﾎﾞｰﾚｰﾄ･ｼﾞｪﾈﾚｰﾀ内蔵．8250を28PINにｺﾝﾊﾟｸﾄ化しﾘｾｯﾄ端子付	SSI
SSI 73M2550	*372	ALL	8250	4MHz	10.00	CMOS	DIP28	SIO	TTL	UART，ﾌﾟﾛｸﾞﾗﾏﾌﾞﾙ･ﾎﾞｰﾚｰﾄ･ｼﾞｪﾈﾚｰﾀ内蔵．8250を28PINにｺﾝﾊﾟｸﾄ化しﾘｾｯﾄ端子付	SSI
SSI 73M450	372	ALL	8250	4MHz	10.00	CMOS	DIP40	SIO	TTL	ＵＡＲＴ，プログラマブル・ボーレート・ジェネレータ内蔵	SSI
SSI 73M550	372	ALL	8250	4MHz	10.00	CMOS	DIP28	SIO	TTL	UART,ﾌﾟﾛｸﾞﾗﾏﾌﾞﾙ･ﾎﾞｰﾚｰﾄ･ｼﾞｪﾈﾚｰﾀ内蔵．16ﾊﾞｲﾄのFIFOを内蔵しｷｬﾗｸﾀ･ﾓｰﾄﾞ時8250ｺﾝﾊﾟﾁﾌﾞﾙ	SSI
ST16C1450		ALL	8250	7.4MHz	6.00	CMOS	DIP28	SIO	TTL	UART,ﾌﾟﾛｸﾞﾗﾏﾌﾞﾙ･ﾎﾞｰﾚｰﾄ･ｼﾞｪﾈﾚｰﾀ内蔵.8250を28PINにｺﾝﾊﾟｸﾄ化	EXAR
ST16C1451		ALL	8250	7.4MHz	6.00	CMOS	DIP28	SIO	TTL	UART,ﾌﾟﾛｸﾞﾗﾏﾌﾞﾙ･ﾎﾞｰﾚｰﾄ･ｼﾞｪﾈﾚｰﾀ内蔵.8250を28PINにｺﾝﾊﾟｸﾄ化	EXAR
ST16C1550		ALL	8250	7.4MHz	6.00	CMOS	DIP28	SIO	TTL	UART,ﾌﾟﾛｸﾞﾗﾏﾌﾞﾙ･ﾎﾞｰﾚｰﾄ･ｼﾞｪﾈﾚｰﾀ,16ﾊﾞｲﾄFIFO内蔵.8250を28PINにｺﾝﾊﾟｸﾄ化	EXAR
ST16C1551		ALL	8250	7.4MHz	6.00	CMOS	DIP28	SIO	TTL	UART,ﾌﾟﾛｸﾞﾗﾏﾌﾞﾙ･ﾎﾞｰﾚｰﾄ･ｼﾞｪﾈﾚｰﾀ,16ﾊﾞｲﾄFIFO内蔵.8250を28PINにｺﾝﾊﾟｸﾄ化	EXAR
ST16C450		ALL	8250	7.4MHz	6.00	CMOS	DIP40	SIO	TTL	UART,ﾌﾟﾛｸﾞﾗﾏﾌﾞﾙ･ﾎﾞｰﾚｰﾄ･ｼﾞｪﾈﾚｰﾀ内蔵.8250,16450とﾋﾟﾝ/機能ｺﾝﾊﾟﾁﾌﾞﾙ	EXAR
ST16C550		ALL	8250	7.4MHz	6.00	CMOS	DIP40	SIO	TTL	INS8250ｺﾝﾊﾟﾁﾌﾞﾙで，16ﾊﾞｲﾄのFIFO内蔵UART．460.8kHzまで送受信動作可能	EXAR
STC9610F	*382	ALL	STC9610	3.58MHz	80.00	CMOS	FP80	SIO	TTL	８２５０と機能コンパチブル，３００／１１０ボーレート・ジェネレータ内蔵	EPSON
TC35802G	*234	2,8	35802	8MHz	180.00	CMOS	FP144	LAN	TTL	トークン・リング・プロトコルを実行するＬＡＮコントコーラ	TOSI
TC8505	128	ALL	6845	6.25MHz	10.00	CMOS	DIP40	CRTC	TTL	２５６文字×６４行，ライト・ペン機能付き	TOSI
TC8521P	*306	ALL	8521	250ns	0.25	CMOS	DIP18	RTC	TTL	１６Ｈｚ，１Ｈｚ，アラーム信号出力可能，２６×４ビットＲＡＭ内蔵	TOSI
TC8565	180	ALL	765	8MHz	10.00	CMOS	DIP40	FDC	TTL	４台のＦＤを同時シーク可能．ＩＢＭフォーマット・コンパチブル	TOSI
TC8566	180	ALL	765	16.5MHz	30.00	CMOS	FP100	FDC	TTL	ＦＤコントローラとＶＦＯ回路，周辺ロジックを集積化	TOSI
TC8569	180	ALL	765	16.5MHz	40.00	CMOS	FP100	FDC	TTL	ＦＤコントローラとＶＦＯ回路，周辺ロジックを集積化．２ＦＤ対応可能	TOSI
TC8570	372	ALL	8250	4MHz	5.00	CMOS	DIP40	SIO	TTL	ボーレート・ジェネレータ，モデム制御機能を内蔵したＵＡＲＴ	TOSI
TC8577	370	1,2,3	8072	0.3MHz	10.00	CMOS	DIP40	SIO	TTL	RS232C，セントロニクス・インターフェースをサポートする．ＰＩＯは出力専用	TOSI
TC8578	370	1,2,3	8072	0.3MHz	10.00	CMOS	DIP40	SIO	TTL	RS232C，セントロニクス・インターフェースをサポートする．ＰＩＯは入力専用	TOSI
TC9173	*284	ALL	9173	0.5MHz	1.00	CMOS	DIP16	PIO	CMOS	シリアル・バス・ラインでマイコンと接続可能な拡張用入出力ポート	TOSI
TC9174	*285	ALL	9174	0.5MHz	1.00	CMOS	DIP16	PIO	CMOS	シリアル・バス・ラインでマイコンと接続可能な拡張用出力ポート	TOSI
TL16C550	372	ALL	8250	16MHz	10.00	CMOS	DIP40	SIO	TTL	INS8250ｺﾝﾊﾟﾁﾌﾞﾙで，16ﾊﾞｲﾄのFIFO内蔵UART．ﾎﾞｰﾚｰﾄはDCから256Kまで設定可能	TI
TMP68230	260	7	68230	8/10MHz	150.00	NMOS	DIP48	PIO	TTL	６８０００とバス・コンパチ，単／双方向８／１６ビット・ポート，２４ビット・タイマ	TOSI
TMP68450	152	7	68450	8/10MHz	400.00	NMOS	DIP64	DMAC	TTL	６８０００とバス・コンパチ．４本のＤＭＡチャネル	TOSI
TMP68652	402	7	68652	2MHz	150.00	NMOS	DIP40	SPC	TTL	ＨＤＬＣ，ＳＤＬＣ，ＡＤＣＣＰなどのためのデータ・リンク・コントローラ	TOSI
TMP68901	80	7	68901	4MHz	180.00	NMOS	DIP48	CF	TTL	同期／非同期ポート，８本のＩ／Ｏ，１６個の割り込み制御回路，４個のタイマ内蔵	TOSI
TMP8237AP	156	1,2	8237	3/5MHz	150.00	NMOS	DIP40	DMAC	TTL	チャネル数４，全チャネル独立動作可能	TOSI
TMP8243	274	ALL	8243	700ns	20.00	NMOS	DIP24	PIO	TTL	ＭＣＳ４８のＩ／Ｏエキスパンダ，四つの４ビットＩ／Ｏポート	TOSI
TMP8251AP	376	1,2	8251	6MHz	100.00	NMOS	DIP28	SIO	TTL	同期／非同期動作，全二重ダブル・バッファ方式	TOSI
TMP8255AP-5	276	1,2	8255	300ns	120.00	NMOS	DIP40	PIO	TTL	８ビット３ポート，ハンドシェイク信号生成，インタラプト発生	TOSI
TMP8259AP	216	1,2	8259	235ns	85.00	NMOS	DIP28	INT	TTL	優先度レベル８．カスケード接続で最大６４レベルを制御	TOSI
TMP8279P-5	280	1,2	8279	250ns	120.00	NMOS	DIP40	PIO	TTL	キーボード／ディスプレイ・インターフェース，１６桁表示	TOSI
TMP82C37AP	156	1,2	8237	5MHz	10.00	CMOS	DIP40	DMAC	TTL	チャネル数４，全チャネル独立動作可能	TOSI
TMP82C43	274	ALL	8243	700ns	2.00	CMOS	DIP24	PIO	TTL	ＭＣＳ４８のＩ／Ｏエキスパンダ，四つの４ビットＩ／Ｏポート	TOSI

（＊印のページが掲載されています．＊印のないページのＬＳＩはセカンド・ソースもしくは類似品です．）
（分類：BSAB/BSBF/BSCN:バス・アービタ／バス・バッファ／バス・コントローラ,CF:複合コントローラ,CG:クロック・ジェネレータ,CRTC:ＣＲＴ＆グラフィック・コントローラ,CTC:タイマ／カウンタ,DMAC:ＤＭＡコントローラ,DTSP:データ・セパレータ／ＶＦＯ,FDC:フロッピ・ディスク・コントローラ,GPIB:ＧＰＩＢコントローラ,HDC:ハード・ディスク・コントローラ,INT:割り込みコントローラ,ISDN:ＩＳＤＮコントローラ,LAN:ＬＡＮコントローラ,LCDC:ＬＣＤコントローラ,PIO:パラレルＩ／Ｏコントローラ,RTC:リアル・タイム・クロック,SCSI:ＳＣＳＩコントローラ,SIO/SPC:シリアル通信コントローラ）

型　名	頁	適応CPU	ｵﾘｼﾞﾅﾙ	動作速度	消費電流	ﾌﾟﾛｾｽ	外　形	分類	入出力	特　　徴	社　名
TMP82C51AP	376	1, 2	8251	5/8MHz	8.00	CMOS	DIP28	SIO	TTL	同期／非同期動作，全二重ダブル・バッファ方式	TOSI
TMP82C53AP	140	1, 2	8253	5MHz	5.00	CMOS	DIP24	CTC	TTL	３個のプリセット型１６ビット・カウンタ内蔵	TOSI
TMP82C53P	140	1, 2	8253	5MHz	5.00	CMOS	DIP24	CTC	TTL	３個のプリセット型１６ビット・カウンタ内蔵	TOSI
TMP82C54P/-2	140	1, 2, 8	8253/4	8/10MHz	30.00	CMOS	DIP24	CTC	TTL	三つの１６ビット・カウンタ内蔵，６通りのプログラマブル・カウンタ・モード	TOSI
TMP82C55AP	276	1, 2	8255	150/160/300ns	5.00	CMOS	DIP40	PIO	TTL	８ビット３ポート，ハンドシェイク信号生成，インタラプト発生	TOSI
TMP82C59AP-2	216	1, 2	8259	160ns	5.00	CMOS	DIP28	INT	TTL	優先度レベル８．カスケード接続で最大６４レベルを制御	TOSI
TMP82C79	280	1, 2	8279	160ns	5.00	CMOS	DIP40	PIO	TTL	キーボード／ディスプレイ・インターフェース，１６桁表示	TOSI
TMPZ84C10AP	162	3	Z80DMA	4/6MHz	10.00	CMOS	DIP40	DMAC	TTL	プログラマブル．チャネル・ステータス読み出し可能	TOSI
TMPZ84C20	288	3	Z80PIO	4.0/6.0MHz	8.00	CMOS	DIP40	PIO	TTL	８ビット双方向入出力２ポート，ビット／バイト単位の処理可能	TOSI
TMPZ84C30P	142	3	Z80CTC	4/6MHz	7.00	CMOS	DIP28	CTC	TTL	四つの独立した８ビット・カウンタ内蔵	TOSI
TMPZ84C40	386	3	Z80SIO/0	4.0/6.0MHz	10.00	CMOS	DIP40	SIO	TTL	２ポート内蔵，非同期／同期可能，ＨＤＬＣ，ＳＤＬＣ，Ｘ．２５対応可能	TOSI
TMPZ84C41	386	3	Z80SIO/1	4.0/6.0MHz	10.00	CMOS	DIP40	SIO	TTL	２ポート内蔵，非同期／同期可能，ＨＤＬＣ，ＳＤＬＣ，Ｘ．２５対応可能	TOSI
TMPZ84C42	386	3	Z80SIO/2	4.0/6.0MHz	10.00	CMOS	DIP40	SIO	TTL	２ポート内蔵，非同期／同期可能，ＨＤＬＣ，ＳＤＬＣ，Ｘ．２５対応可能	TOSI
TMPZ84C60P	*108	3	8460	4MHz	4.00	CMOS	DIP16	CG	TTL	Ｚ８０用クロック・ジェネレータ，ＲＵＮ／ＩＤＬＥ／ＳＴＯＰモードの選択可能	TOSI
TMPZ84C61P	103	3	8460	4/6/8MHz	5.00	CMOS	DIP16	CG	TTL	Ｚ８０用クロック・ジェネレータ，ＲＵＮ／ＩＤＬＥ／ＳＴＯＰモードの選択可能	TOSI
TMS2793/97	166	ALL	179X	6MHz	150.00	NMOS	DIP40	FDC	TTL	ＩＢＭフォーマット．ソフトで各種項目指定可能	TI
TMS34010	*122	ALL	34010	160ns	-	CMOS	PLCC68	CRTC		プログラマブル・グラフィック・コントローラ	TI
TMS9914	*194	ALL	9914	200ns	160.00	NMOS	DIP40	GPIB	TTL	ＧＰＩＢ全機能実行．トーカ，リスナ，コントローラ機能内蔵	TI
TP3464	*344	ALL	3464	20MHz	4.00	CMOS	PLCC28	SIO	TTL	MICROWIREｲﾝﾀｰﾌｪｰｽにより最大四つの周辺ﾃﾞﾊﾞｲｽとCPU間の接続を可能にする	NS
TP3465	*344	ALL	3465	20MHz	4.00	CMOS	DIP28	SIO	TTL	MICROWIREｲﾝﾀｰﾌｪｰｽにより最大八つの周辺ﾃﾞﾊﾞｲｽとCPU間の接続を可能にする	NS
TR1602	346	4	1602	320KHz	60.00	NMOS	DIP40	SIO	TTL	全二重ＵＡＲＴ	WD
TR1863/5	358	ALL	6402	1/2.5/3.5MHZ	35.00	CMOS	DIP40	SIO	TTL	プログラムによる初期設定不要，データ長５，６，７，８ビット選択	WD
UM6845	128	ALL	6845	2MHz	150.00	NMOS	DIP40	CRTC	TTL	２５６文字×６４行，ライト・ペン機能付き	UMC
UM82450	372	ALL	8250	3.1MHz	120.00	NMOS	DIP40	SIO	TTL	ＵＡＲＴ，プログラマブル・ボーレート・ジェネレータ内蔵	UMC
UM8253	140	1, 2	8253	5MHz	140.00	NMOS	DIP24	CTC	TTL	３個のプリセット型１６ビット・カウンタ内蔵	UMC
UM8259	216	1, 2	8259	160ns	85.00	NMOS	DIP28	INT	TTL	優先度レベル８．カスケード接続で最大６４レベルを制御	UMC
UM8272	180	ALL	765	4/8MHz	120.00	NMOS	DIP40	FDC	TTL	４台のＦＤを同時シーク可能．ＩＢＭフォーマット・コンパチブル	UMC
UM82C284	104	2	82284	10/12.5MHz	75.00	CMOS	DIP18	CG	TTL	リセット，ＲＥＡＤＹ入力付き	UMC
UM82C288	50	1, 2	82288	10/12.5MHz	1.00	CMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル．８０２８６用システム・バス・コントローラ	UMC
VL16C550	372	ALL	8250	8MHz	10.00	CMOS	DIP40	SIO	TTL	INS8250ｺﾝﾊﾟﾁﾌﾞﾙで，16ﾊﾞｲﾄのFIFO内蔵UART．ﾎﾞｰﾚｰﾄはDCから256Kまで設定可能	VLSI
VL68C45	128	ALL	6845	2/3MHz	12.00	CMOS	DIP40	CRTC	TTL	２５６文字×６４行，ライト・ペン機能付き	VLSI
VL82C37A	156	1, 2	8237	4/5/8MHz	30.00	CMOS	DIP40	DMAC	TTL	チャネル数４，全チャネル独立動作可能	VLSI
VL82C50/A	372	ALL	8250	3.1MHz	10.00	CMOS	DIP40	SIO	TTL	ＵＡＲＴ，プログラマブル・ボーレート・ジェネレータ内蔵	VLSI
VL82C59A	216	1, 2	8259	8/10MHz	5.00	CMOS	DIP28	INT	TTL	優先度レベル８．カスケード接続で最大６４レベルを制御	VLSI
WD1770/2	*164	ALL	1770	10MHz	150.00	NMOS	DIP28	FDC	TTL	ディジタル・データ・セパレータ内蔵，単密／倍密可能	WD
WD33C93A	*316	ALL	3393	8MHz	20.00	CMOS	DIP40	SCSI	TTL	非同期で１．５Ｍバイト／ｓ転送可能，２４ビットのトランスファ・カウンタ内蔵	WD
WD37C65/A/B	180	ALL	765	60ns	45.00	CMOS	DIP40	FDC	TTL	４台のＦＤを同時シーク可能，ＩＢＭフォーマット・コンパチブル	WD
WD9914	194	ALL	9914	200ns	150.00	NMOS	DIP40	GPIB	TTL	ＧＰＩＢ全機能実行．トーカ，リスナ，コントローラ機能内蔵	WD
Z16C30	412	ALL	8030	10MHz	-	CMOS	PLCC48	SPC	TTL	ＳＣＣの上位バージョンで，２チャネル内蔵．１０のプロトコルをサポート	ZILOG
Z5380	318	ALL	5380	100ns	15.00	CMOS	DIP40	SCSI	TTL	非同期で１．５Ｍバイト／ｓの転送速度，パリティ・ジェネレータ内蔵	ZILOG

（＊印のページが掲載されています．＊印のないページのＬＳＩはセカンド・ソースもしくは類似品です．）
（分類：BSAB/BSBF/BSCN:バス・アービタ／バス・バッファ／バス・コントローラ,CF:複合コントローラ,CG:クロック・ジェネレータ,CRTC:ＣＲＴ＆グラフィック・コントローラ,CTC:タイマ／カウンタ,DMAC:ＤＭＡコントローラ,DTSP:データ・セパレータ／ＶＦＯ,FDC:フロッピ・ディスク・コントローラ,GPIB:ＧＰＩＢコントローラ,HDC:ハード・ディスク・コントローラ,INT:割り込みコントローラ,ISDN:ＩＳＤＮコントローラ,LAN:ＬＡＮコントローラ,LCDC:ＬＣＤコントローラ,PIO:パラレルＩ／Ｏコントローラ,RTC:リアル・タイム・クロック,SCSI:ＳＣＳＩコントローラ,SIO/SPC:シリアル通信コントローラ）

型　名	頁	適応CPU	ｵﾘｼﾞﾅﾙ	動作速度	消費電流	ﾌﾟﾛｾｽ	外　形	分類	入出力	特　　　徴	社　名
Z765A	180	ALL	765	4/8MHz	150.00	NMOS	DIP40	FDC	TTL	４台のＦＤを同時シーク可能，ＩＢＭフォーマット・コンパチブル	ZILOG
Z8030	*412	ALL	8030	4/6MHz	250.00	NMOS	DIP40	SPC	TTL	Ｚ８０ＳＩＯの１６ビット・バージョン，NRZ，NRZI，FMコーディング・プログラム	ZILOG
Z8036	*138	6	8036	4MHz	200.00	NMOS	DIP40	CTC	TTL	三つの１６ビット・カウンタ内蔵	ZILOG
Z80C30	412	ALL	8030	6/8/10MHz	30.00	CMOS	DIP40	SPC	TTL	Ｚ８０ＳＩＯの１６ビット・バージョン，NRZ，NRZI，FMコーディング・プログラム	ZILOG
Z8410	*162	3	Z80DMA	400/250ns	200.00	NMOS	DIP40	DMAC	TTL	プログラマブル．チャネル・ステータス読み出し可能	ZILOG
Z8420	*288	3	Z80PIO	2.5/4.0/6.0MHz	100.00	NMOS	DIP40	PIO	TTL	８ビット双方向入出力２ポート，ビット／バイト単位の処理可能	ZILOG
Z8430/Z80CTC	*142	3	Z80CTC	400/250/165ns	20.00	NMOS	DIP28	CTC	TTL	四つの独立した８ビット・カウンタ内蔵	ZILOG
Z8440/Z80SIO/0	386	3	Z80SIO/0	2.5/4.0/6.0MHz	30.00	NMOS	DIP40	SIO	TTL	２ポート内蔵，非同期／同期可能，ＨＤＬＣ，ＳＤＬＣ，Ｘ．２５対応可能	ZILOG
Z8441/Z80SIO/1	386	3	Z80SIO/1	2.5/4.0/6.0MHz	30.00	NMOS	DIP40	SIO	TTL	２ポート内蔵，非同期／同期可能，ＨＤＬＣ，ＳＤＬＣ，Ｘ．２５対応可能	ZILOG
Z8442/Z80SIO/2	386	3	Z80SIO/2	2.5/4.0/6.0MHz	30.00	NMOS	DIP40	SIO	TTL	２ポート内蔵，非同期／同期可能，ＨＤＬＣ，ＳＤＬＣ，Ｘ．２５対応可能	ZILOG
Z8470	*384	3	Z80DART	2.5/4.0/6.0MHz	100.00	NMOS	DIP40	SIO	TTL	二つの非同期式ポート内蔵，受信バッファ４，送信バッファ２	ZILOG
Z84C10	162	3	Z80DMA	4MHz	10.00	CMOS	DIP40	DMAC	TTL	プログラマブル．チャネル・ステータス読み出し可能	ZILOG
Z84C20	288	3	Z80PIO	4/6/8MHz	7.00	CMOS	DIP40	PIO	TTL	８ビット双方向入出力２ポート，ビット／バイト単位の処理可能	ZILOG
Z84C30	142	3	Z80CTC	4/6/8MHz	10.00	CMOS	DIP28	CTC	TTL	四つの独立した８ビット・カウンタ内蔵	ZILOG
Z84C40	*386	3	Z80SIO/0	4/6MHz	10.00	CMOS	DIP40	SIO	TTL	２ポート内蔵，非同期／同期可能，ＨＤＬＣ，ＳＤＬＣ，Ｘ．２５対応可能	ZILOG
Z84C41	*386	3	Z80SIO/1	4/6MHz	10.00	CMOS	DIP40	SIO	TTL	２ポート内蔵，非同期／同期可能，ＨＤＬＣ，ＳＤＬＣ，Ｘ．２５対応可能	ZILOG
Z84C42	*386	3	Z80SIO/2	4/6MHz	10.00	CMOS	DIP40	SIO	TTL	２ポート内蔵，非同期／同期可能，ＨＤＬＣ，ＳＤＬＣ，Ｘ．２５対応可能	ZILOG
Z85230	386	3	8440	20MHz	9.00	CMOS	DIP40	SIO	TTL	２ポート内蔵，非同期／同期可能，ＨＤＬＣ，ＳＤＬＣ，Ｘ．２５対応可能	ZILOG
Z8530	412	ALL	8030	4/6MHz	250.00	NMOS	DIP40	SPC	TTL	Ｚ８０ＳＩＯの１６ビット・バージョン，NRZ，NRZI，FMコーディング・プログラム	ZILOG
Z8536	138	ALL	8036	4/6MHz	200.00	NMOS	DIP40	CTC	TTL	三つの１６ビット・カウンタ内蔵	ZILOG
Z8581	*110	ALL	8581	20MHz	150.00	NMOS	DIP18	CG	TTL	汎用のクロック・ジェネレータ／コントローラ	ZILOG
Z85C30	412	ALL	8030	6/8/10MHz	30.00	CMOS	DIP40	SPC	TTL	Ｚ８０ＳＩＯの１６ビット・バージョン，NRZ，NRZI，FMコーディング・プログラム	ZILOG
ZEN1020	*220	3	1020	8MHz	0.72	CMOS	DIP28	INT	TTL	Z80用の割り込みｺﾝﾄﾛｰﾗで，8要因までのﾓｰﾄﾞ2割り込みをｻﾎﾟｰﾄする	ZENIC
ZEN2061	*144	ALL	2961	10MHz	1.70	CMOS	DIP40	CTC	TTL	最大6ﾁｬﾝﾈﾙの位置計測用ｱｯﾌﾟﾀﾞｳﾝ・ｶｳﾝﾄが可能なｶｳﾝﾀ・ﾄﾚｲﾝ	ZENIC
μPB8282/8283	40	ALL	8282/83	45/40ns	160.00	BIP	DIP20	BSBF	TTL	オクタル・ラッチ，８２８２はノンインバート，８２８３はインバート	NEC
μPB8284A	106	2	8284	10MHz	162.00	BIP	DIP18	CG	TTL	リセット，ＲＥＡＤＹ入力付き	NEC
μPB8286/8287	42	ALL	8286/87	30/22ns	160.00	BIP	DIP20	BSBF	TTL	オクタル・バス・トランシーバ，８２８６はノンインバート，８２８７はインバート	NEC
μPB8288	52	1,2	8288	10MHz	230.00	BIP	DIP20	BSCN	TTL	マルチバス・コンパチブル，８０８６マキシマム・モード下で使用	NEC
μPB8289	30	2	8289	8MHz	165.00	BIP	DIP20	BSAB	TTL	マルチバス・コンパチブル，４種のモード可能	NEC
μPD3301/-2	*120	1,2	3301	380ns	200.00	NMOS	DIP40	CRTC	TTL	２５６種の文字指定可能，文字数，行数をプログラム設定	NEC
μPD4990A	*296	ALL	4990	500KHz	0.10	CMOS	DIP16,14	RTC	CMOS	カレンダのデータをシリアルに入出力する機能をもつ	NEC
μPD6316	*356	ALL	6316	12MHz	10.00	CMOS	DIP16	SIO	CMOS	ﾏｲｸﾛｺﾝﾋﾟｭｰﾀ間のﾃﾞｰﾀ伝送を行うﾄﾞﾒｽﾃｨｯｸ・ﾃﾞｨｼﾞﾀﾙ・ﾊﾞｽ(D2B)ｲﾝﾀｰﾌｪｰｽLSI	NEC
μPD71011C	106	2,5	8284	10MHz	30.00	CMOS	DIP18	CG	TTL	Ｖ２０／Ｖ３０および周辺デバイス用クロックを発生	NEC
μPD71037	156	1,2,5,8	8237	10MHz	20.00	CMOS	DIP40	DMAC	TTL	チャネル数４，全チャネル独立動作可能なＤＭＡコントローラで，高速低消費電流	NEC
μPD71051	376	1,2,5	8251	8MHz	10.00	CMOS	DIP28	SIO	TTL	同期／非同期動作，全二重ダブル・バッファ方式	NEC
μPD71054	140	1,2,5,8	8253/4	8MHz	30.00	CMOS	DIP24	CTC	TTL	三つの１６ビット・カウンタ内蔵，６通りのプログラマブル・カウンタ・モード	NEC
μPD71055	276	1,2,5	8255	160ns	10.00	CMOS	DIP40	PIO	TTL	Ｖシリーズ周辺，スタンバイ機能付き	NEC
μPD71059C	216	1,2,5	8259	160ns	9.00	CMOS	DIP28	INT	TTL	優先度レベル８．カスケード接続で最大６４レベルを制御	NEC
μPD71071C	*154	ALL	71071	8/10MHz	30.00	CMOS	DIP48	DMAC	TTL	４チャネルＤＭＡコントローラ．１６Ｍバイトアドレスと６４Ｋトランスファ・カウント	NEC
μPD71082/83	40	ALL	8282/83	40ns	20.00	CMOS	DIP20	BSBF	TTL	オクタル・ラッチ，８２８２はノンインバート，８２８３はインバート	NEC

（＊印のページが掲載されています．＊印のないページのＬＳＩはセカンド・ソースもしくは類似品です．）
（分類：BSAB/BSBF/BSCN：バス・アービタ／バス・バッファ／バス・コントローラ，CF：複合コントローラ，CG：クロック・ジェネレータ，CRTC：ＣＲＴ＆グラフィック・コントローラ，CTC：タイマ／カウンタ，DMAC：ＤＭＡコントローラ，DTSP：データ・セパレータ／ＶＦＯ，FDC：フロッピ・ディスク・コントローラ，GPIB：ＧＰＩＢコントローラ，HDC：ハード・ディスク・コントローラ，INT：割り込みコントローラ，ISDN：ＩＳＤＮコントローラ，LAN：ＬＡＮコントローラ，LCDC：ＬＣＤコントローラ，PIO：パラレルＩ／Ｏコントローラ，RTC：リアル・タイム・クロック，SCSI：ＳＣＳＩコントローラ，SIO/SPC：シリアル通信コントローラ）

型　名	頁	適応CPU	ｵﾘｼﾞﾅﾙ	動作速度	消費電流	ﾌﾟﾛｾｽ	外　形	分類	入出力	特　徴	社　名
μPD71084	106	2	8284	8MHz	30.00	CMOS	DIP18	CG	TTL	リセット，ＲＥＡＤＹ入力付き	NEC
μPD71086/87	42	ALL	8286/87	40ns	40.00	CMOS	DIP20	BSBF	TTL	オクタル・バス・トランシーバ，８２８６はノンインバート，８２８７はインバート	NEC
μPD71088	52	1,2,5	8288	10MHz	20.00	CMOS	DIP20	BSCN	TTL	マルチバス・コンパチブル，８０８６マキシマム・モード下で使用	NEC
μPD71611	*102	5	71611	16MHz	50.00	CMOS	DIP20	CG	TTL	Ｖ６０用，システム・クロックの発生，プログラマブル・ウェイト信号発生	NEC
μPD71613	*48	5	71613	16MHz	30.00	CMOS	DIP20	BSCN	TTL	Ｖ６０用，周辺用の各制御コマンドを生成，出力	NEC
μPD71P301	*82	ALL	71P301	30ns	40.00	CMOS	DIP64	CF	TTL	PROMまたはEPROM，1KのSRAM，I/Oおよびﾊﾞｽ･ｲﾝﾀｰﾌｪｰｽ機能を内蔵したＬＳＩ	NEC
μPD72001	*404	ALL	72001	8MHz	40.00	CMOS	DIP40	SPC	TTL	非同期，ビット同期，バイト同期プロトコル対応可，全二重動作，ＤＰＬＬ回路内蔵	NEC
μPD72002-11	404	ALL	72001	11MHz	40.00	CMOS	DIP40	SIO	TTL	非同期，ビット同期，バイト同期プロトコル対応．μPD72001とソフト・コンパチブル	NEC
μPD7201/A	414	1,2	8274	4/5MHz	230.00	NMOS	DIP40	SPC	TTL	非同期，ビット同期，バイト同期プロトコル対応可，全二重動作	NEC
μPD72020	130	ALL	7220	165ns	70.00	CMOS	DIP40	CRTC	TTL	Ｉ／Ｏ　ＦＩＦＯ内蔵，外部映像メモリの制御可能	NEC
μPD72061	200	ALL	7261	24MHz	30.00	CMOS	DIP40	SPC	TTL	ハード／ソフト・セクタ・ディスクに対応可．８台まで制御可能	NEC
μPD72065	180	ALL	765	8MHz	10.00	CMOS	DIP40	FDC	TTL	μＰＤ７６５コンパチブルなFDコントローラ．２５５トラックまでリキャリブレート可能	NEC
μPD72067	*176	ALL	72067	32MHz	30.00	CMOS	DIP48	FDC	TTL	ＶＦＯ，モータ制御回路，書き込み補償回路などを内蔵したＦＤコントローラ	NEC
μPD72103	*406	ALL	72103	8.2MHz	50.00	CMOS	SDIP64	SPC	TTL	DMA機能を内蔵し，最大４Ｍｂｐｓの転送が可能なＨＤＬＣコントローラ	NEC
μPD72105	*236	ALL	72105	8MHz	50.00	CMOS	DIP48	LAN	TTL	オムニネットＬＡＮコントローラ．ＤＭＡ機能内蔵	NEC
μPD72107	*408	ALL	72107	8MHz	50.00	CMOS	SDIP64	SPC	TTL	X.25で定められたLAP-Bプロトコルをサポート．ＤＭＡ機能内蔵	NEC
μPD72111	*326	ALL	72111	16MHz	100.00	NMOS	DIP64	SCSI	TTL	非同期で１．５Ｍバイト／sの転送速度，ＣＰＵ側のバス幅を選択可能	NEC
μPD7220	*130	ALL	7220	6/7/8MHz	270.00	NMOS	DIP40	CRTC	TTL	Ｉ／Ｏ　ＦＩＦＯ内蔵，外部映像メモリの制御可能	NEC
μPD72305	*410	ALL	72305	8MHz	50.00	CMOS	SDIP64	SPC	TTL	ISDNのレイヤ２のプロトコル処理を行う．LAP-Dプロトコルをサポート，ＤＭＡ機能内蔵	NEC
μPD7260	*178	1,2	7260	11MHz	320.00	NMOS	DIP40	FDC	TTL	FD/HDドライバにインタフェース可能，4台まで制御可，IBM/ECMAフォーマット	NEC
μPD72611	*324	ALL	72611	20MHz	120.00	CMOS	FP100	SCSI	TTL	SCSI-2準拠．μPD72111とｿﾌﾄ上位互換．高速同期転送は最大10MHzで，7段階にﾌﾟﾛｸﾞﾗﾑ可能	NEC
μPD7261A	*200	1,2	7261	12MHz	320.00	NMOS	DIP40	HDC	TTL	ハード／ソフト・セクタ・ディスクに対応可．８台まで制御可能	NEC
μPD7262	*202	ALL	7262	18MHz	320.00	NMOS	DIP40	HDC	TTL	ＥＳＤＩのハード・ディスク・ドライブを７台まで制御可能	NEC
μPD7265	180	ALL	765	4/8MHz	150.00	NMOS	DIP40	FDC	TTL	４台のＦＤを同時シーク可能，ＩＳＯミニ・フロッピ・フォーマット	NEC
μPD72934	258	ALL	83934	20MHz	110.00	CMOS	QFP160	LAN	TTL	32/16ﾋﾞｯﾄ･ﾊﾞｽ･ｲﾝﾀｰﾌｪｰｽを内蔵したCSMA/CDｺﾝﾄﾛｰﾗで，ﾌﾞﾘｯｼﾞおよびﾘﾋﾟｰﾀへの対応可能	NEC
μPD765/-2	*180	ALL	765	4/8MHz	150.00	NMOS	DIP40	FDC	TTL	４台のＦＤを同時シーク可能，ＩＢＭフォーマット・コンパチブル	NEC
μPD8237AC	*156	1,2	8237	5MHz	150.00	NMOS	DIP40	DMAC	TTL	チャネル数４，全チャネル独立動作可能	NEC
μPD8251AFC	376	1,2	8251	5MHz	100.00	NMOS	DIP28	SIO	TTL	同期／非同期動作，全二重ダブル・バッファ方式	NEC
μPD8253C	140	1,2	8253	5MHz	140.00	NMOS	DIP24	CTC	TTL	３個のプリセット型１６ビット・カウンタ内蔵	NEC
μPD8255AC-2	276	1,2	8255	160ns	120.00	NMOS	DIP40	PIO	TTL	８ビット３ポート，ハンドシェイク信号生成，インタラプト発生	NEC
μPD8257	*158	1	8257	5MHz	100.00	NMOS	DIP40	DMAC	TTL	４チャネルＤＭＡコントローラ，１２８ビットＭＡＲＫ出力発生	NEC
μPD8259AC	216	1,2	8259	160ns	85.00	NMOS	DIP28	INT	TTL	優先度レベル８．カスケード接続で最大６４レベルを制御	NEC
μPD8279-2	280	1,2	8279	160ns	120.00	NMOS	DIP40	PIO	TTL	キーボード／ディスプレイ・インターフェース，１６桁表示	NEC
μPD98001	230	ALL	98001	12.3MHz	30.00	CMOS	FP64	ISDN	TTL	ISDNの２線式時分割双方向伝送を行うＬＳＩ．２Ｂ＋Ｄの伝送が可能	NEC

（*印のページが掲載されています．*印のないページのＬＳＩはセカンド・ソースもしくは類似品です．）
（分類：BSAB/BSBF/BSCN:バス・アービタ／バス・バッファ／バス・コントローラ，CF:複合コントローラ，CG:クロック・ジェネレータ，CRTC:ＣＲＴ&グラフィック・コントローラ，CTC:タイマ／カウンタ，DMAC:ＤＭＡコントローラ，DTSP:データ・セパレータ／ＶＦＯ，FDC:フロッピ・ディスク・コントローラ，GPIB:ＧＰＩＢコントローラ，HDC:ハード・ディスク・コントローラ，INT:割り込みコントローラ，ISDN:ＩＳＤＮコントローラ，LAN:ＬＡＮコントローラ，LCDC:ＬＣＤコントローラ，PIO:パラレルＩ／Ｏコントローラ，RTC:リアル・タイム・クロック，SCSI:ＳＣＳＩコントローラ，SIO/SPC:シリアル通信コントローラ）

型　名	適応CPU	ｵﾘｼﾞﾅﾙ	動作速度	消費電流	ﾌﾟﾛｾｽ	外　形	分類	入出力	特　　　徴	社　名
82050	ALL	82050	18.432MHz	35.00	CHMOS	DIP28	SIO	TTL	ＵＡＲＴ，プログラマブル・ボーレート・ジェネレータ内蔵．8250とｿﾌﾄ･ｺﾝﾊﾟﾁﾌﾞﾙ	INTEL
82064	1,2	82064	8/10MHz	45.00	CHMOS	DIP40	HDC	TTL	ＳＴ５０６／ＳＴ４１２ウインチェスタ・ディスクをコントロール．ＥＣＣ機能内蔵	INTEL
82072	ALL	82072	16MHz	35.00	CHMOS	DIP40	FDC	TTL	ＩＢＭフォーマット，４台のＦＤＤを同時シーク可能	INTEL
82091	2,8	82091	24MHz	－	CMOS	QFP100	CF	TTL	ＦＤコントローラ、２本のＵＡＲＴ、多機能パラレル・ポート他内蔵の周辺ＬＳＩ	INTEL
82092	Pentium	82092	33MHz	200.00	CMOS	QFP208	BSCN	TTL	ＰＣＩバスとＰＣＭＣＩＡ／ＩＤＥとのインターフェース・コントローラ	INTEL
82258	2	82258	6/8MHz	475.00	HMOS	LCC68	DMAC	TTL	四つの独立したＤＭＡチャネル．１６Ｍバイト・アドレス空間	INTEL
82261	1,2	82261	8MHz	80.00	CMOS	FP100	CF	TTL	８２８４，８２５９，８２５３，８２５５を一つずつ内蔵	INTEL
82289	2	82289	6/8MHz	120.00	HMOS	DIP20	BSAB	TTL	マルチマスタ・システム・バスのプロトコルをサポート，３つのバス・リリース・モード	INTEL
82306	2,8	82306	20MHz	180.00	CMOS	FP100	CF	TTL	ＰＳ／２システムのＦＤＣインターフェースをサポートし，タイマ／カウンタを内蔵	INTEL
82351	2,8	82351		－	CMOS	QFP132	BSCN	TTL	ＥＩＳＡおよびＰＣ／ＡＴシステムコンパチブルなローカルＩ／Ｏコントローラ	INTEL
82352	8	82352	33MHz	190.00	CHMOS	FP120	BSBF	TTL	ＥＩＳＡ　バス・バッファ．三つの動作モードをもつ	INTEL
82355	8	82355	33MHz	150.00	CHMOS	FP132	BSCN	TTL	ＥＩＳＡ　バス・マスタ・インターフェース・コントローラ．最大転送速度は33Mﾊﾞｲﾄ/s	INTEL
82358	8	82358	33MHz	200.00	CHMOS	FP132	BSCN	TTL	ＥＩＳＡ／ＩＳＡ　バス・サイクルとコンパチブルなコントローラ	INTEL
82359	8	82359	40MHz	200.00	CHMOS	FP196	DRAM	TTL	64Kから16MまでのDRAMをサポートするデュアル・ポート・メモリ・コントローラ	INTEL
82378	8	82378	33.3MHz	－	CMOS	QFP208	BSAB	TTL	ＰＣＩローカル・バスとＩＳＡバス間のブリッジ用バス・アービタ	INTEL
82380	8	82380	16/20MHz	325.00	CHMOS	PGA132	DMAC	TTL	３２ビット・バスで８０３８６と同一のバス・サイクルを生成．チャネル数８	INTEL
82423	8	82423	50MHz	－	CMOS	QFP160	BSBF	TTL	CPU/ｷｬｯｼｭ，ﾒｲﾝ･ﾒﾓﾘ，PCIﾊﾞｽ間の32ﾋﾞｯﾄ･ﾃﾞｰﾀ･ﾊﾞｽ･ﾕﾆｯﾄ	INTEL
82424	8	82424	50MHz	－	CMOS	QFP208	BSCN	TTL	CPU/ｷｬｯｼｭ，ﾒｲﾝ･ﾒﾓﾘ，PCIﾊﾞｽ間のﾊﾞｽ･ｺﾝﾄﾛｰﾙ機能を持つｷｬｯｼｭ&DRAMｺﾝﾄﾛｰﾗ	INTEL
82510	ALL	82510	4MHz	15.20	CMOS	DIP28	SIO	TTL	ＩＮＳ８２５０とソフト・コンパチブル	INTEL
82592	2,8	82592	16MHz	80.00	CHMOS	DIP40	LAN	TTL	データ・バスが１６ビットのCSMA/CD LANコントローラ	INTEL
82596	ALL	82596	33MHz	300.00	CHMOS	FP132	LAN	TTL	CSMA/CD LANｺﾝﾄﾛｰﾗ，20Mﾋﾞｯﾄ/sのﾋﾞｯﾄ･ﾚｰﾄを持ち82586とｿﾌﾄ･ｺﾝﾊﾟﾁﾌﾞﾙ	INTEL
82706	2,8	82706	28MHz	100.00	CMOS	FP132	CRTC	TTL	ＰＳ／２システム用のディスプレイ・コントローラ	INTEL
8273	1,2	8273	1MHz	180.00	HMOS	DIP40	SIO	TTL	CCITT X.25準拠のHDLC/SDLCﾌﾟﾛﾄｺﾙ･ｺﾝﾄﾛｰﾗ．ﾓﾃﾞﾑ･ｺﾝﾄﾛｰﾙ用の2ﾎﾟｰﾄを内蔵	INTEL
8292	ALL	8292	8MHz	125.00	HMOS	DIP40	GPIB	TTL	IEEE488準拠のGPIBｺﾝﾄﾛｰﾗ．8291との組合せでﾄｰｶ/ﾘｽﾅ/ｺﾝﾄﾛｰﾗ構成可能	INTEL
82C08	1,2	8208	8/10/16/20MHz	50.00	CHMOS	DIP48	DRAM	TTL	２５６Ｋ，６４Ｋ，１６ＫのＤＲＡＭコントローラ，１Ｍバイトまでドライブ可能	INTEL
82C425	2,8	82425	20MHz	15.00	CMOS	FP100	LCDC	TTL	IBM CGAコンパチブルのLCD/CRTコントローラ．PC I/Oに直接インターフェース可能	CHIPS
82C455	2,8	82455	40MHz	100.00	CMOS	FP144	CRTC	TTL	ラップ・トップ用のＶＧＡコンパチブルなフラット・パネル・コントローラ	CHIPS
82C480	2,8	82480	20MHz	200.00	CMOS	FP160	CRTC	TTL	IBM 8514/Aとレジスタ，ソフトがコンパチブル．マイクロ・チャネルとインターフェース	CHIPS
82C611	2,8	82611	22ns	100.00	CMOS	PLCC68	BSCN	TTL	IBM PS/2コンパチブルなマイクロ・チャネル用アダプタ	CHIPS
82C612	2,8	82611	22ns	100.00	CMOS	PLCC68	BSCN	TTL	IBM PS/2コンパチブルなマイクロ・チャネル用アダプタ．ＤＭＡハンドシェーク機能内蔵	CHIPS
82C811	8	82811	20MHz	60.00	CMOS	PLCC84	BSCN	TTL	IBM PC ATおよびOS/2対応のバス・コントローラ．クロック・ジェネレータ内蔵	CHIPS
82C812	8	82812	20MHz	50.00	CMOS	PLCC84	MMU	TTL	IBM PC/ATおよびOS/2対応のメモリ・コントローラ．ページ・モード動作対応	CHIPS
9802	ALL	9810	18MHz	24.00	CMOS	FP100	DMAC	TTL	組み込み型ﾃｰﾌﾟ･ｺﾝﾄﾛｰﾗ用に設計された3ﾁｬﾈﾙ内蔵のECC機能付のﾃﾞｭｱﾙ･ﾊﾞｽDMAｺﾝﾄﾛｰﾗ	STAC
A38152	8	38152	20MHz	150.00	CMOS	PLCC84	MMU	TTL	80386用の32Kバイト・キャッシュ・コントローラ	AUSTEK
AIC6110H	ALL	6110	33MHz	45.00	CMOS	PLCC68	SCSI	TTL	同期転送ﾓｰﾄﾞ5Mﾊﾞｲﾄ/s，NRZ信号の転送速度が24MbpsのSCSIｺﾝﾄﾛｰﾗ	ADAPTEC
AIC6225A	ALL	6225	60MHz	100.00	BIP	DIP24	DTSP	TTL	33Mbpsまでのクロック分離が可能なデータ・セパレータ	ADAPTEC
AIC6260	2,8	6260	8MHz	30.00	CMOS	PLCC68	SCSI	TTL	PC/AT用のSCSIｺﾝﾄﾛｰﾗ．8ﾋﾞｯﾄDMAまたは16ﾋﾞｯﾄPIO転送ﾓｰﾄﾞ使用可能	ADAPTEC
AIC7110D	ALL	7110	24.4MHz	28.00	CMOS	FP100	HDC	TTL	SCSI，SCSI-2ﾊﾞｽ･ｲﾝﾀｰﾌｪｰｽ，RAMﾊﾞｯﾌｧ･ｺﾝﾄﾛｰﾗを内蔵したﾃﾞｨｽｸ･ｺﾝﾄﾛｰﾗ	ADAPTEC
AIC7160D	ALL	7160	24.4MHz	28.00	CMOS	FP100	HDC	TTL	IBM PC XT/ATﾊﾞｽ･ｲﾝﾀｰﾌｪｰｽ，RAMﾊﾞｯﾌｧ･ｺﾝﾄﾛｰﾗを内蔵したﾃﾞｨｽｸ･ｺﾝﾄﾛｰﾗ	ADAPTEC
AML66101	7	66101	33MHz	－	CMOS		BSCN	TTL	ＶＭＥバス・コントローラ．割り込み制御，バス・リクエスタ／アービタ機能をもつ	AMPE

(分類：BSAB/BSBF/BSCN:バス・アービタ／バス・バッファ／バス・コントローラ,CF:複合コントローラ,CG:クロック・ジェネレータ,CRTC:ＣＲＴ＆グラフィック・コントローラ,CTC:タイマ／カウンタ,DMAC:ＤＭＡコントローラ,DTSP:データ・セパレータ／ＶＦＯ,FDC:フロッピ・ディスク・コントローラ,GPIB:ＧＰＩＢコントローラ,HDC:ハード・ディスク・コントローラ,INT:割り込みコントローラ,ISDN:ＩＳＤＮコントローラ,LAN:ＬＡＮコントローラ,LCDC:ＬＣＤコントローラ,PIO:パラレルＩ／Ｏコントローラ,RTC:リアル・タイム・クロック,SCSI:ＳＣＳＩコントローラ,SIO/SPC:シリアル通信コントローラ)

型　名	適応CPU	ｵﾘｼﾞﾅﾙ	動作速度	消費電流	ﾌﾟﾛｾｽ	外　形	分類	入出力	特　　徴	社　名
AT9000	2,8	9000	40MHz	80.00	CMOS	FP128	BSCN	TTL	ＡＴバス・マスタ・インターフェース	PLX
AT9010	2,8	9010	25MHz	80.00	CMOS	FP128	BSCN	TTL	DP83932ｲｰｻﾈｯﾄ・ｺﾝﾄﾛｰﾗ用のＡＴバス・マスタ・インターフェース	PLX
AT9020	2,8	9020	40MHz	80.00	CMOS	FP128	BSCN	TTL	82596ｲｰｻﾈｯﾄ・ｺﾝﾄﾛｰﾗ用のＡＴバス・マスタ・インターフェース	PLX
Am2969	ALL	2969	50MHz	260.00	BIP	DIP48	DRAM	TTL	64K～4MビットDRAM用コントローラ．16/32ビットＣＰＵ対応	AMD
Am79C974	ALL	79974	33MHz	150.00	CMOS	QFP132	BSCN	TTL	ｲｰｻﾈｯﾄｺﾝﾄﾛｰﾗ，SCSIｺﾝﾄﾛｰﾗを内蔵しAm79C960とｿﾌﾄ・ｺﾝﾊﾟﾁﾌﾞﾙなPCIｼｽﾃﾑ・ｺﾝﾄﾛｰﾗ	AMD
Am82520	ALL	82520	4MHz	5.00	CMOS	DIP28	ISDN	TTL	LAPB/LAPDプロトコル対応．独立の２ＨＤＬＣチャネルをもつ	AMD
Am9513A	ALL	9513	145ns	255.00	NMOS	DIP40	CTC	TTL	五つの１６ビット・カウンタ内蔵，バイナリ／ＢＣＤカウント可能	AMD
Am9516A	ALL	9516	4/6/8/10MHz	350.00	NMOS	DIP48	DMAC	TTL	チャネル数２，１６Ｍバイト・アドレス空間	AMD
Am9519A	ALL	9519	250/300ns	185.00	NMOS	DIP28	INT	TTL	割り込み入力レベル８．拡張性の制限なし	AMD
CDP1851	ALL	1851	120ns	3.00	CMOS	DIP40	PIO	CMOS	２０本のＩ／Ｏポート，双方向モード設定／ビット・プログラム可能	RCA
CDP1877	1800	1877	130ns	0.20	CMOS	DIP28	INT	CMOS	割り込み入力レベル８．拡張可能	RCA
CDP1878	ALL	1878	1MHz	0.20	CMOS	DIP28	CTC	CMOS	二つの１６ビット・ダウンカウンタ内蔵	RCA
CL-GD510	ALL	510	33MHz	50.00	CMOS	PLCC84	CRTC	TTL	ＶＧＡコンパチブルなグラフィック・チップ・セットで，５２０と組み合わせて使用する	CIRRUS
CL-GD520	ALL	520	33MHz	50.00	CMOS	PLCC84	CRTC	TTL	ＶＧＡコンパチブルなグラフィック・チップ・セットで，５１０と組み合わせて使用する	CIRRUS
COM20020	ALL	20020	20MHz	50.00	CMOS	DIP24	LAN	TTL	2KBのﾃﾞｭｱﾙ・ﾎﾟｰﾄRAMと専用ﾄﾗﾝｼｰﾊﾞ回路内蔵のARCNETｺﾝﾄﾛｰﾗ	SM
COM90C165	ALL	90165	20MHz	20.00	CMOS	PLCC84	LAN	TTL	COM90C65にﾃﾞｭｱﾙ・ﾎﾟｰﾄRAMとﾃﾞｰﾀ・ﾊﾞｽ・ｲﾝﾀｰﾌｪｰｽ等を加えたのARCNETｺﾝﾄﾛｰﾗ	SM
COM90C66	ALL	9066	20MHz	20.00	CMOS	PLCC84	LAN	TTL	ARCNET用ｺﾝﾄﾛｰﾗ，ﾄﾗﾝｼｰﾊﾞ，周辺回路，RAMを内蔵．COM90C26とｿﾌﾄ・ｺﾝﾊﾟﾁﾌﾞﾙ	SM
CY82C599	8	82599	50MHz	100.00	CMOS	QFP160	BSCN	TTL	PCIﾛｰｶﾙ・ﾊﾞｽとCPUﾊﾞｽ間のｲﾝﾀｰﾌｪｰｽ・ｺﾝﾄﾛｰﾗ	CYPRESS
DP83905	ALL	83905	25MHz	100.00	CMOS	QFP160	LAN	TTL	ISAﾊﾞｽ・ｲﾝﾀｰﾌｪｰｽを内蔵したCSMA/CDｺﾝﾄﾛｰﾗで、DP8390ｼﾘｰｽﾞとｿﾌﾄｳｪｱ・ｺﾝﾊﾟﾁﾌﾞﾙ	NS
DP83907	ALL	83907	25MHz	150.00	CMOS	QFP132	LAN	TTL	ISAﾊﾞｽ・ｲﾝﾀｰﾌｪｰｽを内蔵したCSMA/CDｺﾝﾄﾛｰﾗで、DP8390ｼﾘｰｽﾞとｿﾌﾄｳｪｱ・ｺﾝﾊﾟﾁﾌﾞﾙ	NS
DP83916	ALL	83916	20MHz	80.00	CMOS	QFP132	LAN	TTL	IEEE802.3準拠のﾈｯﾄﾜｰｸ・ｲﾝﾀｰﾌｪｰｽ・ｺﾝﾄﾛｰﾗで23ﾋﾞｯﾄ・ｱﾄﾞﾚｽ・ﾊﾞｽ，16ﾋﾞｯﾄ・ﾃﾞｰﾀ・ﾊﾞｽに対応	NS
DP83932	ALL	83932	33MHz	115.00	CMOS	QFP132	LAN	TTL	IEEE802.3準拠のﾈｯﾄﾜｰｸ・ｲﾝﾀｰﾌｪｰｽ・ｺﾝﾄﾛｰﾗで32ﾋﾞｯﾄのｱﾄﾞﾚｽ/ﾃﾞｰﾀ・ﾊﾞｽ対応	NS
DP8440	ALL	8440	40MHz	260.00	CMOS	PLCC84	DRAM	TTL	8/16/32ﾋﾞｯﾄ・ﾊﾞｽをｻﾎﾟｰﾄする1/4/16/64MﾋﾞｯﾄDRAMｺﾝﾄﾛｰﾗ	NS
DP8441	ALL	8441	40MHz	260.00	CMOS	QFP100	DRAM	TTL	8/16/32/64ﾋﾞｯﾄ・ﾊﾞｽをｻﾎﾟｰﾄする1/4/16/64MﾋﾞｯﾄDRAMｺﾝﾄﾛｰﾗ	NS
DP8461	ALL	8461	20MHz	20.00	TTL	DIP24	DTSP	TTL	ﾃﾞｨｽｸ・ﾊﾟﾙｽ・ﾃﾞｨﾃｸﾀの信号を受信して動作する．P/Fｺﾝﾊﾞﾚｰﾀの動作が8465と異なる	NS
DP8465	ALL	8465	20MHz	20.00	TTL	DIP24	DTSP	TTL	ﾃﾞｨｽｸ・ﾊﾟﾙｽ・ﾃﾞｨﾃｸﾀの信号を受信して動作する．P/Fｺﾝﾊﾞﾚｰﾀの動作が8461と異なる	NS
DP8473	ALL	8473	24MHz	20.00	CMOS	DIP48	FDC	TTL	μPD765A，IBM-BIOSｺﾝﾊﾟﾁﾌﾞﾙでIBM PC，XT/AT，PS/2用に設計されたFDｺﾝﾄﾛｰﾗ	NS
DP8531	ALL	8531	210MHz	200.00	TTL	LCC28	CG	ECL	ＥＣＬ／ＴＴＬ出力をもつプログラマブル・クロック・ジェネレータ．ＶＣＯ内蔵	NS
DS1215	ALL	DS1215	250ns	5.00	CMOS	DIP16	RTC	TTL	万年カレンダ内蔵，バッテリ・バックアップ・メモリのコントローラ内蔵	DALLAS
DS1387	ALL	1287	200ns	–	CMOS	DIP24	RTC	TTL	４ＫバイトＳＲＡＭ内蔵のリアルタイム・クロック．クロック機能はＤＳ１２８７と同等	DALLAS
EISA9010	2,8	9010	25MHz	80.00	CMOS	FP128	BSCN	TTL	DP83932ｲｰｻﾈｯﾄ・ｺﾝﾄﾛｰﾗ用のEISAバス・マスタ・インターフェース	PLX
EISA9020	2,8	9020	25MHz	80.00	CMOS	FP128	BSCN	TTL	82596ｲｰｻﾈｯﾄ・ｺﾝﾄﾛｰﾗ用のEISAバス・マスタ・インターフェース	PLX
EPB2001	2,8	2001	175ns	500.00	CMOS	LCC84	BSBF	TTL	ＰＳ／２マイクロ・チャネル用１チップ・インターフェース・アダプタ．ＥＰＲＯＭ内蔵	ALTERA
EPB2002	2,8	2002	70ns	500.00	CMOS	DIP28	BSAB	TTL	ＰＳ／２マイクロ・チャネル用ＤＭＡインターフェース／アービタ	ALTERA
FDC9216T/BT	ALL	9216	4.3/8.3MHz	60.00	NMOS	DIP8	DTSP	TTL	ＦＤデータ・セパレータ，ＭＦＭ／ＦＭのデータ処理可能	SM
FDC92C81	ALL	9281	32MHz	–	CMOS	DIP24	DTSP	TTL	125K～1Mbpsのデータ転送速度に対応できるＦＤデータ・セパレータ	SM
HD44780	ALL	44780	2MHz	0.60	CMOS	FP80	LCDC	TTL	英数字，カナ文字，記号を表示するドットマトリクス液晶コントローラ	HITA
HD63645	4	63645	2MHz	10.00	CMOS	FP80	LCDC	TTL	縦１０２４ドット×横４０９６ドット，スタティックから１／５１２デューティ	HITA
HD6406	ALL	6406	16MHz	3.00	CMOS	DIP40	SIO	TTL	７２種類のボーレート・ジェネレータ内蔵ＵＡＲＴ	HARR
HD64401	HD64400	64401	50ns	100.00	CMOS	PLCC68	BSCN	TTL	ｸﾞﾗﾌｨｯｸ・ﾌﾟﾛｾｯｻ用のﾌﾚｰﾑ・ﾊﾞｯﾌｧ・ｲﾝﾀｰﾌｪｰｽ・ｺﾝﾄﾛｰﾗで，各種ﾀｲﾐﾝｸﾞ生成を行う	HITA

（分類：BSAB/BSBF/BSCN:バス・アービタ／バス・バッファ／バス・コントローラ，CF:複合コントローラ，CG:クロック・ジェネレータ，CRTC:ＣＲＴ＆グラフィック・コントローラ，CTC:タイマ／カウンタ，DMAC:ＤＭＡコントローラ，DTSP:データ・セパレータ／ＶＦＯ，FDC:フロッピ・ディスク・コントローラ，GPIB:ＧＰＩＢコントローラ，HDC:ハード・ディスク・コントローラ，INT:割り込みコントローラ，ISDN:ＩＳＤＮコントローラ，LAN:ＬＡＮコントローラ，LCDC:ＬＣＤコントローラ，PIO:パラレルＩ／Ｏコントローラ，RTC:リアル・タイム・クロック，SCSI:ＳＣＳＩコントローラ，SIO/SPC:シリアル通信コントローラ）

型　名	適応CPU	ｵﾘｼﾞﾅﾙ	動作速度	消費電流	ﾌﾟﾛｾｽ	外　形	分類	入出力	特　　徴	社　名
HD64530	ALL	64530	6MHz	50.00	CMOS	PGA68	ISDN	TTL	ＩＳＤＮレイヤ２対応のＬＡＰＤコントローラ．最大２４リンクの同時設定可能	HITA
HD64570	ALL	64570	16.7MHz	120.00	CMOS	PLCC84	SPC	TTL	ＤＭＡ機能と２組の全二重送受信回路を持ち，ﾏﾙﾁﾌﾟﾛﾄｺﾙ対応の通信用LSI	HITA
HD64645	1, 2, 3	63645	4MHz	10.00	CMOS	FP80	LCDC	TTL	縦１０２４ドット×横４０９６ドット，スタティックから１／５１２デューティ	HITA
HD64646	1, 2, 3	63645	4MHz	10.00	CMOS	FP80	LCDC	TTL	縦１０２４ドット×横４０９６ドット，スタティックから１／５１２デューティ	HITA
HD66224T	ALL	66224	8MHz	1.50	CMOS	TCP107	LCDC	CMOS	液晶ﾄﾞｯﾄﾏﾄﾘｸｽ・ｸﾞﾗﾌｨｯｸ表示ｼｽﾃﾑ用のｶﾗﾑ・ﾄﾞﾗｲﾊﾞでﾄﾞﾗｲﾌﾞ回路80個内蔵	HITA
HD66710	ALL	66710	2MHz	-	CMOS	QFP100	LCDC	TTL	英数字，カナ文字，記号を表示するドット・マトリクス液晶コントローラ	HITA
HD66840	ALL	66840	30MHz	50.00	CMOS	FP100	LCDC	TTL	CRT表示用のR, G, B信号をLCD表示用信号に変換するｲﾝﾀｰﾌｪｰｽ・ｺﾝﾄﾛｰﾗ	HITA
HD66841	ALL	66861	30MHz	50.00	CMOS	FP100	LCDC	TTL	CRT表示用のR, G, B信号をLCD表示用信号に変換するｲﾝﾀｰﾌｪｰｽ・ｺﾝﾄﾛｰﾗ	HITA
HD81501	ALL	81501	6.144MHz	34.00	CMOS	FP136	ISDN	TTL	ISDNのS/Tｲﾝﾀｰﾌｪｰｽ機能，HDLC機能，8ﾋﾞｯﾄCPU，上位CPU接続機能を内蔵したIｲﾝﾀｰﾌｪｰｽLSI	HITA
HD81502	ALL	81502	12.288MHz	30.00	CMOS	FP100	ISDN	TTL	ISDNのSｲﾝﾀｰﾌｪｰｽ機能，HDLC機能，8ﾋﾞｯﾄCPU，上位CPU接続機能を内蔵したIｲﾝﾀｰﾌｪｰｽLSI	HITA
ICD2051	ALL	2051	120MHz	50.00	CMOS	DIP16	CG	TTL	320kから120MHzまでの独立した2ｸﾛｯｸを出力できるﾌﾟﾛｸﾞﾗﾏﾌﾞﾙ・ｸﾛｯｸ・ｼﾞｪﾈﾚｰﾀ	CYPRESS
ICD2061	ALL	2061	120MHz	65.00	CMOS	DIP16	CG	TTL	390k～120MHzの独立した2ｸﾛｯｸを出力できるｸﾞﾗﾌｨｯｸ用ﾌﾟﾛｸﾞﾗﾏﾌﾞﾙ・ｸﾛｯｸ・ｼﾞｪﾈﾚｰﾀ	CYPRESS
ICD2063	ALL	2061	135MHz	65.00	CMOS	DIP16	CG	TTL	390k～135MHzの独立した2ｸﾛｯｸを出力できるｸﾞﾗﾌｨｯｸ用ﾌﾟﾛｸﾞﾗﾏﾌﾞﾙ・ｸﾛｯｸ・ｼﾞｪﾈﾚｰﾀ	CYPRESS
KS82C289	2	82289	16MHz	80.00	CMOS	DIP20	BSAB	TTL	マルチマスタ・システム・バスのプロトコルをサポート，３つのバス・リリース・モード	SUMSUNG
LC7584N	ALL	7584	1MHz	4.00	CMOS	FP80	LCD	CMOS	1/2デューティ，1/2バイアスのLCDドライバ．キャラクタ・ジェネレータを内蔵する	SANYO
LC8945	ALL	8945	20MHz	-	CMOS	FP48	SCSI	TTL	不平衡型非同期伝送をサポート．２４ビットの転送カウンタ内蔵	SANYO
LC89512	ALL	89512	33.9MHz	-	CMOS	QFP128	SCSI	TTL	ＳＣＳＩインターフェース内蔵のＣＤ－ＲＯＭエラー訂正用ＬＳＩ	SANYO
LC895170	ALL	895170	33.9MHz	-	CMOS	QFP100	SCSI	TTL	ＳＣＳＩインターフェース内蔵のＣＤ－ＲＯＭエラー訂正用ＬＳＩ	SANYO
LC8953	7	8953		50.00	CMOS	FP160	CF	TTL	68000用複合周辺LSIで，DMAコントローラ，アドレス・デコーダ，CKジェネレータ等を内蔵	SANYO
M33241	M32	33241	20MHz	-	CMOS	PGA179	DMAC	TTL	分離された二つのﾊﾞｽ間でのﾃﾞｰﾀ転送が可能で最大27Mﾊﾞｲﾄ/sの独立4ﾁｬﾈﾙDMAｺﾝﾄﾛｰﾗ	MITU
M33242	M32	33242	20MHz	-	CMOS	DIP64	INT	TTL	ﾛｰｶﾙ割り込み7本とﾊﾞｽ割り込み7本の制御が可能．M32ﾊﾞｽとVMEﾊﾞｽに対応可能	MITU
M33244	M32	33244	20MHz	-	CMOS	CAN14	CG	TTL	ﾊﾟﾜｰ・ｵﾝ・ﾘｾｯﾄ時のﾀｲﾐﾝｸﾞ信号生成，内部ｸﾛｯｸ位相合わせ機能等を内蔵	MITU
M50532	ALL	50532	3MHz	10.00	CMOS	FP128	LCDC	TTL	4ﾋﾞｯﾄ，8ﾋﾞｯﾄCPUとのﾀﾞｲﾚｸﾄ接続が可能なﾄﾞｯﾄ・ﾏﾄﾘｸｽ液晶表示ｺﾝﾄﾛｰﾗ・ﾄﾞﾗｲﾊﾞ	MITU
M66007P/FP	ALL	66007	2MHz	20.00	CMOS	DIP16	BSBF	CMOS	１２ビット並列入力，直列出力のシフト・レジスタ機能をもつエキスパンダ	MITU
M66201	ALL	M66201	8/10MHz	2.90	CMOS	DIP24	DRAM	TTL	１Ｍ／２５６ＫのＤＲＡＭコントローラ	MITU
M66307SP/FP	ALL	66307	10MHz	110.00	CMOS	DIP32	BSBF	CMOS	スタティック・メモリ内蔵のライン・バッファで，データをシリアル転送する	MITU
MB1440	ALL	1440	5MHz	180.00	BiCMOS	PGA135	ECC	TTL	３２ビット幅のデータに７ビット幅の誤り訂正符号を組み合わせて構成したＥＣＣ	FUJI
MB4107	ALL	4107	8.0MHz	70.00	NMOS	DIP24	DTSP	TTL	ＰＬＬ方式のＶＦＯ回路内蔵のＦＤデータ・セパレータ	FUJI
MB86187	ALL	86187	30ns	-	CMOS	FP64	BSCN	TTL	JEIDAメモリカード規格準拠のメモリカード・コントローラで，チップ選択信号を生成する	FUJI
MB86201	MB86224	86201	40MHz	0.20	CMOS	FP48	DRAM	TTL	DSPでDRAMを使用するためのｱﾀﾞﾌﾟﾀLSI．MB86224と直接接続が可能	FUJI
MB86202	MB86224	86202	40MHz	0.10	CMOS	FP28	CG	TTL	ﾃﾞｨｼﾞﾀﾙ・ｼｸﾞﾅﾙ・ﾌﾟﾛｾｯｻMB86224用のﾀｲﾐﾝｸﾞ・ｼﾞｪﾈﾚｰﾀでｵｰﾃﾞｨｵ用ｼﾘｱﾙ・ｲﾝﾀｰﾌｪｰｽを作成	FUJI
MB86415	ALL	86415	16MHz	-	CMOS	QFP80	SPC	TTL	CCITT勧告X.25ﾚﾍﾞﾙ2ﾌﾟﾛﾄｺﾙをｻﾎﾟｰﾄする通信制御用LSI	FUJI
MB86440	ALL	86440	10.752MHz	16.00	CMOS	QFP80	ISDN	TTL	通信端末をISDN網に接続するために使用されるV.110, X.30に準拠した速度整合用ﾕﾆｯﾄ	FUJI
MB86443	ALL	86443	10.752MHz	10.00	CMOS	QFP80	ISDN	TTL	CCITT勧告V.110, V.120, X.30及びV.120+用ﾚｰﾄ・ｱﾀﾞﾌﾟｼｮﾝ・ﾕﾆｯﾄ	FUJI
MB86603	ALL	86603	32MHz	70.00	CMOS	QFP176	SCSI	TTL	SCSI-2規格準拠でｼﾝｸﾞﾙ・ｴﾝﾄﾞ，ﾃﾞｨﾌｧﾚﾝｼｬﾙの両伝送形式対応のﾌﾟﾛﾄｺﾙ・ｺﾝﾄﾛｰﾗ	FUJI
MB86965B	ALL	86965	20MHz	150.00	CMOS	QFP160	LAN	TTL	IEEE802.3規格準拠のｴﾝｺｰﾀﾞ/ﾃﾞｺｰﾀﾞと送受信ﾌｨﾙﾀを内蔵したLANｺﾝﾄﾛｰﾗ	FUJI
MB87012	ALL	87012	10.2MHz	0.10	CMOS	SDIP64	LAN	TTL	CSMA/CD LAN　コントローラ．イーサネット仕様準拠	FUJI
MB87013	ALL	87013	6.5MHz	0.10	CMOS	DIP40	HDC	TTL	クイック・ディスクと同期式SIOとのインターフェース用．MFM回路とCRC回路内蔵	FUJI
MB87033B	ALL	87033	8MHz	30.00	CMOS	FP80	SCSI	TTL	シングル・エンド ドライバ／レシーバ内蔵．MB87030/87031の上位互換となっている	FUJI
MB87035	ALL	87035	10MHz	-	CMOS	FP100	SCSI	TTL	不平衡／平衡伝送対応．ｿﾌﾄはMB87030と上位互換性があり，MPUﾊﾞｽ・ﾊﾟﾘﾃｨ・ｼﾞｪﾈﾚｰﾀ内蔵	FUJI

（分類：BSAB/BSBF/BSCN：バス・アービタ／バス・バッファ／バス・コントローラ，CF：複合コントローラ，CG：クロック・ジェネレータ，CRTC：ＣＲＴ＆グラフィック・コントローラ，CTC：タイマ／カウンタ，DMAC：ＤＭＡコントローラ，DTSP：データ・セパレータ／ＶＦＯ，FDC：フロッピ・ディスク・コントローラ，GPIB：ＧＰＩＢコントローラ，HDC：ハード・ディスク・コントローラ，INT：割り込みコントローラ，ISDN：ＩＳＤＮコントローラ，LAN：ＬＡＮコントローラ，LCDC：ＬＣＤコントローラ，PIO：パラレルＩ／Ｏコントローラ，RTC：リアル・タイム・クロック，SCSI：ＳＣＳＩコントローラ，SIO/SPC：シリアル通信コントローラ）

型　名	適応CPU	ｵﾘｼﾞﾅﾙ	動作速度	消費電流	ﾌﾟﾛｾｽ	外　形	分類	入出力	特　　　徴	社　名
MB87036	ALL	87036	10MHz	−	CMOS	FP100	SCSI	TTL	不平衡／平衡伝送対応. ｿﾌﾄはMB87031と上位互換性があり，MPUﾊﾞｽ･ﾊﾟﾘﾃｨ･ｼﾞｪﾈﾚｰﾀ内蔵	FUJI
MB89391	2	89391	8MHz	30.00	CMOS	FP100	CF	TTL	8086専用の複合周辺LSIで，8284,8288,8259,8237,8254を集積化	FUJI
MB89393	2	89393	8MHz	30.00	CMOS	FP100	CF	TTL	8086/88専用の複合周辺LSIで，8284,8288,8259,8237,8254を集積化	FUJI
MB89395	2	89395	10MHz	30.00	CMOS	FP100	CF	TTL	8086/88専用の複合周辺LSIで，8237,8254,8259,8288を集積化	FUJI
MB89398	2	89398	8MHz	35.00	CMOS	FP120	CF	TTL	割り込みコントローラ，ＤＭＡコントローラ，プログラマブル・タイマ，ラッチを内蔵	FUJI
MB89511	ALL	89511	100MHz	40.00	CMOS	SDIP64	CRTC	TTL	フルドット・データの文字フォントをベクトル・データ化するジェネレータＬＳＩ	FUJI
MB90072	ALL	90072	16MHz	50.00	CMOS	DIP28	CRTC	TTL	TVﾃﾞｨｽﾌﾟﾚｲ上に文字や図形を表示するためのｺﾝﾄﾛｰﾗ. 映像信号発生回路内蔵	FUJI
MB92421	F32	92421	20MHz	40.00	CMOS	DIP64	INT	TTL	割り込み入力７本を持ち，高速デイジ・チェーン可能なインタラプト・コントローラ	FUJI
MB92441	F32	92441	20MHz	−	CMOS	DIP9	CG	TTL	Ｆ３２専用システム・クロック・ジェネレータ. 水晶内蔵のハイブリッドＩＣ	FUJI
MB92461	F32	92461	50MHz	194.00	BIP	DIP22	CG	TTL	F32用システム・クロック・ジェネレータ. 100MHz水晶使用可能. リセット回路内蔵	FUJI
MB92471	F32	92471	50MHz	10.00	CMOS	FP24	CG	TTL	Ｆ３２用クロック・ジェネレータ. ２種類のウエイト設定可能. リセット信号発生	FUJI
MC10HC642	7	10642	100MHz	87.00		PLCC28	CG	ECL	68030,68040用クロック・ジェネレータ. 入力クロックとしてＥＣＬ，ＴＴＬの選択可能	MOT
MC68150	ALL	68150	40MHz	0.10	CMOS	PLCC68	BSBF	TTL	16/32ﾋﾞｯﾄCPUと8/16/32ﾋﾞｯﾄの周辺LSIやﾒﾓﾘとのﾃﾞｰﾀ送受のためのﾀﾞｲﾅﾐｯｸ･ﾊﾞｽ･ｻｲｻﾞ	MOT
MC68153	7	68153	16MHz	385.00	BIP	DIP40	INT	TTL	ＶＭＥバス・インタラプト・モジュール. 四つの独立した割り込みソース	MOT
MC68302	7	68302	16.67MHz	64.00	CMOS	FP132	CF	TTL	ＤＭＡコントローラ，インタラプト・コントローラ，三つの全二重ＳＩＯ内蔵	MOT
MC68360	7	68360	25MHz	−	CMOS	FP240	CF	TTL	MC6802の次世代ﾀｲﾌﾟの複合ｺﾝﾄﾛｰﾗで四つのｼﾘｱﾙ通信ｺﾝﾄﾛｰﾗやDRAMｺﾝﾄﾛｰﾗ等を内蔵	MOT
MC68440	7	68440	8/10MHz	300.00	NMOS	DIP64	DMAC	TTL	転送速度５Ｍバイト／ｓ，チャネル数２	MOT
MC68451	7	68451	4/6/8MHz	200.00	NMOS	DIP64	MMU	TTL	ページング／セグメンテーション機能をもつメモリ管理素子	MOT
MC68605	7	68605	12.5MHz	110.00	CMOS	PGA84	SPC	TTL	X.25　LAP-Bプロトコル・コントローラ. 最大10Mbpsの全二重通信可能,DMA,FIFO機能内蔵	MOT
MC6880A	4	6880	25ns	87.00	BIP	DIP16	BSBF	TTL	クワッド・バス・トランシーバ,６８００バス・コンパチブル	MOT
MC68824	7	68824	16.67MHz	140.00	CMOS	PGA84	LAN	TTL	ＭＡＰ／トークン・バス用プロトコル・コントローラ. 最大12.5Mbps通信可能	MOT
MC6885/6/7/8	ALL	6885	10ns	98.00	BIP	DIP16	BSBF	TTL	オクタル・バス・バッファ	MOT
MC6889	ALL	6889	17ns	110.00	BIP	DIP16	BSBF	TTL	４ビット・バス・トランシーバ，６８００バス・コンパチブル	MOT
MC68HC24	4	6824	2.1MHz	5.00	CMOS	DIP40	PIO	CMOS	ＭＣ６８ＨＣ１１とインターフェース可能なハンドシェイク・モードをもつ	MOT
MC74F2968A	ALL	2968	20ns	280.00	BIP	DIP48	DRAM	TTL	16K〜256KビットDRAM用コントローラ. 出力は最大88個のDRAMを駆動可能	MOT
MC88200	88000	88200	33.3MHz	300.00	CMOS	PGA181	MMU	TTL	１６Ｋバイト・キャッシュ／メモリ管理ユニット. MC88100と互換性のあるＰバスＩ／Ｆ	MOT
MC9000	2,8	9000	40MHz	80.00	CMOS	FP128	BSCN	TTL	マイクロ・チャネル用バス・マスタ・インターフェース	PLX
MC9010	2,8	9010	25MHz	80.00	CMOS	FP128	BSCN	TTL	DP83932ｲｰｻﾈｯﾄ･ｺﾝﾄﾛｰﾗ用のマイクロ・チャネル・バス・マスタ・インターフェース	PLX
MC9020	2,8	9020	40MHz	80.00	CMOS	FP128	BSCN	TTL	82596ｲｰｻﾈｯﾄ･ｺﾝﾄﾛｰﾗ用のマイクロ・チャネル・バス・マスタ・インターフェース	PLX
MCA1200	2,8	MCA1200	45ns	80.00	CMOS	DIP24	BSCN	TTL	マイクロ・チャネル用バス・コントローラ，ローカル・アービタ	PLX
MCC1	ALL	MCC1	50ns	240.00	NMOS	DIP48	DRAM	TTL	１Ｍ／２５６Ｋ／６４ＫのＤＲＡＭコントローラ	YAMASHI
MCI94C18	ALL	9418	20MHz	25.00	CMOS	PLCC68	BSBF	TTL	マイクロ・チャネル・バス用のインターフェース. ローカル・バス調停機能を内蔵	SM
MCS2000	1,2,8	2000	16MHz	50.00	CMOS	PLCC84	CF	TTL	２個の８２３７，２個の８２５９，１個の８２５４，74LS612(ﾒﾓﾘ･ﾏｯﾊﾟ)を内蔵	MOT
MCS2300	8	2300	20MHz	−	CMOS	FP100	MMU	TTL	ページ／ページ・インタリーブ・コントローラ. １／２／４メモリ・バンク対応可	MOT
MCS2500	8	2500	20MHz	−	CMOS	FP100	BSCN	TTL	ＰＣ／ＡＴシステム・コントローラ，リセット＆シャット・ロジック内蔵	MOT
MCS3202	2,8	3202	24MHz	200.00	CMOS	PLCC68	FDC	TTL	ＰＳ／２用ＦＤコントローラ. 360K〜1.4MBフォーマット. μPD765をエミュレート	MOT
MM58167A	ALL	58167	1050ns	5.00	CMOS	DIP24	RTC	TTL	0.1秒〜月の割り込み設定可. 万年カレンダー内蔵リアルタイム・クロック	NS
MSD95C02	ALL	9502	20MHz	−	CMOS	PLCC68	HDC	TTL	大容量磁気記憶装置用コントローラ. ３チャネルＤＭＡコントローラを内蔵	SM
MSM6240GS	ALL	MSM6240	10MHz	14.00	CMOS	FP60	LCDC	TTL	表示文字３２，４０，６４，８０／行，デューティ１／３２から１／１４４	OKI
MSM6255GS	1,2,3	MSM6255	11MHz	15.00	CMOS	FP80	LCDC	TTL	キャラクタ・モード６４Ｋ文字，グラフィック・モード５１２Ｋドット	OKI

(分類：BSAB/BSBF/BSCN:バス・アービタ／バス・バッファ／バス・コントローラ,CF:複合コントローラ,CG:クロック・ジェネレータ,CRTC:ＣＲＴ＆グラフィック・コントローラ,CTC:タイマ／カウンタ,DMAC:ＤＭＡコントローラ,DTSP:データ・セパレータ／ＶＦＯ,FDC:フロッピ・ディスク・コントローラ,GPIB:ＧＰＩＢコントローラ,HDC:ハード・ディスク・コントローラ,INT:割り込みコントローラ,ISDN:ＩＳＤＮコントローラ,LAN:ＬＡＮコントローラ,LCDC:ＬＣＤコントローラ,PIO:パラレルＩ／Ｏコントローラ,RTC:リアル・タイム・クロック,SCSI:ＳＣＳＩコントローラ,SIO/SPC:シリアル通信コントローラ)

型　名	適応CPU	ｵﾘｼﾞﾅﾙ	動作速度	消費電流	ﾌﾟﾛｾｽ	外　形	分類	入出力	特　　　　徴	社　名
MSM6262GS	ALL	MSM6262	320ns	1.50	CMOS	FP80	LCDC	TTL	２５６種類のキャラクタＲＯＭ内蔵，コモン・ドライバ４８本内蔵	OKI
MSM6265GS	ALL	MSM6265	5.5MHz	15.00	CMOS	FP80	LCDC	TTL	HD6845のCRTコントローラとソフト・コンパチブル，16K文字，128Kドット表示	OKI
MSM6542-1/2/3	ALL	6542	100ns	0.03	CMOS	DIP18,24	RTC	TTL	秒単位の読み取りが可能なリアルタイム・クロック，アラーム，万年カレンダー内蔵	OKI
NCR53C90	ALL	5390	25MHz	50.00	CMOS	PLCC68	SCSI	TTL	非同期で3Mバイト/S以上，同期で5Mバイト/Sの転送速度．パリティ発生回路内蔵	NCR
NS16C552	2,8	16552	24MHz	30.00	CMOS	PLCC44	SIO	TTL	IBM PC/ATｺﾝﾊﾟﾁﾌﾞﾙで，2ﾁｬﾝﾈﾙのｼﾘｱﾙ･ﾎﾟｰﾄと1ﾁｬﾝﾈﾙのﾊﾟﾗﾚﾙ･ﾎﾟｰﾄを持つ．16550を2個内蔵	NS
NS32201	ALL	32201	6/8/10MHz	260.00	NMOS	DIP24	CG	TTL	４本のプログラマブル・ウェイト入力サイクル・ホールド・モード	NS
NS32C201	ALL	32201	6/10/15MHz	120.00	CMOS	DIP24	CG	TTL	４本のプログラマブル・ウェイト入力サイクル・ホールド・モード	NS
PC8477	2,8	N82077	8MHz	30.00	CMOS	PLCC68	FDC	TTL	μPD765とｿﾌﾄｳｪｱ･ｺﾝﾊﾟﾁﾌﾞﾙでPC/AT,PS/2用のﾛｼﾞｯｸ回路を内蔵したＦＤコントローラ	NS
PC87332	ALL	87332	25MHz	35.00	CMOS	QFP100	CF	TTL	FDｺﾝﾄﾛｰﾗ,2個のUART,IEEE1284準拠のﾊﾟﾗﾚﾙ･ﾎﾟｰﾄ,IDEｲﾝﾀｰﾌｪｰｽ制御機能内蔵	NS
PCI9036	ALL	9036	20MHz	80.00	CMOS	QFP208	BSCN	TTL	82596(LANｺﾝﾄﾛｰﾗ),EEPROM等とPCIﾊﾞｽとの接続を行うﾊﾞｽ･ﾏｽﾀ･ｲﾝﾀｰﾌｪｰｽ	PLX
PCI9060	ALL	9060	33MHz	80.00	CMOS	QFP208	BSCN	TTL	i960ﾛｰｶﾙ･ﾊﾞｽとPCIﾊﾞｽとの接続を行うﾊﾞｽ･ﾏｽﾀ･ｲﾝﾀｰﾌｪｰｽ	PLX
SAB82258	2	82258	6/8MHz	450.00	NMOS	LCC68	DMAC	TTL	四つの独立したＤＭＡチャネル．１６Ｍバイト・アドレス空間	SIEMENS
SAB82289	2	82289	8MHz	120.00	NMOS	DIP20	BSAB	TTL	マルチマスタ・システム・バスのプロトコルをサポート，３つのバス・リリース・モード	SIEMENS
SCN2671	ALL	2671	5MHz	150.00	NMOS	DIP40	CF	TTL	１２８キーのインターフェース，全二重ＵＡＲＴ内蔵	SIGNE
SCN68172	7	68172	40ns	240.00	NMOS	DIP28	BSCN	TTL	ＶＭＥバス・コントローラ，３種類の構成で使用可	SIGNE
SED1330F	ALL	SED1330	10MHz	6.50	CMOS	FP60	LCDC	TTL	１６０文字のキャラクタ・ジェネレータ内蔵，８０桁３２行表示	EPSON
SED9420C	ALL	SED9420	16MHz	10.00	CMOS	DIP24	DTSP	TTL	ＶＦＯ方式データ・セパレータ，倍密／単密切り替え可能	EPSON
SM4712	ALL	4712	4.9152MHz	6.00	CMOS	DIP42	CG	TTL	データ伝送に必要なクロック信号を出力するプログラマブル・ボーレート・ジェネレータ	NPC
SMC91C100	ALL	91100	50MHz	95.00	CMOS	QFP208	LAN	TTL	10BASE-T,同軸,100BASE-TをｻﾎﾟｰﾄするCSMA/CD高速ｲｰｻﾈｯﾄ･ｺﾝﾄﾛｰﾗ	SM
SMC91C92	ALL	9192	20MHz	95.00	CMOS	QFP100	LAN	TTL	4608ﾊﾞｲﾄRAMとﾒﾓﾘ･ﾏﾈｼﾞﾒﾝﾄ･ﾕﾆｯﾄ(MMU)を内蔵した1ﾁｯﾌﾟのｲｰｻﾈｯﾄ･ｺﾝﾄﾛｰﾗ	SM
SMC9520C	ALL	SMC9520	20MHz	30.00	CMOS	DIP24	DTSP	TTL	ＳＴ５０６インターフェース対応のハード・ディスク・ドライブ用データ・セパレータ	EPSON
SN74ACT2440	ALL	2440	10MHz	－	CMOS	PLCC68	BSCN	TTL	NuBusインターフェース・コントローラ．マスタ／スレーブ，アービタ機能内蔵	TI
SN74BCT2420	ALL	2420	40MHz	160.00	CMOS	PLCC68	BSBF	TTL	NuBusアドレス・データのトランシーバ／レジスタで，マルチプレクサとしての機能内蔵	TI
SPC2020F	ALL	2020	24MHz	70.00	CMOS	FP100	FDC	TTL	ＰＣ／ＡＴ用ＦＤコントローラ．PLL方式データ・セパレータ内蔵．転送速度250Kbps以下	EPSON
SPC2120	ALL	2120	24MHz	20.00	CMOS	DIP16	DTSP	TTL	無調整ｱﾅﾛｸﾞPLL方式のFD用ﾃﾞｰﾀ･ｾﾊﾟﾚｰﾀ．μPD765系FDC用ｸﾛｯｸを出力	EPSON
SSI 32B451	ALL	AIC500	5MHz	30.00	CMOS	PLCC44	SCSI	TTL	32C452，32C453と組み合わせてSCSIﾊﾞｽを実現する．非同期転送ﾓｰﾄﾞで1.5Mﾊﾞｲﾄ/s	SSI
SSI 32C452	ALL	AIC010	20MHz	85.00	CMOS	PLCC44	HDC	TTL	ｳｲﾝﾁｪｽﾀｰ･ﾃﾞｨｽｸ･ﾄﾞﾗｲﾌﾞ･ｺﾝﾄﾛｰﾗ．32B451，32C453と組み合わせてSCSI実現も可能	SSI
SSI 32C9001	2,8	9001	40MHz	50.00	CMOS	FP100	BSCN	TTL	ATAｲﾝﾀｰﾌｪｰｽ，DISKﾌｫｰﾏｯﾀ，ﾊﾞｯﾌｧ･ﾏﾈｰｼﾞｬ内蔵のPC/ATﾊﾞｽ･ｺﾝﾄﾛｰﾗ	SSI
SSI 32C9020	2,8	9020	40MHz	50.00	CMOS	FP100	BSCN	TTL	82596ｲｰｻﾈｯﾄ･ｺﾝﾄﾛｰﾗ用のマイクロ・チャネル・バス・マスタ・インターフェース	SSI
SSI 78Q8360	ALL	8360	20MHz	50.00	CMOS	FP100	LAN	TTL	エンコーダ／デコーダ内蔵のＣＳＭＡ／ＣＤ　ＬＡＮコントローラ	SSI
ST78C34	8	7834	10MHz	20.00	CMOS	DIP40	PIO	TTL	83ﾊﾞｲﾄのﾌﾟﾘﾝﾀ出力用FIFO内蔵の双方向汎用ﾊﾟﾗﾚﾙ･ﾎﾟｰﾄ	EXAR
ST78C36	8	7836		－	CMOS	QFP44	PIO	TTL	16ﾊﾞｲﾄのFIFOを内蔵したECP/EPP対応の双方向ﾌﾟﾘﾝﾀ･ﾊﾟﾗﾚﾙ･ﾎﾟｰﾄ	EXAR
ST84C72	ALL	8472	48MHz	15.00	CMOS	PLCC68	PIO	TTL	FDｺﾝﾄﾛｰﾗおよびｼﾘｱﾙ/ﾊﾟﾗﾚﾙ･ﾎﾟｰﾄのﾃﾞｺｰﾄﾞ機能内蔵のIDEｲﾝﾀｰﾌｪｰｽ	EXAR
T6963C	ALL	T6963	5.5MHz	6.00	CMOS	FP67	LCDC	CMOS	１２８語のキャラクタ・ジェネレータ内蔵，外部メモリ６４Ｋバイト	TOSI
T7518	ALL	T7518	20MHz	30.00	CMOS	FP144	HDC	TTL	4台までﾃﾞｨｽｸ接続可能．最大転送速度は625Kﾊﾞｲﾄ/sで，SCSI対応も可能	TOSI
T7754	ALL	T7754	11MHz	3.60	CMOS	FP92	LCDC	CMOS	３２，４０，６４，８０桁選択，表示デューティ１／３２-１／２８８	TOSI
T7755	ALL	T7755	11MHz	3.90	CMOS	FP92	LCDC	CMOS	３２，４０，６４，８０桁選択，表示デューティ１／３２-１／２５６	TOSI
T7779	4	T7779	222ns	6.00	CMOS	FP100	CRTC	CMOS	ラスタ・スキャンＣＲＴ／ドット・マトリクスＬＣＤコントローラ	TOSI
TC8520P	ALL	8520	400ns	1.00	CMOS	DIP16	RTC	TTL	1-２０４８Ｈｚ，1分，１０分の信号出力可能，万年カレンダ内蔵	TOSI
TC8554	ALL	8554	10MHz	60.00	CMOS	FP100	ECC	TTL	CRC/ECCｺｰﾄﾞ生成用LSIで，光ﾃﾞｨｽｸや高密度FDのｺﾝﾄﾛｰﾗに使用可能	TOSI

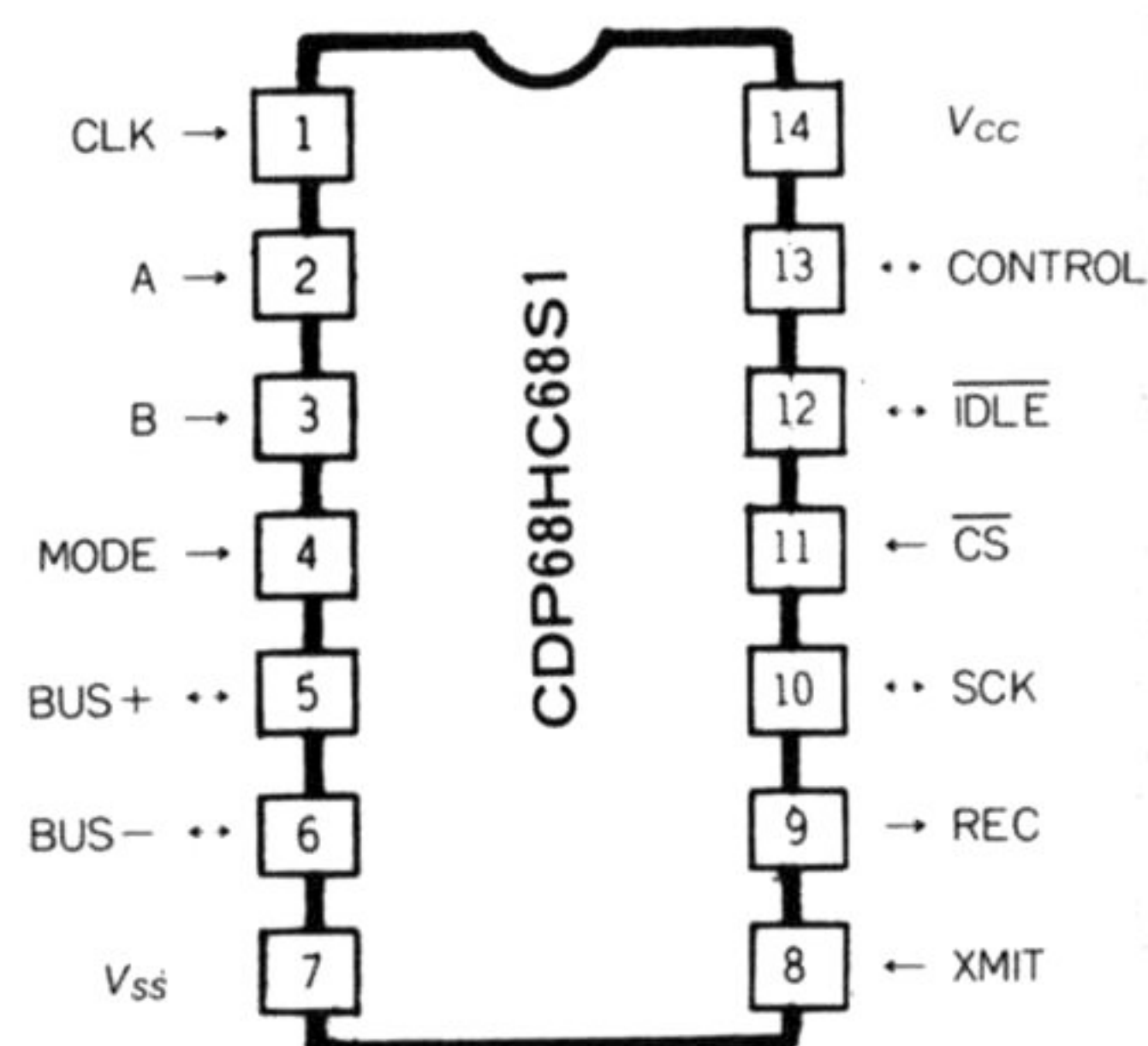
(分類：BSAB/BSBF/BSCN:バス・アービタ／バス・バッファ／バス・コントローラ,CF:複合コントローラ,CG:クロック・ジェネレータ,CRTC:ＣＲＴ&グラフィック・コントローラ,CTC:タイマ／カウンタ,DMAC:ＤＭＡコントローラ,DTSP:データ・セパレータ／ＶＦＯ,FDC:フロッピ・ディスク・コントローラ,GPIB:ＧＰＩＢコントローラ,HDC:ハード・ディスク・コントローラ,INT:割り込みコントローラ,ISDN:ＩＳＤＮコントローラ,LAN:ＬＡＮコントローラ,LCDC:ＬＣＤコントローラ,PIO:パラレルＩ／Ｏコントローラ,RTC:リアル・タイム・クロック,SCSI:ＳＣＳＩコントローラ,SIO/SPC:シリアル通信コントローラ)

型　名	適応CPU	ｵﾘｼﾞﾅﾙ	動作速度	消費電流	ﾌﾟﾛｾｽ	外　形	分類	入出力	特　徴	社　名
TC8561	ALL	8561	40MHz	70.00	CMOS	FP144	HDC	TTL	非同期ﾓｰﾄﾞ2Mﾊﾞｲﾄ/sのSCSI対応ﾊｰﾄﾞ・ﾃﾞｨｽｸ・ｺﾝﾄﾛｰﾗ．ﾌｫｰﾏｯﾄ・ﾌﾟﾛｸﾞﾗﾏﾌﾞﾙ	TOSI
TC8576	1,2,3	8072	0.3MHz	10.00	CMOS	DIP40	CF	TTL	RS232C，セントロニクス・インターフェースをサポートする	TOSI
TL16C552	2,8	16552	8MHz	50.00	CMOS	PLCC68	SIO	TTL	IBM PC/ATｺﾝﾊﾞﾁﾌﾞﾙで，2ﾁｬﾝﾈﾙのｼﾘｱﾙ・ﾎﾟｰﾄと1ﾁｬﾝﾈﾙのﾊﾟﾗﾚﾙ・ﾎﾟｰﾄを持つ．16550を2個内蔵	TI
TMP68440	7	68440	8/10MHz	300.00	NMOS	DIP64	DMAC	TTL	転送速度５Ｍバイト／ｓ，チャネル数２	TOSI
TMP68451	7	68451	6/8MHz	300.00	NMOS	DIP64	MMU	TTL	ページング／セグメンテーション機能をもつメモリ管理素子	TOSI
TMS1035	ALL	TMS1035	3.5MHz	0.01	CMOS	DIP16	PIO	CMOS	８ビットの並列出力バッファとシリアル出力をもつ	TI
UM82C450	ALL	8250	3.1MHz	10.00	CMOS	DIP40	SIO	TTL	ＵＡＲＴ，プログラマブル・ボーレート・ジェネレータ内蔵	UMC
UM8398	ALL	8398	8MHz	200.00	NMOS	DIP48	FDC	TTL	ＰＣ　ＸＴ／ＡＴ用ＦＤコントローラ．データ・セパレータ内蔵	UMC
VL16C551	2,8	16451	8MHz	50.00	CMOS	PLCC68	SIO	TTL	IBM PC/ATｺﾝﾊﾞﾁﾌﾞﾙでINS8250とｾﾝﾄﾛﾆｸｽ・ﾌﾟﾘﾝﾀ・ｲﾝﾀｰﾌｪｰｽを内蔵したUART.	VLSI
VL16C552	2,8	16552	8MHz	50.00	CMOS	PLCC68	SIO	TTL	IBM PC/ATｺﾝﾊﾞﾁﾌﾞﾙで二つのINS8250を内蔵したUART．ﾎﾞｰ・ﾚｰﾄはDCから256Kまで設定可能	VLSI
VL16C554	2,8	16554	8MHz	50.00	CMOS	PLCC84	SIO	TTL	IBM PC/ATｺﾝﾊﾞﾁﾌﾞﾙで四つのINS8250を内蔵したUART．ﾎﾞｰ・ﾚｰﾄはDCから256Kまで設定可能	VLSI
VL1935	ALL	1933	2.0MHz	210.00	NMOS	DIP40	SPC	TTL	ＨＤＬＣ，ＳＤＬＣ，ＡＤＣＣＰなどのためのデータ・リンク・コントローラ	VLSI
VL6522	6500	6522	1/2MHz	140.00	HMOS	DIP40	PIO	TTL	２個の８ビットＩ／Ｏポートと２個の１６ビット・タイマ／カウンタ内蔵	VLSI
VL65C22/V	6500	6522	2/4MHz	10.00	CMOS	DIP40	PIO	TTL	２個の８ビットＩ／Ｏポートと２個の１６ビット・タイマ／カウンタ内蔵	VLSI
VL82C110	ALL		24MHz	10.00	CMOS	FP100	CF	TTL	二つのUART(8250相当)とﾊﾟﾗﾚﾙ・ﾌﾟﾘﾝﾀ・ﾎﾟｰﾄと765AｺﾝﾊﾞﾁﾌﾞﾙなFDｺﾝﾄﾛｰﾗ内蔵	VLSI
VL82C320	2,8		25MHz	100.00	CMOS	FP160	CF	TTL	IBM PC/ATｺﾝﾊﾞﾁﾌﾞﾙで，DRAMｺﾝﾄﾛｰﾗ，BUSｺﾝﾄﾛｰﾗ，ﾃﾞｰﾀ・ﾊﾞｯﾌｧ等を内蔵	VLSI
VL82C330	8		33MHz	135.00	CMOS	FP128	CF	TTL	IBM PC/ATｺﾝﾊﾞﾁﾌﾞﾙで，DRAMｺﾝﾄﾛｰﾗ，BUSｺﾝﾄﾛｰﾗ等を内蔵．64MﾊﾞｲﾄまでのDRAMを制御可能	VLSI
VL82C331	8		33MHz	135.00	CMOS	FP128	BSCN	TTL	IBM PC/AT用のﾊﾞｽ・ｺﾝﾄﾛｰﾗでDMA，ﾍﾟｰｼﾞ・ｱﾄﾞﾚｽ・ﾚｼﾞｽﾀ，ﾀｲﾏ等の機能を内蔵	VLSI
VL82C332	8		33MHz	50.00	CMOS	FP128	BSBF	TTL	IBM PC/AT用のﾃﾞｰﾀﾞ・ﾊﾞｯﾌｧで，CPUﾊﾞｽ，MDﾊﾞｽ，XDﾊﾞｽ相互間のﾙｰﾄ制御を行う	VLSI
VME1200	7	VME1200	45ns	90.00	CMOS	DIP24	BSCN	TTL	VMEバス用コントローラ．バス・コントロール・マスタ／リクエスタ／アービタ機能内蔵	PLX
VME2000	7	VME2000	25ns	90.00	CMOS	DIP24	BSBF	TTL	ＶＭＥバスに接続されるスレーブ・モジュール用バス・インターフェース	PLX
W4006F	8	4006	50MHz	-	CMOS	FP144	DRAM	TTL	256MBのメモリ空間を制御可能．ＣＰＵアクセスとリフレッシュ・タイミングを自動制御	WAKOM
WD1933/35	ALL	1933	2.5MHz	210.00	NMOS	DIP40	SPC	TTL	ＨＤＬＣ，ＳＤＬＣ，ＡＤＣＣＰなどのためのデータ・リンク・コントローラ	WD
Z16C33	ALL		10MHz	50.00	CMOS	PLCC68	SIO	TTL	10Mbpsまでの全二重ﾏﾙﾁﾌﾟﾛﾄｺﾙUART．ISDN用にT/Rﾀｲﾑ・ｽﾛｯﾄ・ｱｻｲﾅ機能内蔵	ZILOG
Z16C35	ALL		16MHz	50.00	CMOS	PLCC68	CF	TTL	2ﾁｬﾈﾙの汎用ｼﾘｱﾙ通信ﾎﾟｰﾄ，4ﾁｬﾈﾙのDMA，汎用ﾊﾞｽ・ｲﾝﾀｰﾌｪｰｽを内蔵	ZILOG
Z84C80/81	3	8480	8/10MHz	40.00	CMOS	PLCC68	CF	TTL	クロック・オシレータ，ＤＲＡＭコントローラ，ＷＤＴ，リセット機能内蔵	ZILOG
Z84C90	3	8490	6/8MHz	20.00	CMOS	PLCC84	CF	TTL	２本の同期／非同期ポート，３個の８ビット・パラレル・ポート，４個のカウンタ／タイマ	ZILOG
Z85C80	ALL	8580	10MHz	40.00	CMOS	PLCC68	CF	TTL	Z80SIO(Z85C30)とSCSI(Z53C80)を内蔵.	ZILOG
ZEN0232	ALL	0232	30MHz	3.60	CMOS	PLCC68	CTC	TTL	ｲﾝｸﾘﾒﾝﾀﾙ方式ｴﾝｺｰﾀﾞ用の32ﾋﾞｯﾄ・ｱｯﾌﾟﾀﾞｳﾝ・ｶｳﾝﾀ	ZENIC
ZEN2002	ALL	2002	20MHz	30.00	CMOS	DIP28	CTC	TTL	ｲﾝｸﾘﾒﾝﾀﾙ方式ｴﾝｺｰﾀﾞ用の24ﾋﾞｯﾄ・ｱｯﾌﾟﾀﾞｳﾝ・ｶｳﾝﾀ	ZENIC
ZEN2003	ALL	2003	20MHz	30.00	CMOS	QFP64	CTC	TTL	ｲﾝｸﾘﾒﾝﾀﾙ方式ｴﾝｺｰﾀﾞ用の24ﾋﾞｯﾄ・ｱｯﾌﾟﾀﾞｳﾝ・ｶｳﾝﾀ	ZENIC
ZEN2011	ALL	2011	8MHz	50.00	CMOS	DIP28	CTC	TTL	ｲﾝｸﾘﾒﾝﾀﾙ方式ｴﾝｺｰﾀﾞ用の24ﾋﾞｯﾄ・ｱｯﾌﾟﾀﾞｳﾝ・ｶｳﾝﾀ	ZENIC
ZEN2901	ALL	2041	10MHz	90.00	CMOS	QFP100	CTC	TTL	一次元ﾗｲﾝ・ｾﾝｻと16ﾋﾞｯﾄCPUおよびDMACを有する信号処理系とのｲﾝﾀｰﾌｪｰｽIC	ZENIC
ZEN2901	ALL	2901	16MHz	64.00	CMOS	DIP40	CTC	TTL	一次元ﾗｲﾝｾﾝｻと16ﾋﾞｯﾄCPUおよびDMACを有する信号処理系とのｲﾝﾀｰﾌｪｰｽIC	ZENIC
μPD16320	ALL	16320	20MHz	1.00	CMOS	FP80	PIO	CMOS	8ﾋﾞｯﾄ/1ﾋﾞｯﾄｼﾘｱﾙ入力で48ﾋﾞｯﾄ・ﾊﾟﾗﾚﾙ出力のﾄﾞﾗｲﾊﾞ．高耐圧DMOSﾄﾞﾗｲﾊﾞを内蔵する	NEC
μPD71065	ALL	71065	19.2MHz	25.00	CMOS	DIP28	DTSP	TTL	フロッピ・ディスク・ドライブ用のデータ・セパレータ	NEC
μPD71101	ALL	71101	10MHz	40.00	CMOS	FP120	CF	TTL	ｼﾘｱﾙ・ｺﾝﾄﾛｰﾗ，ﾀｲﾏ・ｶｳﾝﾀ，PIO，割り込みｺﾝﾀﾛｰﾗ，ﾎﾞｰ・ﾚｰﾄ・ｼﾞｪﾈﾚｰﾀを内蔵	NEC
μPD71621	5	71621	43.4MHz	80.00	CMOS	DIP20	CG	TTL	Ｖ７０システム用クロック・ジェネレータ．２０ＭＨｚのＣＰＵクロックを生成する	NEC
μPD71641	ALL	71641	8MHz	250.00	NMOS	PGA132	MMU	TTL	セット・アソシアティブ方式のキャッシュ・メモリ・コントローラ．リプレース制御機能	NEC
μPD72030	5	72030	6MHz	14.00	CMOS	FP64	LCDC	TTL	1/32〜1/128の高ﾃﾞｭｰﾃｨ・ﾄﾞｯﾄ・ﾏﾄﾘｸｽLCDのｺﾝﾄﾛｰﾗ．ｷｬﾗｸﾀ，ｸﾞﾗﾌｨｯｸｽ表示可能	NEC

(分類：BSAB/BSBF/BSCN:バス・アービタ／バス・バッファ／バス・コントローラ,CF:複合コントローラ,CG:クロック・ジェネレータ,CRTC:ＣＲＴ＆グラフィック・コントローラ,CTC:タイマ／カウンタ,DMAC:ＤＭＡコントローラ,DTSP:データ・セパレータ／ＶＦＯ,FDC:フロッピ・ディスク・コントローラ,GPIB:ＧＰＩＢコントローラ,HDC:ハード・ディスク・コントローラ,INT:割り込みコントローラ,ISDN:ＩＳＤＮコントローラ,LAN:ＬＡＮコントローラ,LCDC:ＬＣＤコントローラ,PIO:パラレルＩ／Ｏコントローラ,RTC:リアル・タイム・クロック,SCSI:ＳＣＳＩコントローラ,SIO/SPC:シリアル通信コントローラ)

型　名	適応CPU	ｵﾘｼﾞﾅﾙ	動作速度	消費電流	ﾌﾟﾛｾｽ	外　形	分類	入出力	特　　徴	社　名
μPD72064	ALL	72064	32MHz	60.00	CMOS	PLCC44	FDC	TTL	μPD765とソフト・コンパチブルなＦＤコントローラ．IBM PC/AT対応レジスタ内蔵	NEC
μPD72068	ALL	72068	38.4MHz	60.00	CMOS	QFP80	FDC	TTL	ＩＢＭフォーマットとＩＳＯフォーマット対応，７６５とソフト・コンパチ	NEC
μPD72068	ALL	72068	38.4MHz	60.00	CMOS	QFP80	FDC	TTL	ＩＢＭフォーマットとＩＳＯフォーマット対応，７６５とソフト・コンパチ	NEC
μPD72120	ALL	72120	8MHz	200.00	CMOS	PLCC84	CRTC	TTL	μPD7220の図形描画機能に加え，ブロック転送等の各種グラフィックス描画機能を持つ	NEC
μPD72123	ALL	72120	10MHz	200.00	CMOS	PLCC84	CRTC	TTL	μPD72120と互換性を保ちつつ機能拡張を加えたもの	NEC
μPD7228	ALL		1.1MHz	0.40	CMOS	FP80	LCDC	CMOS	ﾄﾞｯﾄ･ﾏﾄﾘｸｽ方式の8/16時分割LCDとのｲﾝﾀｰﾌｪｰｽ機能を内蔵するLCDｺﾝﾄﾛｰﾗ	NEC
μPD7229	ALL		1.1MHz	0.40	CMOS	FP80	LCDC	CMOS	ﾄﾞｯﾄ･ﾏﾄﾘｸｽ方式の8/16時分割LCDとのｲﾝﾀｰﾌｪｰｽ機能を内蔵するLCDｺﾝﾄﾛｰﾗ	NEC
μPD72902	ALL	83902	20MHz	140.00	CMOS	QFP84	LAN	TTL	10BASE-Tﾄﾗﾝｼｰﾊﾞ機能を内蔵したCSMA/CDコントローラで、１６ビット・バスに対応	NEC
μPD72916	ALL	83916	20MHz	80.00	CMOS	QFP132	LAN	TTL	ｼｽﾃﾑ･ﾊﾞｯﾌｧ管理ｴﾝｼﾞﾝと16ﾋﾞｯﾄ･ﾊﾞｽ･ｲﾝﾀｰﾌｪｰｽを内蔵したCSMA/CDｺﾝﾄﾛｰﾗ	NEC
μPD72932	ALL	83932	20MHz	80.00	CMOS	QFP132	LAN	TTL	ｼｽﾃﾑ･ﾊﾞｯﾌｧ管理ｴﾝｼﾞﾝと32/16ﾋﾞｯﾄ･ﾊﾞｽ･ｲﾝﾀｰﾌｪｰｽを内蔵したCSMA/CDｺﾝﾄﾛｰﾗ	NEC
μPD9305	μPD7281		10MHz	100.00	CMOS	PGA132	CF	TTL	ｲﾒｰｼﾞ･ﾊﾟｲﾌﾟﾗｲﾝﾄﾞ･ﾌﾟﾛｾｯｻμPD7281専用の周辺回路．DMA，ﾎｽﾄ，ﾒﾓﾘ等のｲﾝﾀｰﾌｪｰｽ回路内蔵	NEC

（分類：BSAB/BSBF/BSCN:バス・アービタ／バス・バッファ／バス・コントローラ，CF:複合コントローラ，CG:クロック・ジェネレータ，CRTC:ＣＲＴ＆グラフィック・コントローラ，CTC:タイマ／カウンタ，DMAC:ＤＭＡコントローラ，DTSP:データ・セパレータ／ＶＦＯ，FDC:フロッピ・ディスク・コントローラ，GPIB:ＧＰＩＢコントローラ，HDC:ハード・ディスク・コントローラ，INT:割り込みコントローラ，ISDN:ＩＳＤＮコントローラ，LAN:ＬＡＮコントローラ，LCDC:ＬＣＤコントローラ，PIO:パラレルＩ／Ｏコントローラ，RTC:リアル・タイム・クロック，SCSI:ＳＣＳＩコントローラ，SIO/SPC:シリアル通信コントローラ）

規格一覧表

I/O Port

■ ピン接続

■ 特　徴

- シリアル・ポートをもったＣＰＵのシリアル・バス・インターフェース
- ＥＭＩを妨げる様に設計された中速非同期ディファレンシャル・シグナル・バスへの接続を提供する
- ６８ＨＣ０５系のネットワーク・バスへの接続が可能
- ＳＣＩ，ＳＰＩ，バッファＳＰＩの三つの動作モードをもつ
- データ・コリージョン・ディテクション機能をもつ
- バス・アービトレーション機能をもつ
- アイドル・ディテクション機能をもつ
- プログラマブル・クロック分周
- パワーオン・リセット回路内蔵

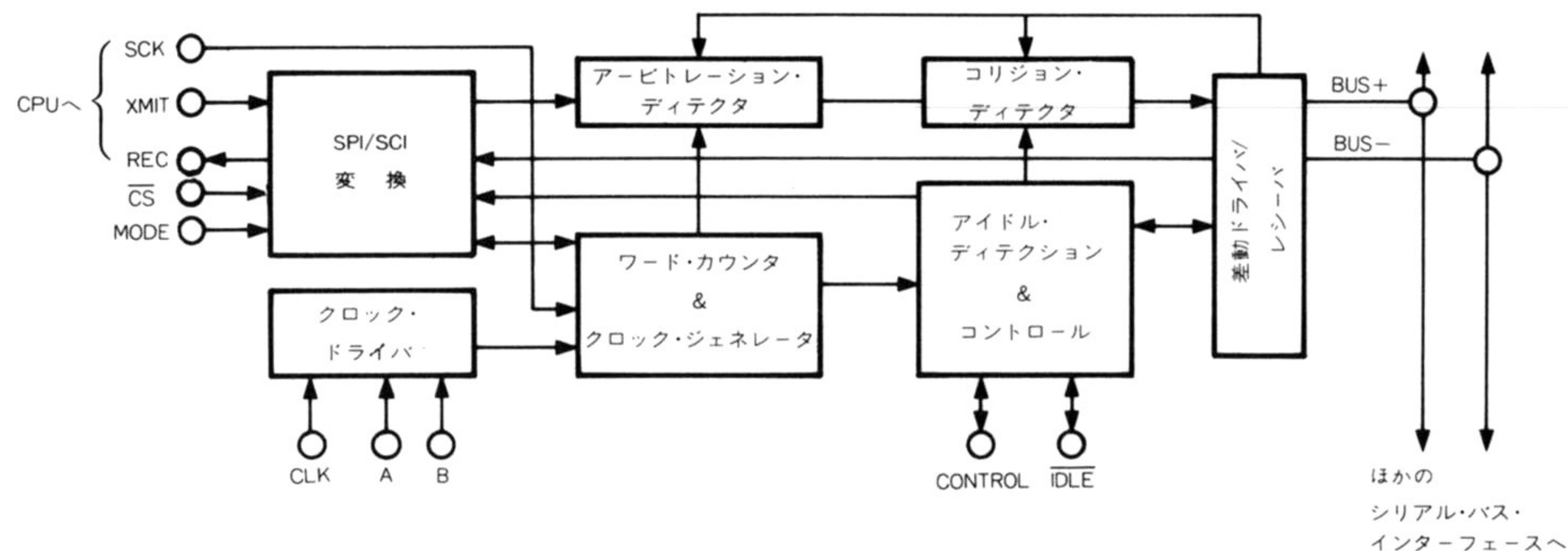
■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜 V_{CC}+0.3	V
消費電力	P_D	0.5	W
動作温度	T_{OPR}	−40〜105	℃
保存温度	T_{STG}	−55〜125	℃

■ DC特性

（T_a＝−40〜105℃，V_{CC}＝4〜7V）

記号	測 定 条 件	max/min*	単位
V_{IL}		0.3 V_{CC}	V
V_{IH}		0.7 V_{CC}*	V
V_{OL}	I_{OL}＝0.36mA	0.4	V
V_{OH}	I_{OH}＝0.12mA	4.6*	V

■ ブロック図

■端子機能

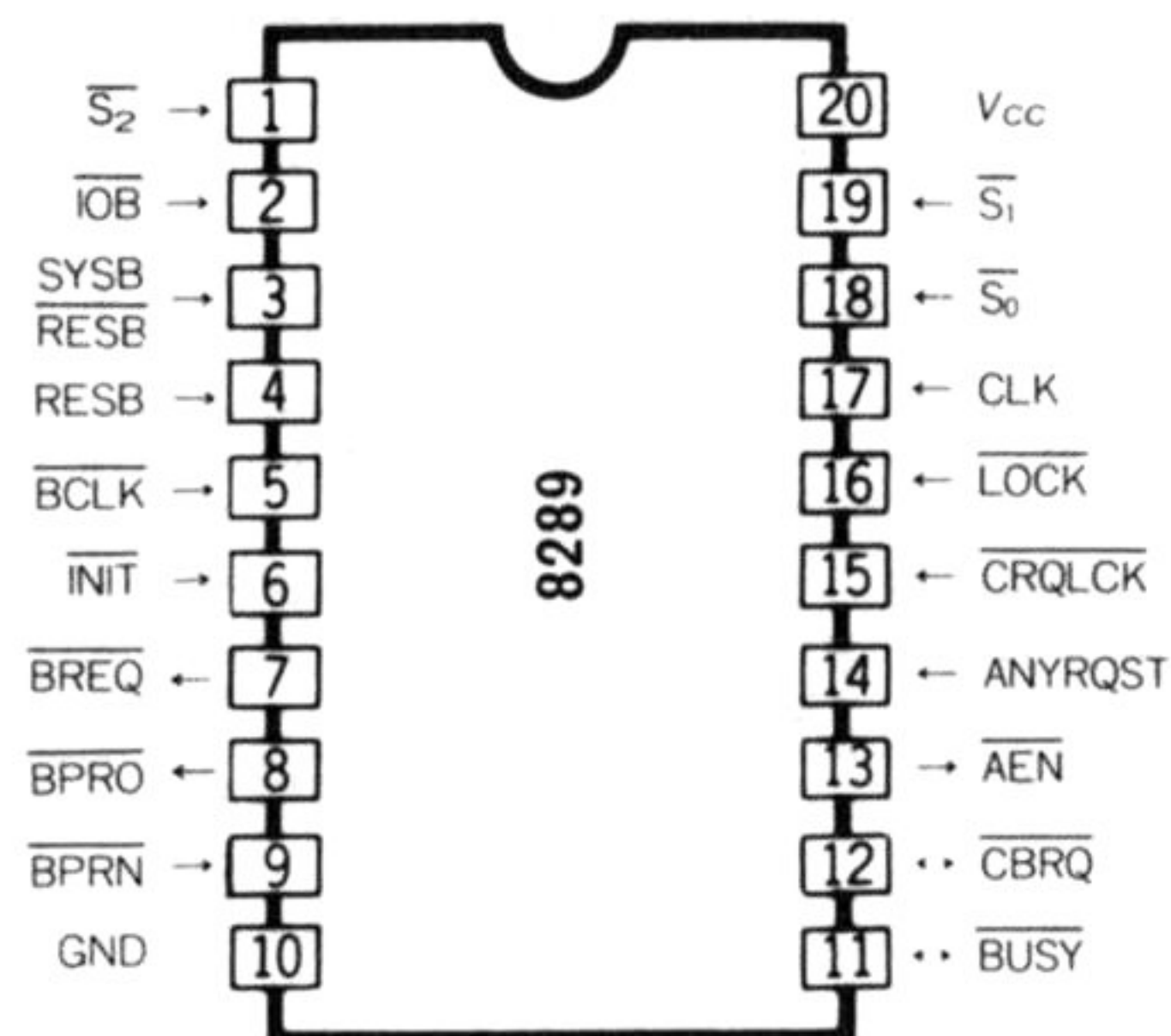
端子名	名　　称	ピン番号	入出力	機　　　能
CLK	クロック	1	入　力	クロック入力であり，内部同期クロックとして使われる．内部クロックは，ボーレイトを決めるべく128分周される
A，B	プログラミングA，B	2，3	入　力	クロック分周のプログラミング・インプット．このインプットは外部クロック・ソースのスピードによって，V_{CC}またはV_{SS}状態になる
MODE	モード	4	入　力	動作モードを定義するために，$\overline{CS}$入力と関連して使用される．それは，+V_{CC}またはV_{SS}またはMCUのI/Oラインによってドライブされた“H”または“L”に定常的に接続される
BUS+ BUS−	バス正 バス負	5 6	入出力	差動バスとのデータの送受信のための2線差動バスI/O．BUS+は外部的に決定づけられたバイアス・ポイントのソース・カレントに反応し，正として駆動される．BUS−は外部的に決定づけられたバイアス・ポイントからのシンク・カレントに反応し，負として駆動される
XMIT	送信入力	8	入　力	非同期モードでは，このデータ入力はCPU標準NRZ非同期通信出力ポートからくる．同期モードでは，マイクロコンピュータの同期出力ポートからくる
REC	受信出力	9	出　力	非同期モードでは，このデータ出力はCPU非同期通信入力ポートに送り込まれる．同期モードでは，CPUの同期入力ポートに送り込まれる
SCK	シリアル・クロック	10	入出力	非同期モードでは，このI/Oは必要ない．二つの同期モードでは両方ともこのピンは68HC05の同期ポート・クロック・ピンに接続される
$\overline{CS}$	チップ・セレクト	11	入　力	この入力はモード入力と接続することによって使用され，そしてチップ・セレクトとして使用される
$\overline{IDLE}$	アイドル	12	入出力	CPUは，バス状態を決定づけるためにこの信号をモニタし，そしてまたブレークを作り出すためにこのラインを“L”に引き込む．$\overline{IDLE}$信号はバスがアイドル時には“L”になり，バスがアクティブ時には“H”になる．リセット時にはこのピンは論理ゼロにセットされる
CONTROL	コントロール	13	入出力	CPUは，同期モード時にはデータの送信/受信を行うために，このI/Oピンをモニタする．非同期そして，同期モード時には，データ・バイトがバス上でアクティブであることを示すため，“L”になる

BA (Bus Arbiter)

■ ピン接続

8289

ピン	信号	ピン	信号
1	$\overline{S_2}$ →	20	V_{CC}
2	$\overline{\text{IOB}}$ →	19	← $\overline{S_1}$
3	SYSB/$\overline{\text{RESB}}$ →	18	← $\overline{S_0}$
4	RESB →	17	← CLK
5	$\overline{\text{BCLK}}$ →	16	← $\overline{\text{LOCK}}$
6	$\overline{\text{INIT}}$ →	15	← $\overline{\text{CRQLCK}}$
7	$\overline{\text{BREQ}}$ ←	14	← ANYRQST
8	$\overline{\text{BPRO}}$ ←	13	→ $\overline{\text{AEN}}$
9	$\overline{\text{BPRN}}$ →	12	↔ $\overline{\text{CBRQ}}$
10	GND	11	↔ $\overline{\text{BUSY}}$

■ 特　徴

- マルチマスタ／マルチプロセシング・システム用バス・アービタ
- ８０８６／８０８８ＣＰＵとマルチマスタ・バスの同期化
- バス・コントローラ８２８８とのインターフェースが容易
- 四つの動作モードができるシステム構成
- ＩＥＥＥ７９６バス・コンパチブル
- 優先順位の決定方法として，並列固定，直列固定，回転の３種類がある

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～7.0	V
入力電圧	V_{IN}	−1.0～5.5	V
消費電力	P_D	1.5	W
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−65～+150	℃

■ DC特性

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=20mA	0.45	V
V_{OH}	I_{OH}=400μA	2.4*	V
I_{IL}	V_{IN}=5.5V	60	μA
C_{IN}		25	pF

■ ブロック図

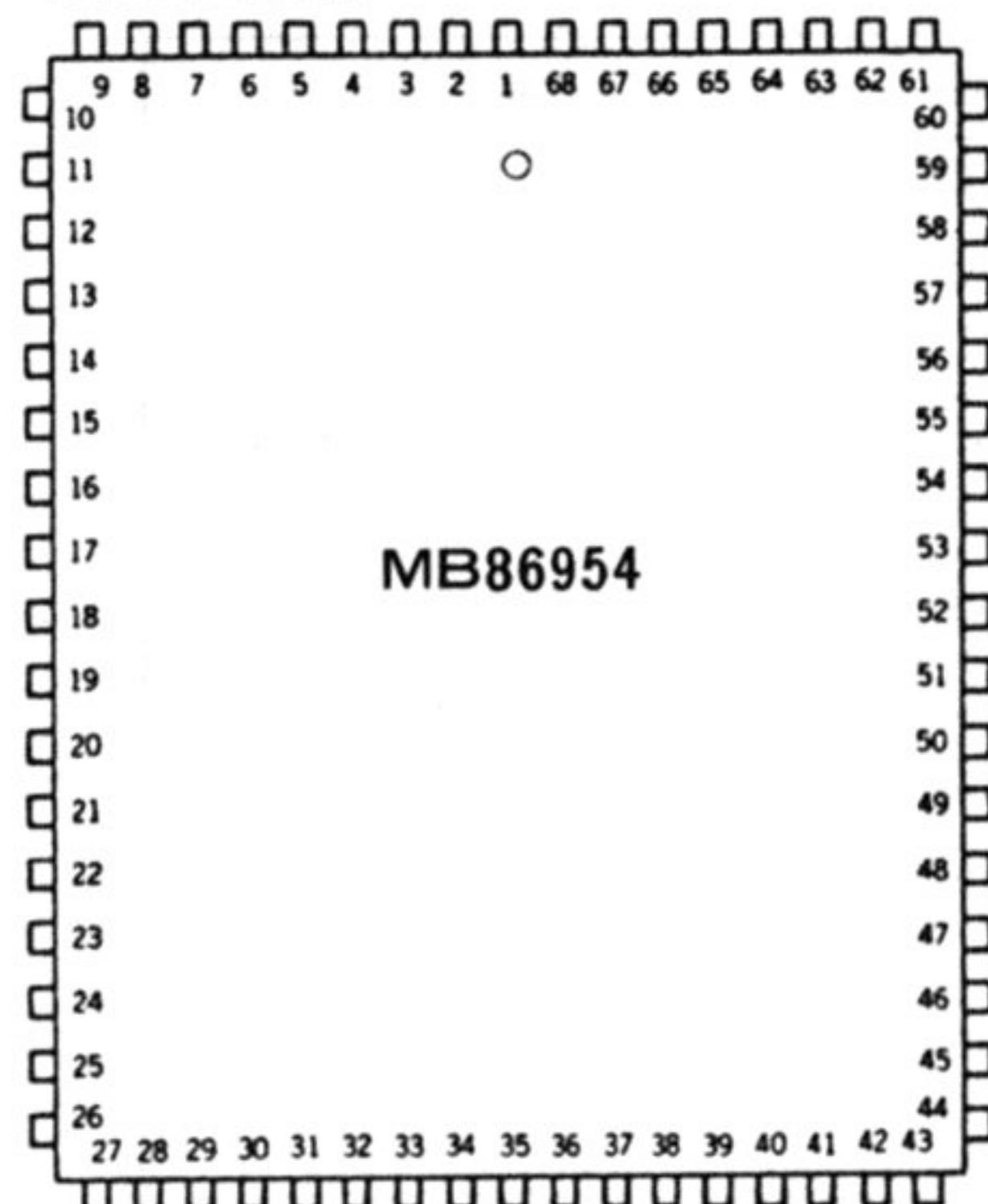
アービトレーション
システム・バス インターフェース
ステータス・ジェネレータ
コントローラ
ローカル・バス・インターフェース
プロセッサ・ステータス：$\overline{S_2}$　$\overline{S_1}$　$\overline{S_0}$
コントロール入力：$\overline{\text{LOCK}}$　CLK　$\overline{\text{CRQLCK}}$　RESB　ANYRQST　$\overline{\text{IOB}}$
マルチバス・インターフェース：$\overline{\text{INIT}}$　$\overline{\text{BCLK}}$　$\overline{\text{BREQ}}$　$\overline{\text{BPRN}}$　$\overline{\text{BPRO}}$　$\overline{\text{BUSY}}$　$\overline{\text{CBRQ}}$
$\overline{\text{AEN}}$
SYSB/$\overline{\text{RESB}}$

■ 端子機能

端子名	ピン番号	入出力	機　能
$\overline{S_0}$, $\overline{S_1}$, $\overline{S_2}$	1, 18, 19	入　力	8086, 8088, 80186, 80188, 8089からのステータス入力. 8289はステータスの内容によりバスの要求/譲渡の動作を行う
$\overline{IOB}$	2	入　力	I/Oバスとマルチ・マスタ・システム・バスを使い分けるシステムで使用する. 本端子はストラップ入力になっており, "H"または"L"に固定して使用する. 本端子が"H"のときにはメモリおよびI/Oコマンドの両方に応答するが, "L"のときにはメモリ・コマンドにしか応答しない
$\overline{RESB}$	3	入　力	LOCB="H"のときは$\overline{BSEL}$および本端子の入力によりバスの要求/譲渡条件が決定される
RESB	4	入　力	8289の動作モードを規定する端子であり, "H"または"L"に固定して使用する. 本端子を"H"に固定した場合, $\overline{RESB}$の状態によってバスの要求/譲渡条件が決定される. また本端子を"L"に固定した場合は, $\overline{RESB}$は無視される
$\overline{BCLK}$	5	入　力	マルチ・マスタ・システム・バス用のクロック信号. $\overline{BCLK}$とCLKを同期させる必要はない. マルチ・マスタ・システム・バス上に複数のバス・マスタが存在する場合, 一つのバス・マスタから$\overline{BCLK}$を供給する
$\overline{INIT}$	6	入　力	本端子はマルチ・マスタ・システム・バスをイニシャライズする
$\overline{BREQ}$	7	出　力	本信号はシステムからのバス要求があると"L"を出力し, バスの使用権を得るまでこの状態を保つ
$\overline{BPRO}$	8	出　力	8289の順位づけがデイジィ・チェーン方式で行われている場合, 本端子は次の8289の$\overline{BPRN}$端子への出力信号となる
$\overline{BPRN}$	9	入　力	バス・リクエストを行っている8289の本端子に"L"レベルの信号が入力されると, 8289はバスの使用権を獲得することができる
$\overline{BUSY}$	11	入出力	8289がシステム・バスを使用中であることをほかの8289に知らせるための信号であり, アクティブ"L"である
$\overline{CBRQ}$	12	入出力	本端子はオープン・ドレイン出力になっており, 各8289の本端子をワイヤード・オア接続する. バス・マスタがバス要求をする場合に, この端子をアクティブにする
$\overline{AEN}$	13	出　力	バス・インターフェース・デバイスをイネーブルするのに使用する
ANYRQST	14	入　力	低い優先順位のバス・アービタがアクセス権を得るために使用する
$\overline{CRQLCK}$	15	入　力	本信号に"L"が入力されている間, $\overline{CBRQ}$を使用してバス要求を出している8289に対しては, バスを譲渡しない. $\overline{LOCK}$信号はすべてのバス譲渡要求を無視するが, 本信号は$\overline{CBRQ}$を使用してのバス要求のみ無視する
$\overline{LOCK}$	16	入　力	8086, 8088, 8089からの$\overline{LOCK}$信号を入力する. 8289は本信号が"L"にセットされている間, $\overline{BUSY}$も"L"に保たれる. 本信号が"L"に保たれている間は, すべてのバス・リクエストが無効となる
CLK	17	入　力	システム・クロックの入力端子

MCI〔Micro Channel Interface〕

■ピン接続

MB86954

端子番号	端子記号	端子番号	端子記号	端子番号	端子記号
1	GND	24	-BURST	47	MA8
2	CHRESET	25	ARB3	48	MA9
3	-IOR	26	ARB2	49	MA10
4	-IOW	27	M/-IO	50	MA11
5	-MP102/-CS1	28	-S1	51	-CD SETUP
6	-BACK	29	-S0	52	V_{cc}
7	BREQ	30	-CMD	53	GND
8	BURST REQ	31	ARB/-GNT	54	D5
9	POS104B1	32	-ADL	55	D4
10	POS104B2	33	-DS16/MADE24	56	D3
11	-POS100RD	34	-SBHE	57	D2
12	-POS101RD	35	GND	58	D1
13	-MP103/-CS2	36	MA0	59	D0
14	-MP104/POS104B0	37	MA1	60	-CD DS16
15	-MEMR	38	MA2	61	-CD SFDBK
16	-MEMW	39	MA3	62	ADP RDY
17	CD CHRDY	40	MA4	63	RDYSTB
18	V_{cc}	41	ARB1	64	BUFDIR
19	GND	42	ARB0	65	-BUFENL
20	-CD SEL/-REFRESH	43	-PREEMPT	66	-BUFENH
21	A0	44	MA5	67	CDEN
22	A1	45	MA6	68	-TC
23	A2	46	MA7		

■特　徴

- ＩＢＭ　ＰＳ／２マイクロチャネル・インターフェース規格に準拠し，ＭＰＵ周辺ＬＳＩをバス接続させることが可能
- 接続アダプタに応じたメモリ・マッピング，Ｉ／Ｏマッピングのサポート
- プログラム設定可能な内部レジスタ
- アダプタ・カードＩＤ用リード・ストローブ発生
- ＤＭＡ機能サポート
- シングル・モード動作

■ブロック図

コマンドデコード / POSレジスタ リードライト コントロール / POSレジスタ / バス調停動作ロジック / アダプタ応答動作ロジック

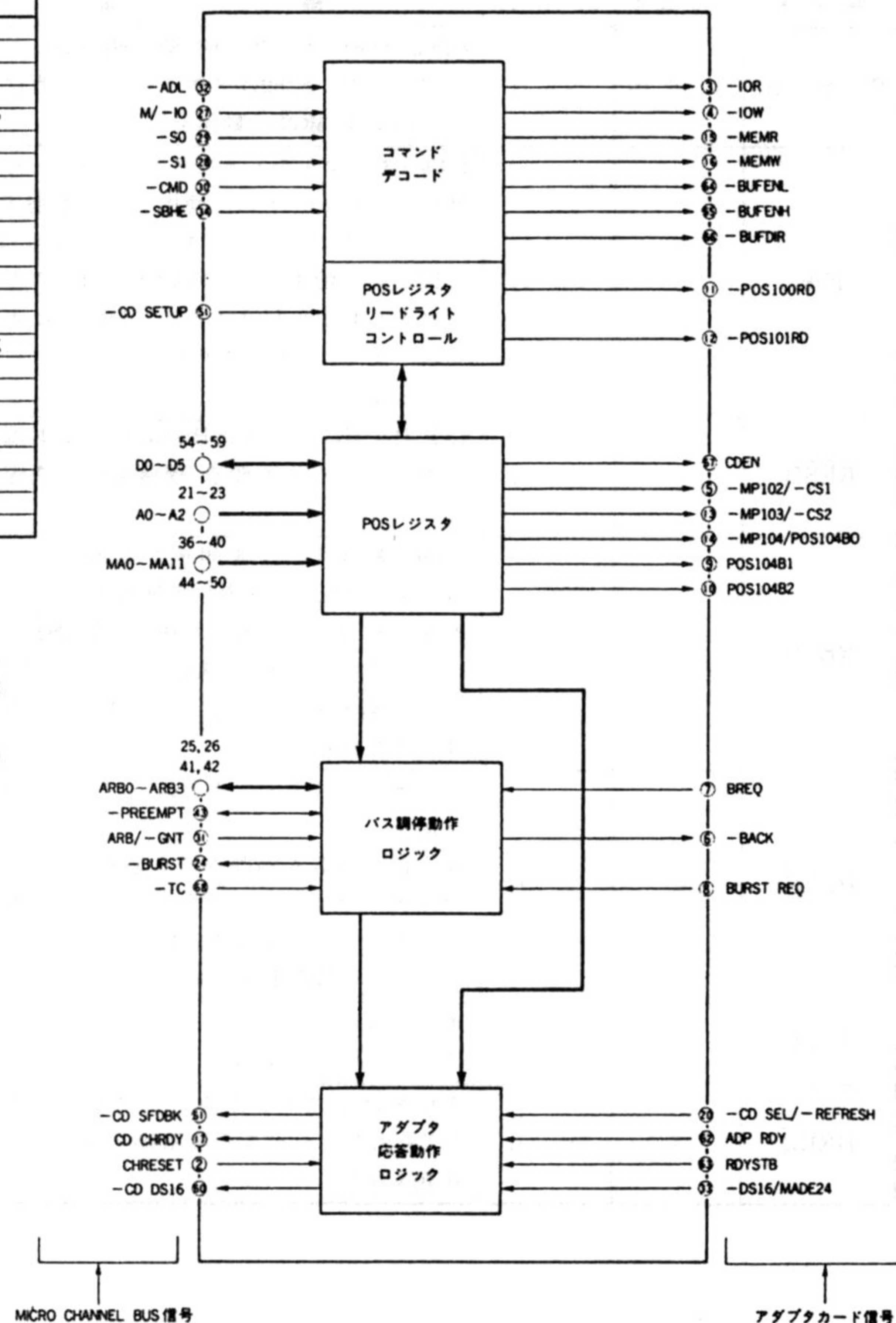
MICRO CHANNEL BUS信号　　アダプタカード信号

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～6.0	V
入力電圧	V_{IN}	−0.5～V_{CC}+0.5	V
動作温度	T_{OPR}	−40～85	℃
保存温度	T_{STG}	−40～125	℃

■ DC 特性

（T_a＝0～70℃，V_{CC}＝5 V±5％）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝8 mA	0.4	V
V_{OH}	I_{OH}＝2 mA	4.0*	V
I_{IL}	V_{IN}＝0～V_{CC}	±10	μA

■端子機能

端子名	ピン番号	入出力	機能
M/−IO	27	入力	メモリ、I/O選択区別端子
−S0	29	入力	ステータス・ビット0端子
−S1	28	入力	ステータス・ビット1端子
−CMD	30	入力	データ信号用ストローブ
−ADL	32	入力	アドレス・デコード・ラッチ端子
−CD SETUP	51	入力	カード・セットアップ端子
−SBHE	34	入力	システム・バスの上位バイト・イネーブル信号
A0, A1, A2	21, 22, 23	入力	アドレス・バス信号
D0〜D5	59〜54	入出力	データ・バス入出力信号
MA0〜MA4 MA5〜MA11	36〜40, 44〜50	入力	アドレス・マッチ信号入力で，一般動作，特殊動作モードがある
ARB0〜ARB3	42, 41, 26, 25	入出力	バス使用の調停をするためのバス使用権優先順位端子
ARB/−GNT	31	入力	バス調停/グラント端子
−PREEMPT	43	入出力	プリエンプト端子
−TC	68	入力	ターミナル・カウント端子
−BURST	24	出力	DMA転送中を示すバースト・モード端子
−CD SFDBK	61	出力	カード選択を示すカード・セレクト・フィードバック端子
CD CHRDY	17	出力	カード・チャネル・レディ信号出力
CHRESET	2	入力	アダプタ・カードをリセットする信号入力
−CD DS16	60	出力	カードのデータ転送ビット幅が16ビットであることを示す
−IOR	3	出力	I/Oリード・サイクル実行中を示す信号
−IOW	4	出力	I/Oライト・サイクル実行中を示す信号
−MEMRD	15	出力	メモリ・リード・サイクル実行中を示す信号
−MEMW	16	出力	メモリ・ライト・サイクル実行中を示す信号
−POS100RD, −POS101RD	11, 12	出力	アダプタ・カードIDリードのためのストローブ出力．100RDが下位バイト，101RDが上位バイト用
BUFDIR	64	出力	外部データ・バス・トランシーバの方向をコントロールするバッファ方向信号出力
−BUF ENL	65	出力	データ・バス下位8ビットのトランシーバをイネーブルにするバッファ・イネーブル下位バイト信号
−BUF ENH	66	出力	データ・バス上位8ビットのトランシーバをイネーブルにするバッファ・イネーブル上位バイト信号
CDEN	67	出力	アダプタ・カード動作可にするカード・イネーブル出力
−MP102/ −CS1	5	出力	POS102レジスタ・マッチング信号出力または外部デバイス選択のためのチップ・セレクト1
−MP103/ −CS2	13	出力	POS103レジスタ・マッチング信号出力または外部デバイス選択のためのチップ・セレクト2
−MP104/ POS104B0	14	出力	POS104レジスタ・マッチング信号出力またはPOS104レジスタのビット0の値を出力する
POS104B1	9	出力	POS104レジスタのビット1の値を出力する
POS104B2	10	出力	POS104レジスタのビット2の値を出力する
BREQ	7	入力	アダプタ・カードからのバス・リクエスト信号入力
−BACK	6	出力	アダプタ・カードへのバス・アクノリッジ信号出力
BURST REQ	8	入力	バースト・モードでのDMA転送要求
−CD SEL/ −REFRESH	20	入力	一般動作モードではカード・セレクト信号，特殊動作モードではマイクロ・チャネルのREFRESH信号を入力する
−DS16/ MADE24	33	入力	一般動作モードではデータ幅16ビットを示す．特殊動作モードではマイクロ・チャネルのMADE24信号を入力する
ADP RDY	62	入力	アダプタ・カードのレディ信号入力
RDYSTB	63	入力	レディ・ストローブ信号入力

PCEB (PCI-EISA Bridge)

■ ピン番号

■ 特　徴

・82374と組み合わせて，EISA/PCIブリッジおよびEISA I/Oサブシステムを構成できる
・100% PCIおよびEISAコンパチブル
　—PCIおよびEISAマスタ/スレーブ・インターフェース
　—10個のPCI負荷と8個のEISAスロットを直接ドライブ可能
　—25～33MHzのPCIバスに対応可能
・PCIおよびEISAバス双方のバースト転送可能
・32ビット・データ・バス
・6個分のPCIマスターのアービトレーション機能内蔵
・PCIおよびEISAアドレス・デコードとマッピング機能内蔵
・512Mバイトまでのプログラマブルなメイン・メモリ・アドレス・デコード機能内蔵

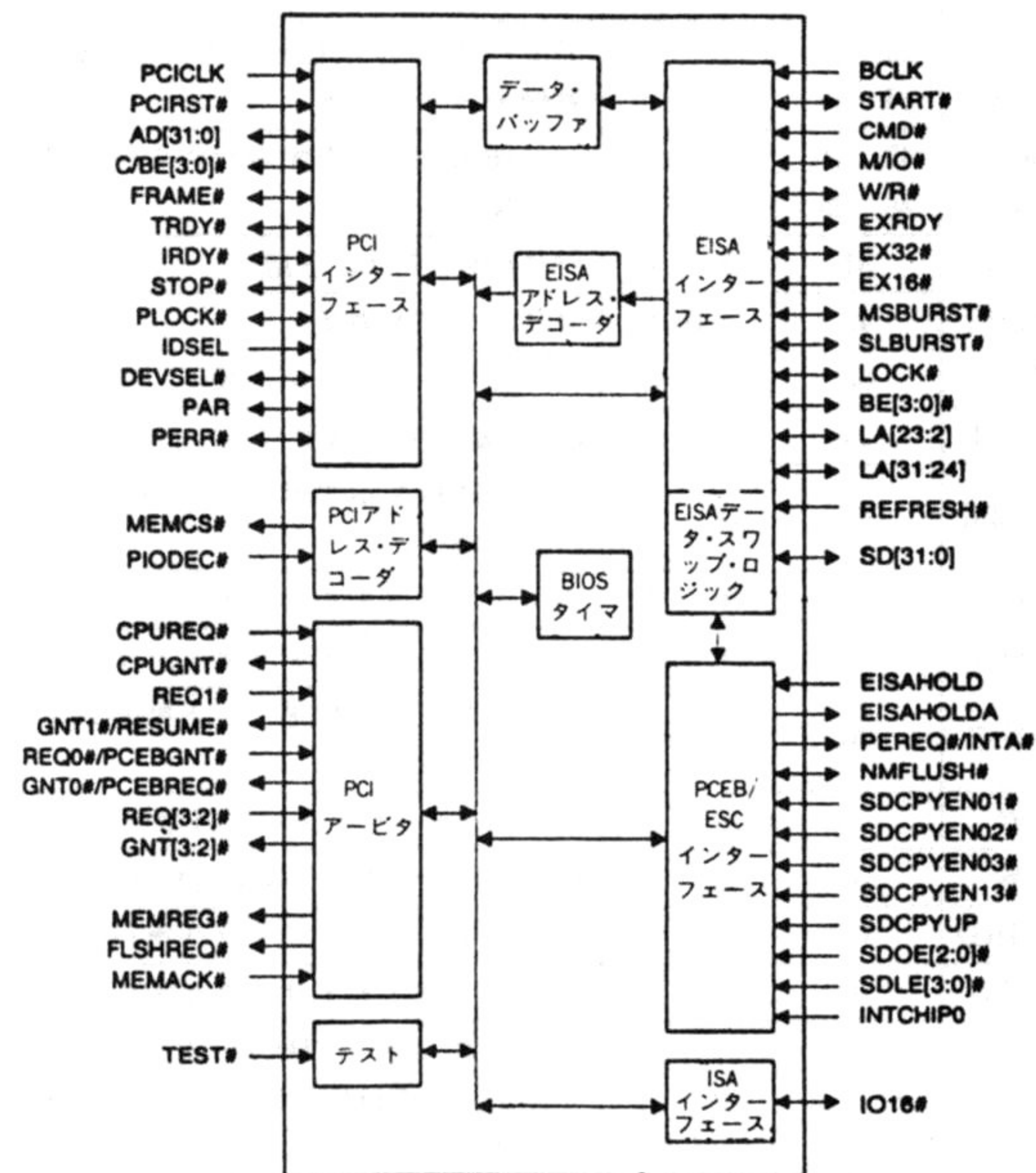
■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	$-0.5 \sim +5.75$	V
入力電圧	V_{IN}	$-0.5 \sim V_{CC}+0.5$	V
動作温度	T_{OPR}	$0 \sim +85$	℃
保存温度	T_{STG}	$-65 \sim +150$	℃

■ DC特性

（$T_a=0 \sim 85$℃，$V_{CC}=5\text{ V}\pm5\%$）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	$I_{OL}=1\text{ mA}$	0.45	V
V_{OH}	$I_{IL}=1\text{ mA}$	$V_{CC}-0.45$*	V
I_{OL}	$V_{OUT}=0.45 \sim V_{CC}$	±15	μA
I_{IL}	$V_{IN}=0 \sim V_{CC}$	±15	μA
C_{IN}	$f=1\text{ MHz}$	15	pF

■ 端子機能

PCI バス・インターフェース

端子名	ピン番号	入出力	機能
PCICLK	91	入力	25MHz～33MHz の PCI クロック入力
PCIRST#	93	入力	PCI リセット信号
AD[31:0]	97～155	入出力	双方向のアドレスおよびデータ・バス
C/BE[3:0]	109, 120, 144	入出力	バス・コマンド/バイト・イネーブル
FRAME#	122	入出力	アクセスの始まり，継続を示すサイクル・フレーム信号
TRDY#	124	入出力	ターゲット・レディ信号
IRDY#	123	入出力	イニシエータ・レディ信号
STOP#	126	入出力	ターゲットからイニシエータへのトランザクション停止要求
PLOCK#	127	入出力	PCI ロック信号
IDSEL	92	入力	イニシャリゼーション・デバイス・セレクト信号
DEVSEL#	125	入出力	デバイス・セレクト信号
PAR	134	入出力	AD[31:0] と C/BE[3:0] の偶パリティクル信号
PERR#	128	入出力	パリティ・エラー

PCI アービタ・シグナル

端子名	ピン番号	入出力	機能
CPUREQ#	75	入力	PCI バス使用を要求する CPU リクエスト信号
REQ1#	72	入力	マスター1の PCI バス要求信号
REQ0#/PCEBGNT#	71	入力	スター0の PCI バス要求信号 外部 PCI アービタ許可信号
REQ[2:3]#	73, 74	入力	マスター2，3の PCI バス要求信号
CPUGNT#	76	出力	CPU マスターの PCI バス許可信号
GNT0#/PCEBREQ#	83	出力	マスター0の PCI バス要求許可信号 82375の PCI バス要求信号
GNT1#/RESUME#	82	出力	マスター1の PCI バス要求許可信号 82375のリジューム信号
GNT[2:3]#	81, 80	出力	マスター2，3の PCI バス要求許可信号
MEMREQ#	87	出力	EISA デバイスまたは DMA 用のメモリ・リクエスト信号
FLSHREQ#	85	出力	フラッシュ・リクエスト信号
MEMACK#	86	入力	MEMREQ#または FLSHREQ#へのメモリ・アクノリッジ

ISA インターフェース・シグナル

端子名	ピン番号	入出力	機能
IO16#	168	入出力	16ビット I/O チップ・セレクト

アドレス・デコーダ・シグナル

端子名	ピン番号	入出力	機能
MEMCS#	88	出力	メモリ・チップ・セレクト
PIODEC#	89	入力	PCI I/O スペース・デコーダ

EISA インターフェース・シグナル

端子名	ピン番号	入出力	機能
BCLK	167	入力	EISA バス・クロック入力
START#	170	入出力	EISA のスタート・サイクルを示す信号
CMD#	169	入力	EISA サイクル期間に出力されるコマンド信号
M/IO#	191	入出力	EISA バスのメモリ・サイクルまたはI/Oサイクル識別信号
W/R#	192	入出力	EISA バスのライト・サイクル，リード・サイクル識別信号
EXRDY	171	入出力	ウェイト・サイクル挿入用の EISA レディ信号
EX32#	172	入出力	EISA32ビット・スレーブ・デバイス・デコード
EX16#	173	入力	EISA16ビット・スレーブ・デバイス・デコード
MSBURST#	190	入出力	EISA マスターのバースト・サイクル信号
SLBURST#	174	入出力	EISA スレーブのバースト・サイクル信号
LOCK#	166	入出力	イクスクルーシブ・メモリ・アクセス保証用のロック信号
BE[3:0]#	204～207	入出力	EISA アドレス・バス直結のバイト・イネーブル信号
LA[31:24]# LA[23:2]	3～11, 12～36	入出力	EISA バス直結のラッチァブル・アドレス・ライン
SD[31:0]	195～70	入出力	システム・データ・バス直結の双方向バス・ライン
REFRESH#	160	入力	リフレッシュ・サイクルを示す信号

82374/82375インターフェース・シグナル

端子名	ピン番号	入出力	機能
EISAHOLD	162	入力	EISA バス・コントロール要求用の EISA ホールド信号
EISAHLDA	163	出力	EISA ホールド・アクノリッジ信号
PEREQ#/INTA#	164	出力	PCI-EISA リクエスト/インタラプト・アクノリッジ
NMFLUSH#	165	入出力	82374，82375間のフラッシュ・コントロール用ハンドシェイク
INTCHIP0	161	入出力	チップ間リザーブ信号
SDCPYEN[01:03]# SDCPYEN13#	179～185	入力	バイト・コピー・イネーブル信号
SDCPYUP	186	入力	バイト・コピー動作方向制御信号
SDOE[2:0]#	187～189	入力	システム・データ・アウトプット・イネーブル
SDLE[3:0]#	178～175	入力	システム・データ・ラッチ・イネーブル

Data Buffer

■ ピン接続

MCS2220

■ 特　徴

・ＩＢＭ　ＰＣ／ＡＴのハードウェアおよびソフトウェアと１００％互換
・２種類のモードをもち，MODEA/Dを"H"に設定することにより，データ・バッファおよびラッチとして動作する
・パリティ生成／検出ロジック回路内蔵
・16-8ビット変換のためのバス変換ロジック回路内蔵
・ＯＳ／２動作時，プロテクト・モードからリアル・モードへのハードウェアおよびソフトウェアの高速切り替えを実現
・拡張スロットを直接ドライブする能力がある

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	0～7	V
入力電圧	V_{IN}	0～5.5	V
消費電力	P_D	1.0	W
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−50～150	℃

■ DC特性

（T_a = 0～70℃，V_{CC} = 5V ± 10%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}		0.4	V
V_{OH}	I_{OH}	2.4*	V
C_{IN}		10	pF

■ ブロック図

■ 端子機能

端子名	ピン番号	入出力	機能
SD_0～SD_{15}	36, 50, 51, 75, 76, 83, 84, 2, 3, 10, 11, 14, 15, 29, 30, 34	入出力	システム・データ・バス
MD_0～MD_{15}	61～67, 28, 37, 48, 58, 70, 77, 82, 4, 9	入出力	メモリ・データ・バス
D_0～D_{15}	68, 69, 78～81, 5～8, 19～24	入出力	CPU データ・バス
LPAROUT	16	出力	下位パリティ・ビット出力
HPAROUT	17	出力	上位パリティ・ビット出力
A_{20}	18	出力	CPU アドレス・バス・ビット
MODEA/D	25	入力	アドレス("H")/データ・モード・セレクト("L")
SA_0	26	入力	システム・アドレス・バス・ビット 0
$\overline{SBHE}$	27	入力	上位システム・バス・イネーブル."L"アクティブ
$\overline{ENLBY_1}$	35	入力	システム・データ・バスからローカル・データ・バスへの下位バイト出力イネーブル("L"アクティブ). 8ビットI/Oポートまたは拡張メモリ・リードで使用
HLDA	39	入力	ホールド・アクノリッジ
DSMSD	40	入力	メモリ・データ/システム・データ・バス・ディセーブル
PAR	41	出力	メモリ・パリティ・エラー
$\overline{MASTER}$	42	入力	外部マスタ."L"アクティブ
CSPCK	43	入力	パリティ・チェック・イネーブル
GA_{20}	44	入力	プロテクト・モードA_{20}セレクト."H"アクティブ
A20286	45	入力	80286アドレス・バス・ビット20
$\overline{MEMR}$	46	入力	メモリ・リード."L"アクティブ
$\overline{ENHBY}$	47	入力	システム/ローカル・データ・バス(CSPCK＝0)またはメモリ/ローカル・データ・バス(CSPCK＝1)上位バイト転送イネーブル."L"アクティブ
$\overline{ACK}$	49	出力	バス・ホールド・アクノリッジ."L"アクティブ
$\overline{ENLBY_2}$	52	入力	システム/ローカル・データ・バス(CSPCK＝0)またはメモリ/ローカル・データ・バス(CSPCK＝1)下位バイト転送イネーブル."L"アクティブ
LPARIN	53	入力	下位パリティ・ビット入力
HPARIN	56	入力	上位パリティ・ビット入力
L374	57	入力	データ・バスからローカル・データ・バスへの下位バイト・ラッチ用クロック入力
$\overline{D245}$	59	入力	システム・データ・バス・バイトのスワップ方向.上位-下位("H")/下位-上位("L")
$\overline{G245}$	60	入力	システム・データ・バス・バイトのスワップ・イネーブル."L"アクティブ
DT/R	71	入力	ローカル・データ・バスからシステム・データ・バスへの送信("H")/受信("L")
MDT/R	72	入力	システム・データ・バスからシステム・データ・バスへの送信("H")/受信("L")
$\overline{MDLAT_1}$	38	入力	メモリ・データ・ラッチ・イネーブル.メモリ・データをラッチし,CAS の早期終了を可能にする

Address Buffer

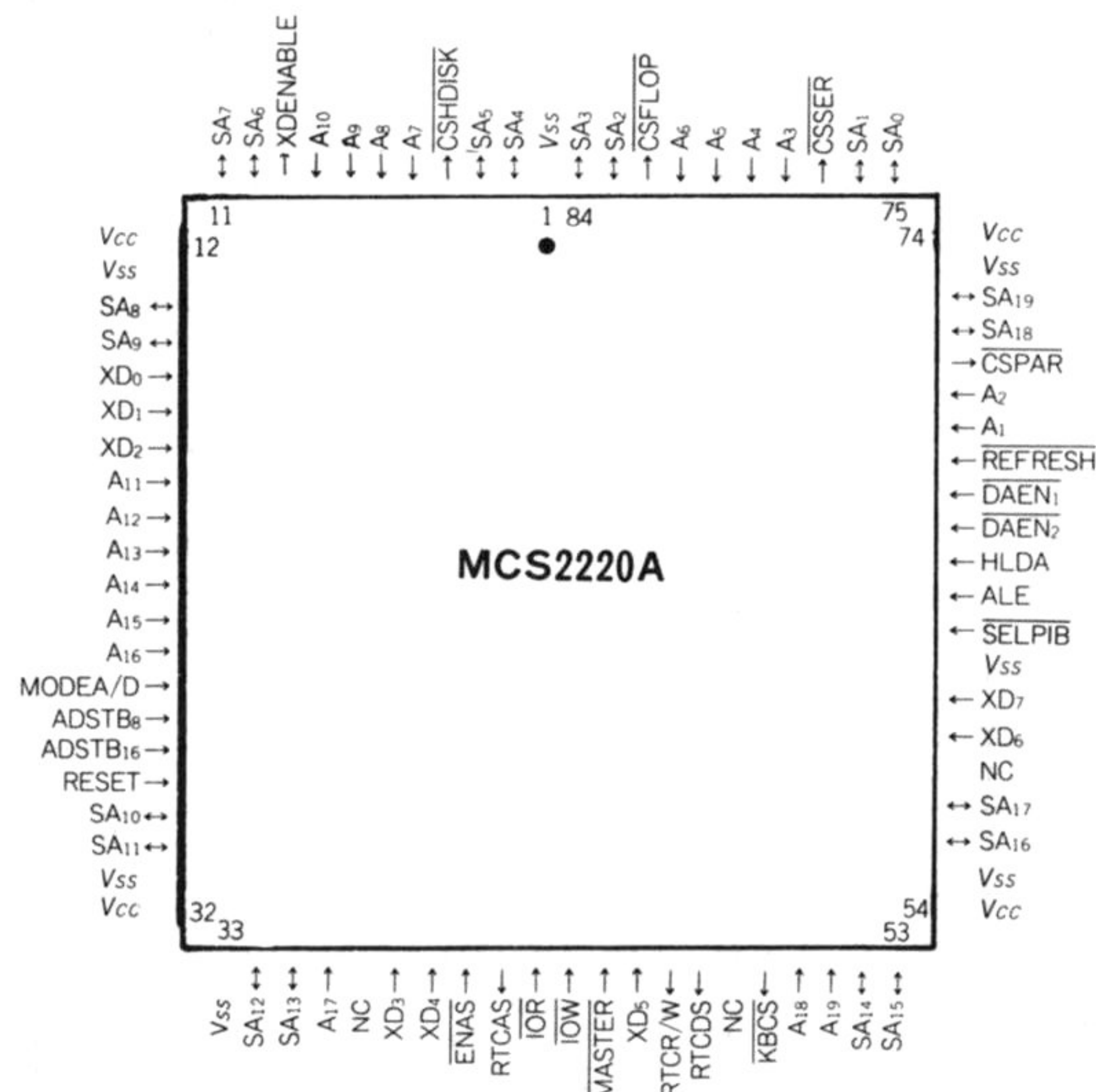
■ ピン接続

■ 最大定格

項　　目	記号	定　格	単位
電源電圧	V_{CC}	0～7	V
入力電圧	V_{IN}	0～5.5	V
消費電力	P_D	1.0	W
動作温度	T_{OPR}	0～70	°C
保存温度	T_{STG}	−50～150	°C

■ DC特性　　（T_a＝0～70°C, V_{CC}＝5V±10%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}		0.4	V
V_{OH}	I_{OH}	2.4*	V
C_{IN}		10	pF

■ 特　徴

- ＩＢＭ　ＰＣ／ＡＴのハードウェアおよびソフトウェアと１００％互換
- ２種類のモードをもち，MODEA/Dを"L"に設定することにより，アドレス・バッファおよびラッチとして動作する
- パリティ生成／検出ロジック回路内蔵
- 16-8ビット変換のためのバス変換ロジック回路内蔵
- ＯＳ／２動作時，プロテクト・モードからリアル・モードへのハードウェアおよびソフトウェアの高速切り替えを実現
- 拡張スロットを直接ドライブする能力がある

■ ブロック図

■ 端子機能

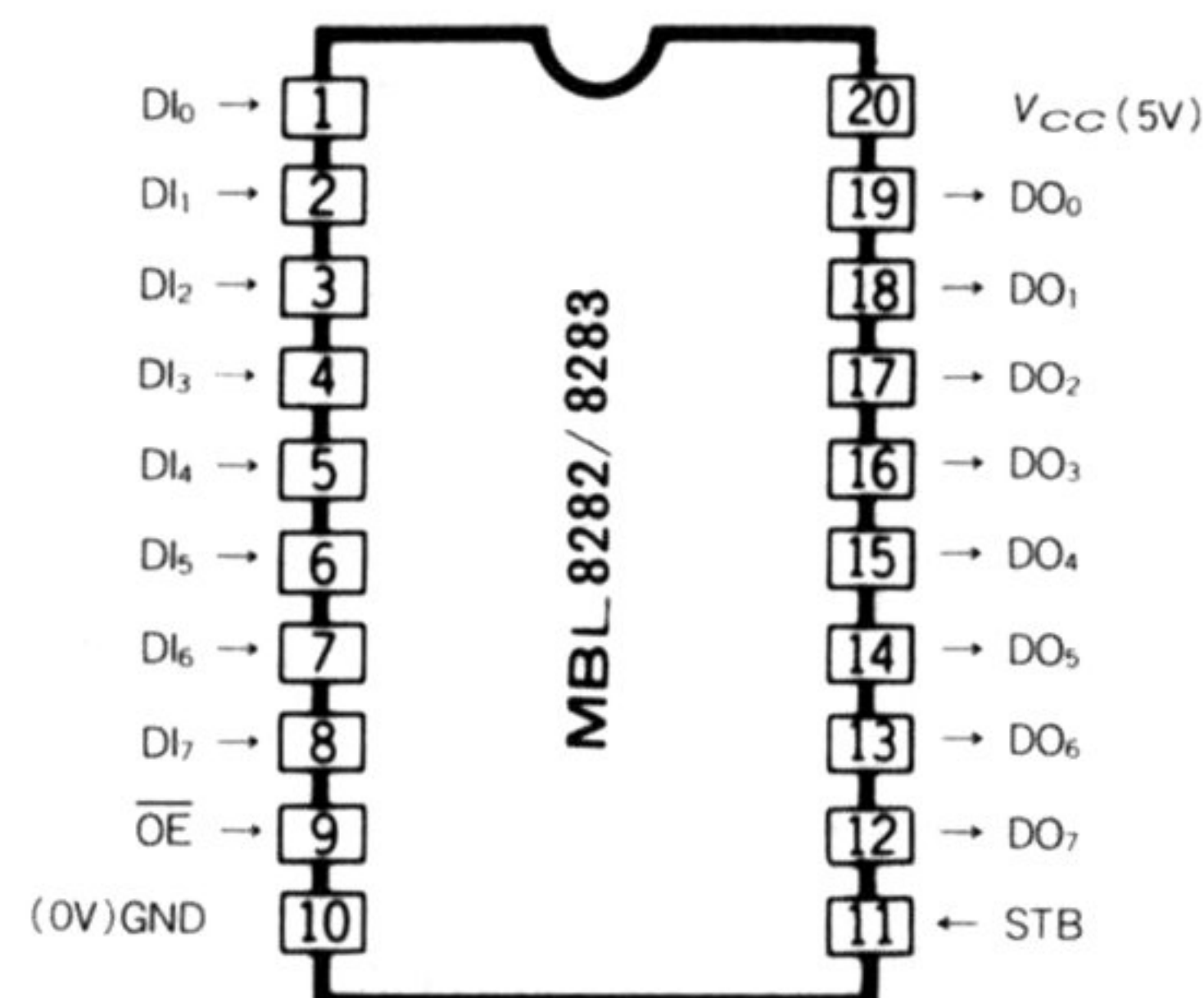
端 子 名	ピン番号	入 出 力	機　　能
$SA_0 \sim SA_{19}$	75, 76, 83, 84, 2, 3, 10, 11, 14, 15, 29, 30, 34, 35, 52, 53, 56, 57, 71, 72	入出力	システム・アドレス・バス
$A_1 \sim A_{19}$	68, 69, 78, 79, 80, 81, 5～8, 19～24, 36, 50, 51	入　力	CPU アドレス・バス・ビット 1
$XD_0 \sim XD_7$	16～18, 38, 39, 45, 59, 60	入　力	ペリフェラル・データ・バス
XDENABLE	9	出　力	CPU データ・バス（D バス）とペリフェラル・データ・バス（XT バス）間の方向コントロール・ビット
$\overline{\text{CSHDISK}}$	4	出　力	ハード・ディスクの選択
$\overline{\text{CSFLOP}}$	82	出　力	フロッピ・ディスクの選択
$\overline{\text{CSSER}}$	77	出　力	シリアル・ポートの選択
$\overline{\text{CSPAR}}$	70	出　力	パラレル・ポートの選択
MODEA/D	25	入　力	アドレス/データ・バッファ・モードの選択
$ADSTB_8$	26	入　力	バイト転送 DMA 上位のアドレス・ストローブ
$ADSTB_{16}$	27	入　力	ワード転送 DMA 上位アドレス・ストローブ

端 子 名	ピン番号	入 出 力	機　　能
$\overline{\text{ENAS}}$	40	入　力	REAL TIME CLOCK アドレス・ストローブ・イネーブル．“L” アクティブ
RTCDS	41	出　力	REAL TIME CLOCK 多重化アドレス・ストローブ．立ち下がりエッジでアドレスが 146818にラッチされる
$\overline{\text{IOR}}$	42	入　力	I/O リード．“L” アクティブ
$\overline{\text{IOW}}$	43	入　力	I/O ライト．“L” アクティブ
$\overline{\text{MASTER}}$	44	入　力	外部マスタ．“L” アクティブ
RTCR/W	46	出　力	REAL TIME CLOCK リード/ライト
RTCDS	47	出　力	REAL TIME CLOCK データ・ストローブまたはリード．REAL TIME CLOCK と RAM がリード・データでバスをドライブするときの期間を識別する
$\overline{\text{KBCS}}$	49	出　力	キーボード・チップ・セレクト．“L” アクティブ
ALE	63	入　力	アドレス・ラッチ・イネーブル
HLDA	64	入　力	ホールド・アクノリッジ
$\overline{\text{DAEN}_2}$	65	入　力	ワード転送 DMA アドレス出力イネーブル
$\overline{\text{DAEN}_1}$	66	入　力	バイト転送 DMA アドレス出力イネーブル
$\overline{\text{REFRESH}}$	67	入　力	メモリ・リフレッシュ
$\overline{\text{SELPIB}}$	62	入　力	MCS82020 システムではこのピンは “L” に固定する
RESET	28	入　力	システム・リセット

OL (Octal Latch)

■ ピン接続

■ 特　徴

・80系システム・サポート用8ビット・ラッチ
・8ビット並列データ・レジスタおよびバッファ内蔵
　データ・レジスタはSTB信号によって制御される
　出力バッファはOE信号によって制御される
・高ドライブ能力をもつシステム・データ・バス出力
・3ステート出力
・8282：ノンインバート型
　8283：インバート型

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7	V
入力電圧	V_{IN}	−1.0〜5.5	V
消費電力	P_D	1.0	W
動作温度	T_{OPR}	0〜+70	℃
保存温度	T_{STG}	−65〜+150	℃

■ ブロック図

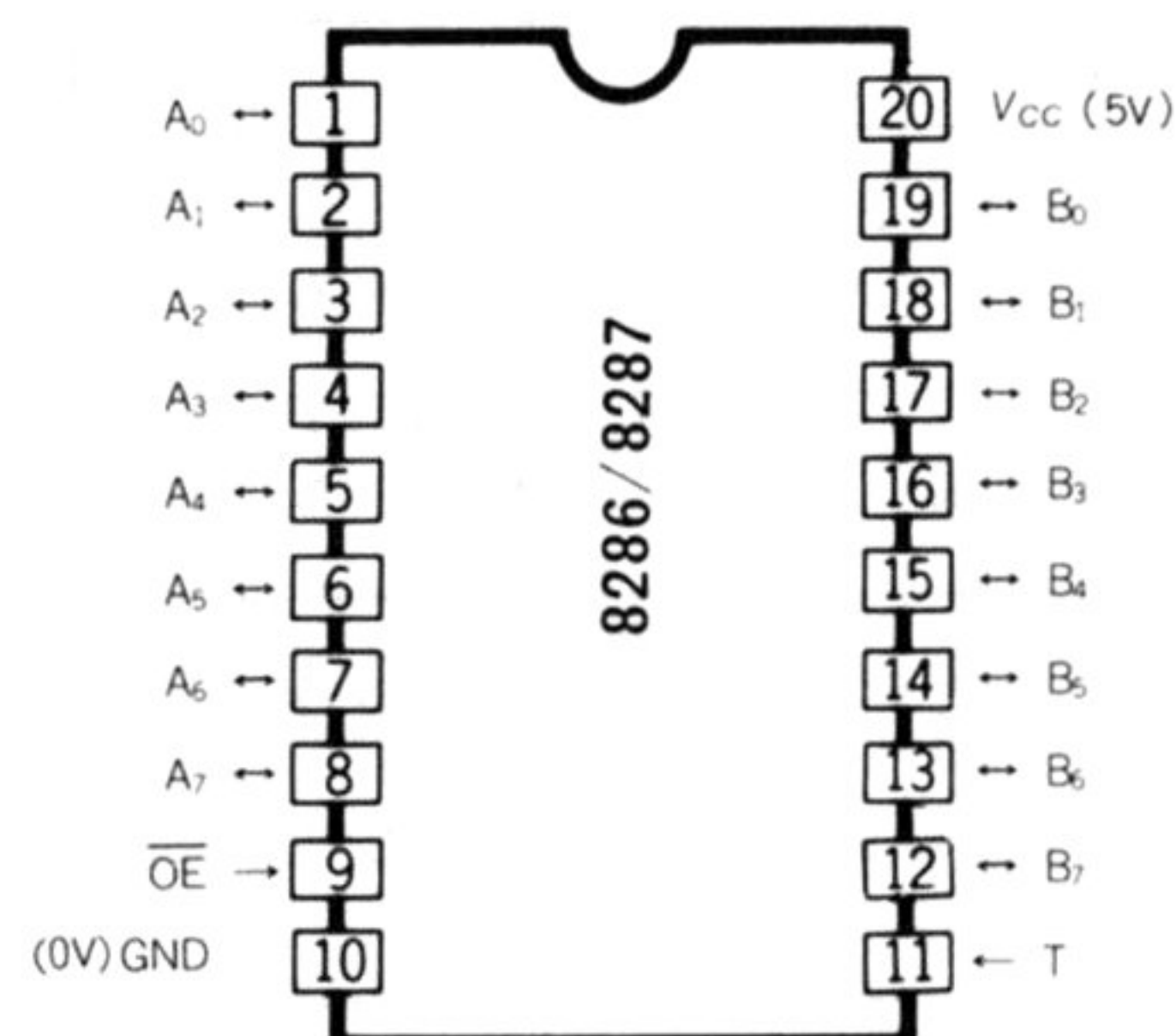
■ DC特性

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=32mA	0.45	V
V_{OH}	I_{OH}=5mA	2.4*	V
I_{IL}	V_{IN}=5.25V	50	μA
C_{IN}		12	pF

■端子機能

端子名	名称	ピン番号	入出力	機能
STB	ストローブ(Strobe)	11	入力	入力データをラッチするためのストローブ信号入力．STB＝“H”のとき，すべての入力データ(DI_0～DI_7)は，ラッチ内のバッファを通して出力端子(DO_0～DO_7/$\overline{DO_0}$～$\overline{DO_7}$)に送られる(入力データはスルー)．そして，STB信号の“H”から“L”の遷移で，入力データをサンプリングするとともにラッチする
$\overline{OE}$	アウトプット・イネーブル (Output Enable)	9	入力	出力バッファのイネーブル/ディセーブル入力．$\overline{OE}$＝“L”のとき，入力データ(DI_0～DI_7)またはデータ・ラッチの内容が出力端子(DO_0～DO_7/$\overline{DO_0}$～$\overline{DO_7}$)に出力される．また$\overline{OE}$＝“H”のとき，出力バッファはハイ・インピーダンス状態になる
DI_0～DI_7	データ入力端子 (Data Input pins)	1～8	入力	ラッチするデータの入力端子．ここで，すべての入力データが(DI_0～DI_7)STB信号に対して必要なセットアップ・タイムとホールド・タイムを満足していれば，入力データのラッチが行われる
DO_0～DO_7 (8282) $\overline{DO_0}$～$\overline{DO_7}$ (8283)	データ出力端子 (Data Output pins)	19～12	出力	データの出力端子．$\overline{OE}$＝“L”のとき，入力データ(DI_0～DI_7)またはデータ・ラッチにしていた内容を同相で(8282)，あるいは逆相で(8283)出力する

BT (Bus Transceiver)

■ ピン接続

信号	ピン		ピン	信号
A_0 ↔	1		20	V_{CC} (5V)
A_1 ↔	2		19	↔ B_0
A_2 ↔	3		18	↔ B_1
A_3 ↔	4		17	↔ B_2
A_4 ↔	5	8286/8287	16	↔ B_3
A_5 ↔	6		15	↔ B_4
A_6 ↔	7		14	↔ B_5
A_7 ↔	8		13	↔ B_6
$\overline{OE}$ →	9		12	↔ B_7
(0V) GND	10		11	← T

■ 特　徴

・８０系システム・サポート用双方向バッファ・ドライバ
・高ドライブ能力をもつシステム・データ・バス出力
・８ビット並列トランシーバ
・３ステート出力
・８２８６：ノンインバート型
　８２８７：インバート型

■ ブロック図

8286

8287

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−1.0〜5.5	V
消費電力	P_D	1.0	W
動作温度	T_{OPR}	0〜+70	℃
保存温度	T_{STG}	−65〜+150	℃

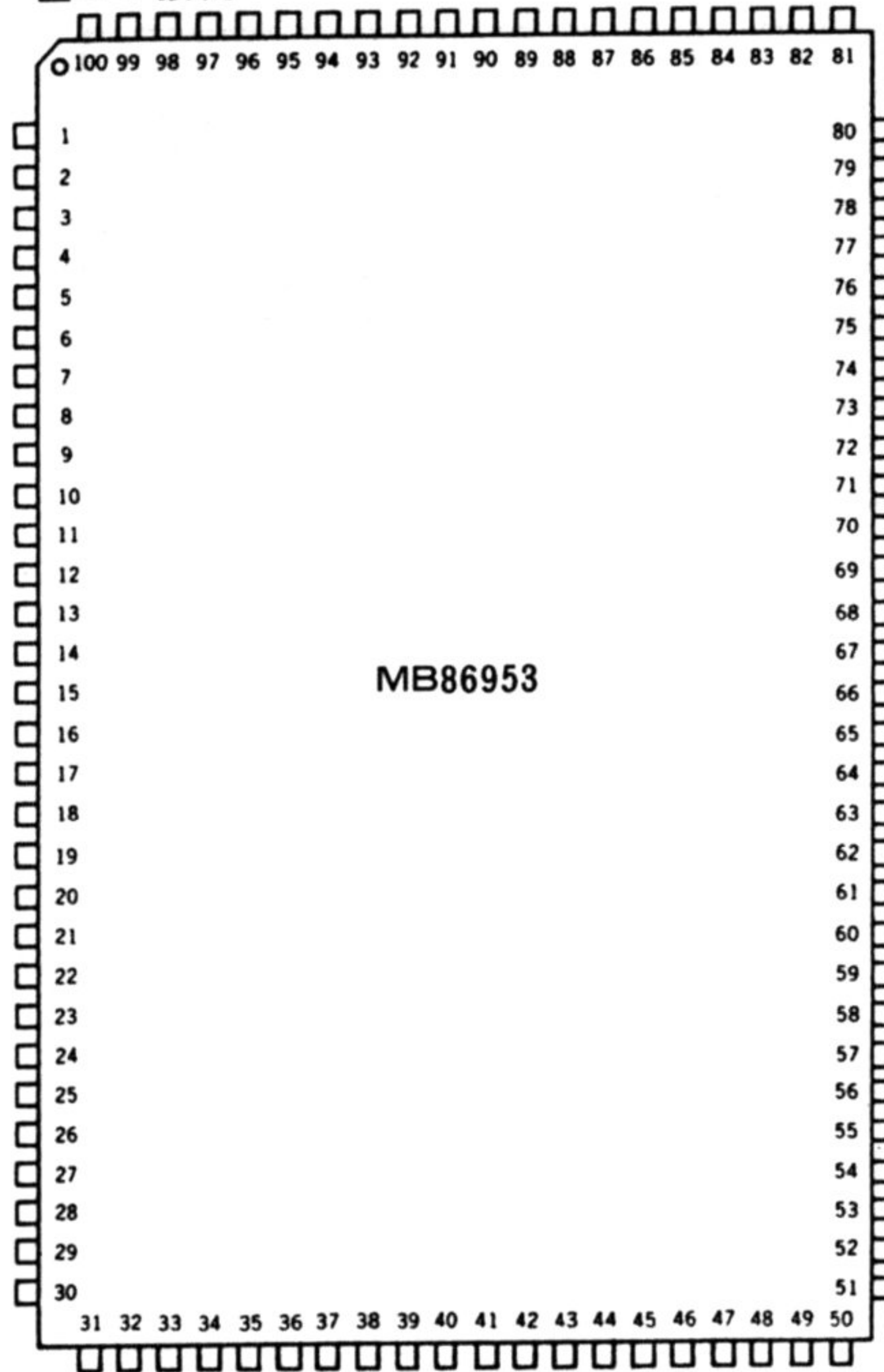
■ DC特性

記号	測 定 条 件	max/min*	単位
V_{IL}		0.9	V
V_{IH}		2.0*	V
V_{OL}	$I_{OL}=32$ mA	0.45	V
V_{OH}	$I_{OH}=5$ mA	2.4*	V
I_{IL}	$V_{IN}=5.25$V	50	μA
C_{IN}		12	pF

■端子機能

端子名	名　称	ピン番号	入出力	機　能
T	トランスミット(Transmit)	11	入　力	トランシーバのデータ転送方向をコントロールする端子．T＝"H"のとき，Aポート(A_0～A_7)が入力端子，Bポート(B_0～B_7/$\overline{B_0}$～$\overline{B_7}$)が出力端子となる．また，T＝"L"のときには，Aポート(A_0～A_7)が出力端子，Bポート(B_0～B_7/$\overline{B_0}$～$\overline{B_7}$)が入力端子となる
$\overline{OE}$	アウトプット・イネーブル (Output Enable)	9	入　力	トランスミット信号(T)で選択した出力ポートのドライバをイネーブル/ディセーブルする入力制御端子．ただし，$\overline{OE}$＝"H"のときには，すべての出力ドライバは3ステート状態になる
A_0～A_7	ローカル・バス・データ・ピン (Local Bus Data Pins)	1～8	入出力	CPUのローカル・バスに接続し，CPUとのデータ転送に使用する．また，データの転送方向は，トランスミット信号(T)でコントロールする
B_0～B_7/ $\overline{B_0}$～$\overline{B_7}$	システム・バス・データ・ピン (System Bus Data Pins)	19～12	入出力	システム・バスに接続し，メモリやI/Oデバイスとのデータ転送に使用する．また，データの転送方向は，トランスミット信号(T)でコントロールする．なお，B_0～B_7は8286，$\overline{B_0}$～$\overline{B_7}$は8287のシステム・バス・データ・ピンとなっている

PBI(PC Bus Interface)

■ピン接続

端子番号	I/O	端子名称	端子番号	I/O	端子名称	端子番号	I/O	端子名称	端子番号	I/O	端子名称
1	I	SADR4	26	I/O	SDATA1	51	-	N.C.	76	O	LSADR1
2	I	SADR5	27	-	N.C.	52	I/O	SDATA7	77	O	LSADR0
3	-	Vcc	28	-	Vcc	53	-	Vcc	78	-	Vcc
4	-	GND	29	-	GND	54	-	GND	79	-	GND
5	O	IRQ	30	I	-AEN	55	O	LBA6/-ROUT	80	O	-DSEL
6	I	SADR6	31	I	CHRESET	56	O	LBA1/-WEH	81	O	-RSEL/-ECS
7	I	SADR7	32	I/O	SDATA2	57	O	LBA0/-WEL	82	I	-RINT
8	I	SADR8	33	-	N.C.	58	O	LBA2/LADR	83	I	-TINT/-INT
9	I	SADR9	34	I/O	SDATA3	59	O	LBA5	84	I	-READY
10	I	SYSCLK	35	-	N.C.	60	O	LBA3/-SHE	85	O	RESET
11	I	-DMACK	36	I/O	SDATA4	61	O	LBA4/-TOE	86	O	-ROMSEL
12	I	SADR14	37	-	N.C.	62	I	BA6	87	I/O	IDATA7
13	O	IOCHRDY1	38	I	MODE0	63	I	BA5	88	I/O	IDATA6
14	O	IOCHRDY2	39	I	MODE1	64	I	-SMEMR	89	I/O	IDATA5
15	-	GND	40	-	GND	65	-	GND	90	-	GND
16	I	SADR15	41	I	MSEL2	66	I	BA4	91	I/O	IDATA4
17	I	SADR16	42	I	MSEL1	67	I	BA3/-SBHE	92	I/O	IDATA3
18	I	-IOR	43	I	MSEL0	68	I	BA2/-WE	93	I/O	IDATA2
19	I	SADR17	44	I	IOSEL2	69	I	BA1/-CAS	94	I/O	IDATA1
20	I	-IOW	45	I	IOSEL1	70	I	BA0/-RAS1	95	I/O	IDATA0
21	I	SADR18	46	I	IOSEL0	71	O	-WRITE	96	O	-IDROMSEL
22	O	-ZWS/-IO16	47	-	N.C.	72	O	-READ	97	I	SADR0
23	I	SADR19	48	I/O	SDATA5	73	I	-RAS0	98	I	SADR1
24	I/O	SDATA0	49	-	N.C.	74	O	LSADR3	99	I	SADR2
25	-	N.C.	50	I/O	SDATA6	75	O	LSADR2	100	I	SADR3

■特　徴

- ＬＡＮアダプタとＩＢＭ　ＰＣ　ＸＴ／ＡＴバスまたは互換ＰＣバスとのインターフェース用ＬＳＩ
- ８ビット／１６ビット・バスとの接続可能
- ＬＡＮアダプタ回路の部品数低減が可能
- ＭＢ８６９５０用ＳＲＡＭバッファ・メモリ・インターフェース回路を内蔵
- 外部Ethernetノード I D用ＲＯＭのデコーディング

■ブロック図

■ DC 特性

（T_a＝0〜70℃，V_{CC}＝5 V±5％）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝3.2 mA	0.4	V
V_{OH}	I_{OH}＝2 mA	4.0*	V
I_{IL}	V_{IN}＝0〜V_{CC}	±10	μA
C_{IN}	f＝1 MHz，T_a＝25℃	16	pF

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜6.0	V
入力電圧	V_{IN}	−0.5〜V_{CC}+0.5	V
動作温度	T_{OPR}	−25〜85	℃
保存温度	T_{STG}	−40〜125	℃

■端子機能

端子名	ピン番号	入出力	機能
SADR14~SADR19	12, 16, 17, 19, 21, 23	入力	システム・バスの上位アドレス信号
SADR0~SADR9	1, 2, 6~9, 97~100	入力	システム・バスの下位アドレス信号
−AEN	30	入力	アドレス・イネーブル．システム・アドレス・バス信号が有効であることを示す
MODE0, MODE1	39, 38	入力	デバイスの動作モードを設定するモード・コントロール信号
MSEL0~MSEL2	43~41	入力	メモリ・アドレス・セレクト．−ROMSEL信号が出力されるベース・アドレスを設定する信号
IOSEL0, IOSEL1	44, 46	入力	I/Oアドレス・セレクト．コントローラが配置されるベース・アドレスを設定し，−DSEL，−RSEL，−ECSの出力を制御する
LSADR0~LSADR3	74~77	出力	システム・アドレス・バスが内部でラッチされて，コントローラにアドレス信号として出力される
−DSEL	80	出力	I/O動作がバッファ・メモリ・ポート・レジスタへのアクセスであることを示すデータ・セレクト信号
−RSEL/−ECS	81	出力	I/O動作がデータ・リンク・コントローラ・レジスタへのアクセスであることを示すレジスタ・セレクト信号
−ROMSEL	86	出力	ブートROMセレクト信号．メモリ動作がMSEL0~2信号の設定範囲外であることを示す
−IDROMSEL	96	出力	ID ROMセレクト．I/O動作がID ROMの範囲内であることを示す
−SMEMR	64	入力	システム・メモリ・リード．現在メモリ・リード・サイクル中であることを示す
−IOW	20	入力	I/Oライト．現在、I/Oライト・サイクル中であることを示す
−IOR	18	入力	I/Oリード．現在、I/Oリード・サイクル中であることを示す
−DMACK	11	入力	DMA許可信号
CHRESET	31	入力	チャネル・リセット信号で，LANアダプタ上のコントローラなどのリセットに使用する
−ZWS/−IO16	22	出力	8ビット・モードではノーウェイト・ステート信号．16ビット・モードではIOチャネル・サイズが16であることを示す
SYSCLK	10	入力	システム・バスからのクロック信号入力
RESET	85	出力	コントローラなどのリセット用出力
−READ	72	出力	リード・ストローブ信号
−WRITE	71	出力	ライト・ストローブ信号
SDATA0~SDATA7	24, 26, 32, 34, 36, 48, 50, 52	入出力	システム・データ・バスの下位バイト
IDATA0~IDATA7	87~89, 91~95	入出力	内部データ・バス
IOCHRDY1, IOCHRDY2	13, 14	出力	アドレスされたI/Oデバイスがレディであることを示すチャネル・レディ信号
IRQ	5	出力	割り込み要求出力
−TINT/−INT	83	入力	コントローラの送信割り込みまたはコントローラの割り込み要求入力を示す
−RINT	82	入力	受信割り込み入力
−READY	84	入力	要求されたバス処理動作が実行可能であることを示すレディ入力
−RAS0	73	入力	バッファ・メモリにSRAMを使用する場合のロー・アドレス・ストローブ0
BA0/−RAS1	70	入力	バッファ・アドレス0またはロー・アドレス・ストローブ1
BA1/−CAS	69	入力	バッファ・アドレス1またはコラム・アドレス・ストローブ
BA2/−WE	68	入力	バッファ・アドレス2またはライト・イネーブル信号
BA3/−SBHE	67	入力	バッファ・アドレス3またはソース・データ・バス上位バイト・イネーブル
BA6, BA5, BA4	62, 63, 66	入力	バッファ・アドレス4，5，6
LBA0/−WEL	57	出力	ラッチト・バッファ・アドレス0または下位バイト・ライト・イネーブル
LBA1/−WEH	56	出力	ラッチト・バッファ・アドレス1または上位バイト・ライト・イネーブル
LBA2/LADR	58	出力	ラッチト・バッファ・アドレス2またはラッチ・アドレス・ストローブ
LBA3/−SHE	60	出力	ラッチト・バッファ・アドレス3またはソース・データ上位バイト・イネーブル
LBA4/−TOE	61	出力	ラッチト・バッファ・アドレス4またはトランシーバ出力イネーブル
LBA5	59	出力	ラッチト・バッファ・アドレス5
LBA6/−ROUT	55	出力	ラッチト・バッファ・アドレス6またはロー・アドレス・ストローブ出力

ESC〔EISA SYSTEM COMPONENT〕

■ ピン番号

ピン	信号	ピン	信号
1	VDD	156	VDD
2	VSS	155	GPCS0#/ECS0
3	LA31#/CPG4	154	TEST#
4	LA30#/CPG3	153	PCICLK
5	LA29#/CPG2	152	IRQ14
6	LA28#/CPG1	151	IRQ15
7	LA27#/CPG0	150	IRQ12
8	LA26#	149	IRQ11
9	VSS	148	IRQ10
10	LA25#	147	IO16#
11	LA24#	146	SBHE#
12	LA16	145	M16#
13	LA15	144	SA0
14	VDD	143	SA1
15	LA14	142	OSC
16	LA13	141	BALE
17	LA12	140	DACK2#
18	VSS	139	IRQ3
19	LA11	138	IRQ4
20	LA10	137	IRQ5
21	LA9	136	IRQ6
22	LA8	135	IRQ7
23	LA7	134	AEN#
24	LA6	133	NC
25	VDD	132	NC
26	VSS	131	VDD
27	VSS	130	VSS
28	LA5	129	VSS
29	LA4	128	BCLK
30	LA23	127	DREQ1
31	LA3	126	DACK1#
32	LA22	125	DREQ3
33	LA2	124	DACK3#
34	LA21	123	IORC#
35	VSS	122	IOWC#
36	LA20	121	SMRDC#
37	MACK2#/EMACK2	120	AEN1/EAEN1
38	MACK1#/EMACK1	119	AEN2/EAEN2
39	VDD	118	AEN3/EAEN3
40	LA19	117	AEN4/EAEN4
41	MACK0#/EMACK0	116	SMWTC#
42	MREQ7#/PIRQ0#	115	CHRDY
43	LA18	114	NOWS#
44	MREQ6#/PIRQ1#	113	DREQ2
45	LA17	112	IRQ9
46	MREQ5#/PIRQ2#	111	RSTDRV
47	MREQ4#/PIRQ3#	110	IOCHK#
48	MREQ3#	109	NC
49	MREQ2#	108	NC
50	MREQ1#	107	NC
51	MREQ0#	106	REFRESH#
52	VDD	105	VDD

■ 特　徴

- 82375と組み合わせて，EISA/PCI ブリッジおよび EISAI/O サブシステムを構成できる
- EISA コンパチブル・バス・コントローラ
  —EISA と ISA 間のバス・サイクル変換機能
  —EISA のバーストおよびスタンダード・サイクルをサポート
  —ISA のノー・ウェイト・ステート・サイクルをサポート
  —バス周波数8.33MHz までサポート
- 8スロット分のアドレス，データ，コントロール・シグナルを直接ドライブ可能
- 82375および8スロット分の EISA マスターのアービトレーション機能サポート
- 2個の8259インタラプト・コントローラ，2個の8254タイマ相当機能内蔵
- ノン・マスカブル・インタラプトのジェネレーション/コントロール機能内蔵
- BIOS インターフェース内蔵

■ ブロック図

PCICLK
PERR#
SERR#
RESET#
PCI ローカル・バス・インターフェース
EISAHOLD
EISAHLDA
PEREQ#/INTA#
NMFLUSH#
SDCPYEN[13,3:1]#
SDCPYUP
SDOE[2:0]#
SDLE[3:0]#
INTCHIP0
ESC/PCEB インターフェース
SPKR
SLOWH#
タイマ
IRQ[15:9,7:3,1]
IRQ8#
INT
NMI
インタラプトコントローラ
SALE#
LASAOE#
SALAOE#
FERR#
IGNNE#
LBIOSCS#
KYBDCS#
ALTRST#
ALTA20
ABFULL
RTCALE
RTCRD#
RTCWR#
FDCCS#
DSKCHG
DLIGHT#
CRAMRD#
CRAMWR#
XBUSTR#
XBUSOE#
GPCS[2:0]#/ECS[2:0]
AEN[4:1]/EAEN[4:1]
周辺ロジック回路
EISA バス・インターフェース
BCLKOUT
BCLK
LA[31:27]#/CPG[4:0]
LA[26:24]#
LA[23:2]
BE[3:0]#
M/IO#
W/R#
EX32#
EX16#
START#
CMD#
EXRDY
SLBURST#
MSBURST#
MASTER16#
SD[7:0]
BALE
SA[1:0]
SBHE#
M16#
IO16#
MRDC#
MWTC#
SMRDC#
SMWTC#
IORC#
IOWC#
CHRDY
IOCHK#
NOWS#
OSC
REFRESH#
RSTDRV
AEN#
DMA コントローラ
DREQ[7:5,3:0]
DACK[7:5,3:0]
EOP
EISA アービタ
MREQ[7:4]#/PIRQ[0:3]#
MREQ[3:0]#
MACK[3:0]#/EMACK[3:0]
テスト
TEST

■ DC 特性

（T_a=0～85°C，V_{CC}=5 V±5％）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=1 mA	0.45	V
V_{OH}	I_{IL}=1 mA	V_{CC}−0.45*	V
I_{OL}	V_{OUT}=0.45～V_{CC}	±15	μA
I_{IL}	V_{IN}=0～V_{CC}	±15	μA
C_{IN}	f=1 MHz	15	pF

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～+5.75	V
入力電圧	V_{IN}	−0.5～V_{CC}+0.5	V
動作温度	T_{OPR}	0～+85	°C
保存温度	T_{STG}	−65～+150	°C

■ 端子機能

PCI ローカル・バス・インターフェース

端子名	ピン番号	入出力	機　　能
PCICLK	153	入　力	25MHz～33MHz の PCI クロック入力
PERR#	96	入　力	データ・パリティ・エラー発生を示す
SERR#	97	入　力	システム・エラー信号
RESET#	95	入　力	システム・リセット信号

EISA バス・インターフェース

端子名	ピン番号	入出力	機　　能
BCLKOUT	178	出　力	EISA バス・クロック出力
BCLK	128	入　力	EISA バス・クロック入力
LA[31:27]# /CPG[4:0]	3～7	入出力	EISA アドレス・バス直結のバス・ライン コンフィグレーション RAM ページ・アドレス
LA[26:24]# LA[23:2]	8, 10, 11 12～45	入出力	EISA アドレス・バス直結のバス・ライン
BE[3:0]#	55～58	入出力	EISA アドレス・バス直結のバイト・イネーブル信号
M/IO#	71	入出力	EISA バスのメモリ・サイクルまたは I/O サイクル識別信号
W/R#	70	入出力	EISA バスのライト・サイクル，リード・サイクル識別信号
EX32#	187	入出力	EISA32ビット・スレーブ・デバイス・デコード
EX16#	188	入出力	EISA16ビット・スレーブ・デバイス・デコード
START#	180	入出力	EISA のスタート・サイクルを示す信号
CMD#	179	出　力	EISA サイクル期間に出力されるコマンド信号
EXRDY	186	入出力	ウェイト・サイクル挿入用の EISA レディ信号
SLBURST#	189	入力	EISA スレーブのバースト・サイクル信号
MSBURST#	72	入出力	EISA マスターのバースト・サイクル信号
MASTER16#	206	入　力	16ビット EISA バス・マスターまたは ISA バス・マスター
SD[7:0]	59～67	入出力	システム・データ・バス直結のバス・ライン

ISA バス・シグナル

端子名	ピン番号	入出力	機　　能
BALE	141	出　力	バス・アドレス・ラッチ・イネーブル
SA[1:0]	143, 144	入出力	ISA アドレス・ビット0，1
SBHE#	146	入出力	ISA バイト・ハイ・イネーブル
M16#	145	入出力	メモリ・チップ・セレクト16
IO16#	147	入出力	16ビット I/O チップ・セレクト
MRDC#	198	入出力	ISA メモリ・デバイスのリード・サイクルを示すメモリ・リード
MWTC#	200	入出力	ISA メモリ・デバイスのライト・サイクル信号
SMRDC#	121	出　力	システム・メモリ・リード信号
SMWTC#	116	出　力	システム・メモリ・ライト信号
IORC#	123	入出力	ISA I/O スレーブ・デバイス用 I/O リード信号
IOWC#	122	入出力	ISA I/O スレーブ・デバイス用 I/O ライト信号
CHRDY	115	入出力	I/O チャネル・レディ信号
IOCHK#	110	入　力	I/O チャネル・チェック信号
NOWS#	114	入出力	ゼロ・ウェイト・ステート・バス・サイクル要求信号
OSC	142	入　力	オシレータ信号入力
RSTDRV	111	出　力	ISA バスのデバイスへのリセット・ドライブ信号
REFRESH#	106	入出力	リフレッシュ・サイクル表示信号
AEN#	134	出　力	アドレス・イネーブル信号
AEN[4:1]/ EAEN[4:1]	117～120	出　力	スロット・スペシフィック・アドレス・イネーブル信号 エンコーデッド・スロット・スペシフィック・アドレス・イネーブル信号

DMA シグナル

端子名	ピン番号	入出力	機　　能
DREQ [7:5, 3:0]	113～205	入　力	DMA リクエスト信号
DACK# [7:5, 3:0]	124～204	出　力	DMA アクノリッジ信号
EOP	190	入出力	ISA バスの TC 信号直結のエンド・オブ・プロセス

EISA アービトレーション・シグナル

端子名	ピン番号	入出力	機　　能
MREQ[3:0]#	48～51	入　力	EISA バス・マスタ・リクエスト信号
MREQ[7:4]# PIRQ[0, 3]#	42～47	入　力	EISA バス・マスタ・リクエスト信号 PCI 割り込みリクエスト信号
MACK[3:0]# EMACK[3:0]	37～207	出　力	マスタ・アクノリッジ信号 エンコーデッド・マスタ・アクノリッジ信号

タイマ・ユニット・シグナル

端子名	ピン番号	入出力	機　　能
SPKR	191	出　力	タイマ1, カウンタ2の出力でスピーカ・ドライブ信号
SLOWH#	192	出　力	タイマ2, カウンタ2の出力でスロー・ダウン CPU 信号

インタラプト・コントローラ・シグナル

端子名	ピン番号	入出力	機　　能
IRQ[15:9] IRQ8# IRQ[7:3, 1]	112～194 193 135～195	入　力	インタラプト・リクエスト信号
INT	89	出　力	CPU インタラプト
NMI	90	出　力	ノン・マスカブル・インタラプト

82374/82375インターフェース・シグナル

端子名	ピン番号	入出力	機　　能
EISAHOLD	101	出　力	EISA バス・コントロール要求用の EISA ホールド信号
EISAHLDA	100	入　力	EISA ホールド・アクノリッジ信号
PEREQ# /INTA#	99	入　力	PCI-EISA リクエスト/インタラプト・アクノリッジ
NMFLUSH#	98	入出力	82374, 82375間のフラッシュ・コントロール用ハンドシェイク
INTCHIP0	102	入出力	チップ間リザーブ信号
SDCPYEN [01:03]# SDCPYEN13#	81～83 80	出　力	バイト・コピー・イネーブル信号
SDCPYUP	76	出　力	バイト・コピー動作方向制御信号
SDOE[2:0]#	73～75	出　力	システム・データ・アウトプット・イネーブル
SDLE[3:0]#	84～87	出力	システム・データ・ラッチ・イネーブル

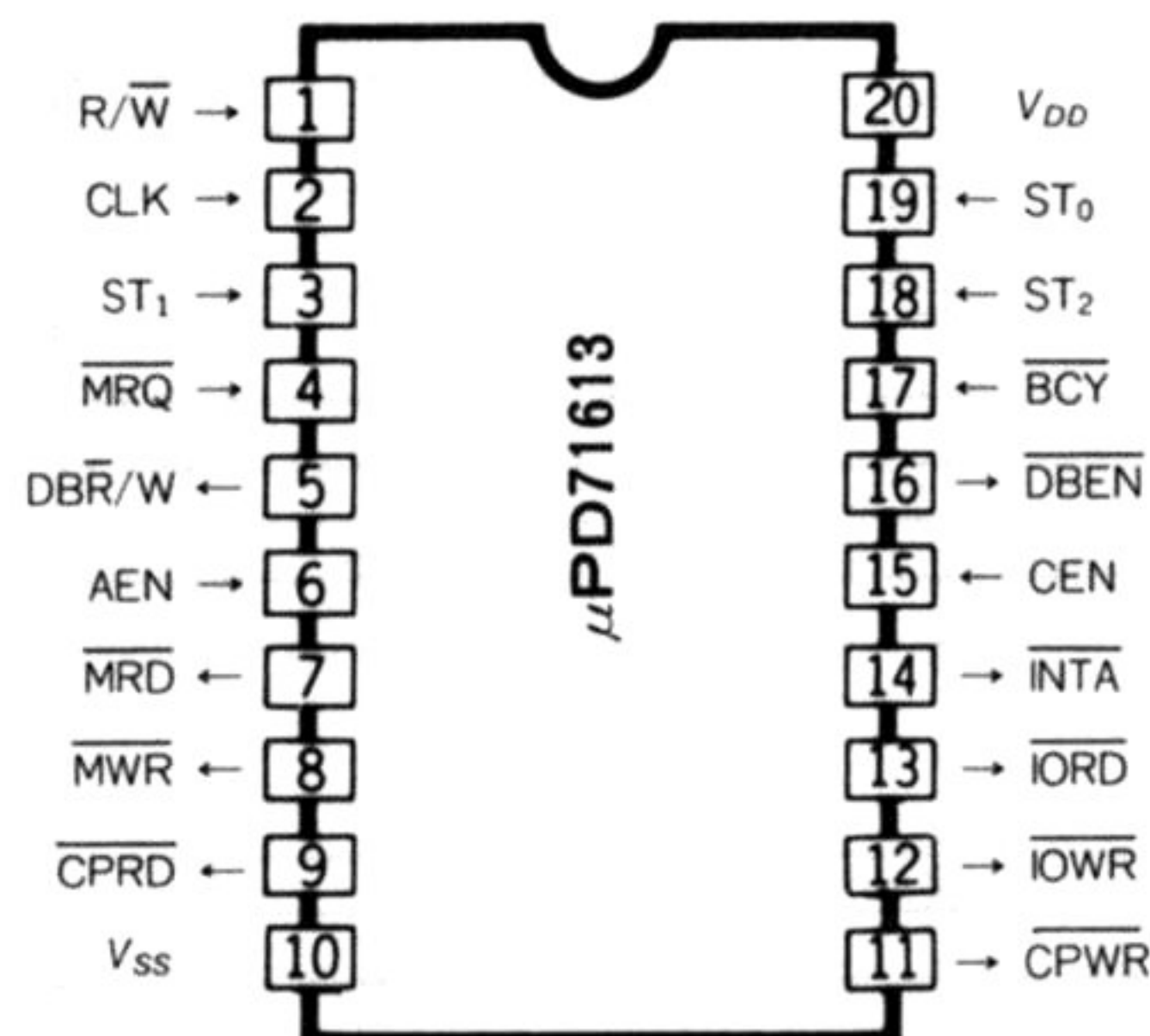
その他

端子名	ピン番号	入出力	機　　能
SALE#	176	出　力	SA ラッチ・イネーブル信号
LASAOE#	175	出　力	LA-SA アドレス出力イネーブル
SALAOE#	174	出　力	SA-LA アドレス出力イネーブル
FERR#	91	入力	ニューメリック・コプロセッサ・エラー
IGNNE#	92	出　力	イグノア・エラー
LBIOSCS#	173	出　力	ラッチド BIOS チップ・セレクト
KYBDCS#	172	出　力	キーボード・チップ・セレクト
ALTRST#	93	出　力	オルタネート・リセット信号
ALTA20	94	出　力	オルタネート A20
ABFULL	171	入　力	補助バッファ・フル信号
RTCALE	170	出　力	リアルタイム・クロック・アドレス・ラッチ・イネーブル
RTCRD#/ PIRQ3 #	169	入出力	リアル・タイム・クロック・リード・コマンド PCI インタラプト・リクエスト3
RTCWR#/ PIRQ2#	168	入出力	リアル・タイム・クロック・ライト・コマンド PCI インタラプト・リクエスト2
FDCCS#/ PIRQ1#	167	入出力	フロッピ・ディスク・コントローラ・チップ・セレクト PCI インタラプト・リクエスト1
DSKCHG	166	入　力	FD コントローラに直結するディスク・チェンジ信号
DLIGHT#/ PIRQ0#	165	入出力	固定ディスク・アクティビティ・ライト信号 PCI インタラプト・リクエスト0
CRAMRD#	164	出　力	コンフィグレーション RAM リード・コマンド信号
CRAMWR#	163	出　力	コンフィグレーション RAM ライト・コマンド信号
XBUSTR#	162	出　力	X-バス・データ送信/受信
XBUSOE#	161	出　力	X-バス・データ出力イネーブル
GPCS[2:0]# /ECS[2:0]	155～160	出　力	汎用チップ・セレクト信号 チップ・セレクト・エンコード信号

SBC (System Bus Controller)

■ ピン接続

μPD71613

信号	方向	ピン	ピン	方向	信号
R/$\overline{W}$	→	1	20		V_{DD}
CLK	→	2	19	←	ST_0
ST_1	→	3	18	←	ST_2
$\overline{MRQ}$	→	4	17	←	$\overline{BCY}$
DB$\overline{R}$/W	←	5	16	→	$\overline{DBEN}$
AEN	→	6	15	←	CEN
$\overline{MRD}$	←	7	14	→	$\overline{INTA}$
$\overline{MWR}$	←	8	13	→	$\overline{IORD}$
$\overline{CPRD}$	←	9	12	→	$\overline{IOWR}$
V_{SS}		10	11	→	$\overline{CPWR}$

■ 特　徴

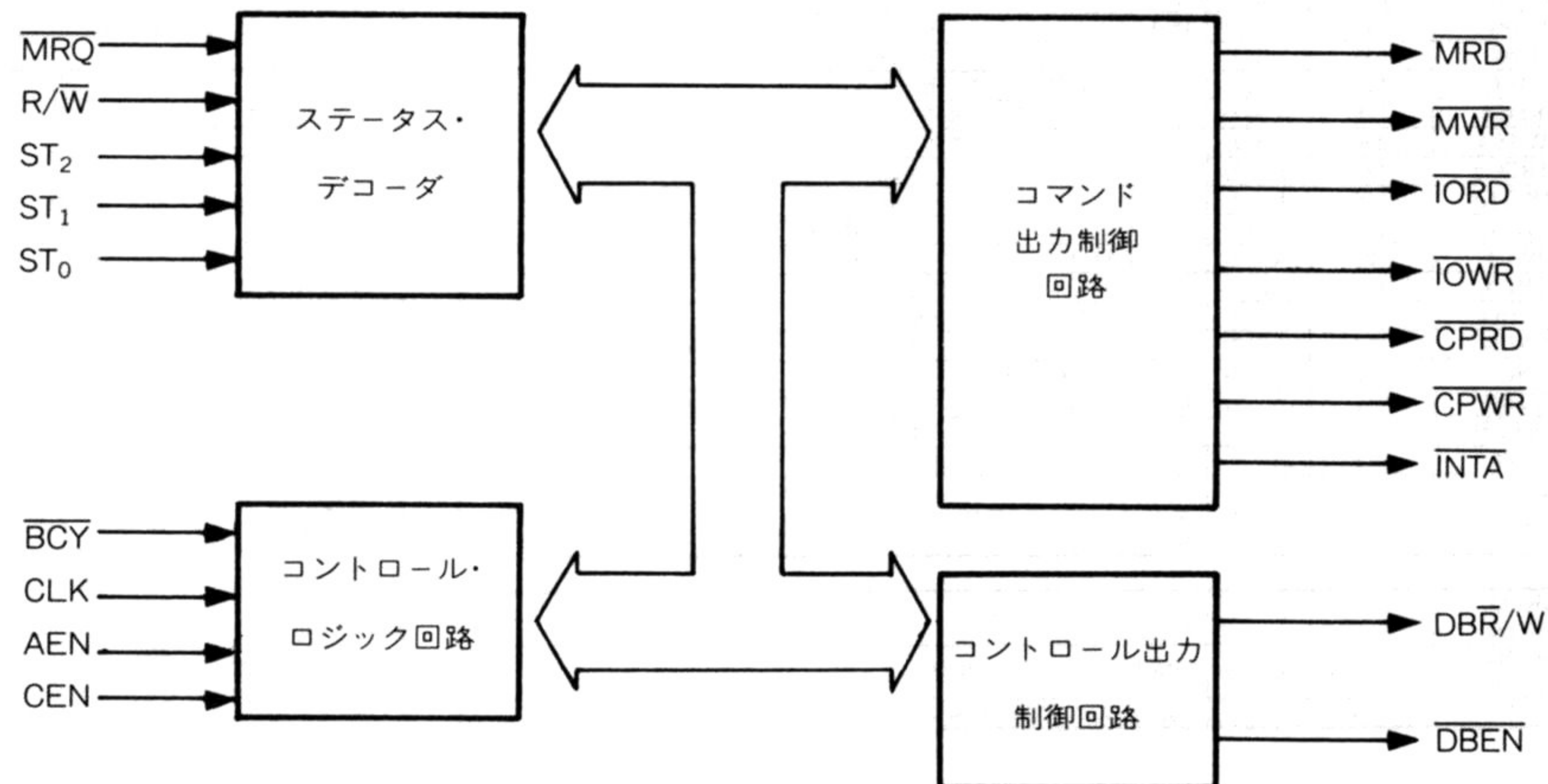
・Ｖ６０システム・バスをサポートするシステム・バス・コントローラ
・Ｖ６０からのステータス信号およびタイミング信号を受けて，コプロセッサ，メモリおよびＩ／Ｏペリフェラルの各制御コマンドを生成，出力する（３ステート）
　　リード／ライト・ストローブ信号
　　インタラプト・アクノリッジ信号
　　データ・バス・コントロール信号
・大出力ドライブ電流（１６ｍＡ）

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{DD}	−0.5〜7.0	V
入力電圧	V_{IN}	−1.0〜V_{DD}+1.0	V
消費電力	P_D	0.5	W
動作温度	T_{OPR}	−40〜+85	℃
保存温度	T_{STG}	−60〜+150	℃

■ DC特性

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}=8 mA	0.45	V
V_{OH}	I_{OH}=4 mA	V_{CC}−0.8*	V
I_{OL}		±10	μA
I_{IL}	V_{IN}=0〜V_{CC}	±1	μA
C_{IN}		12	pF

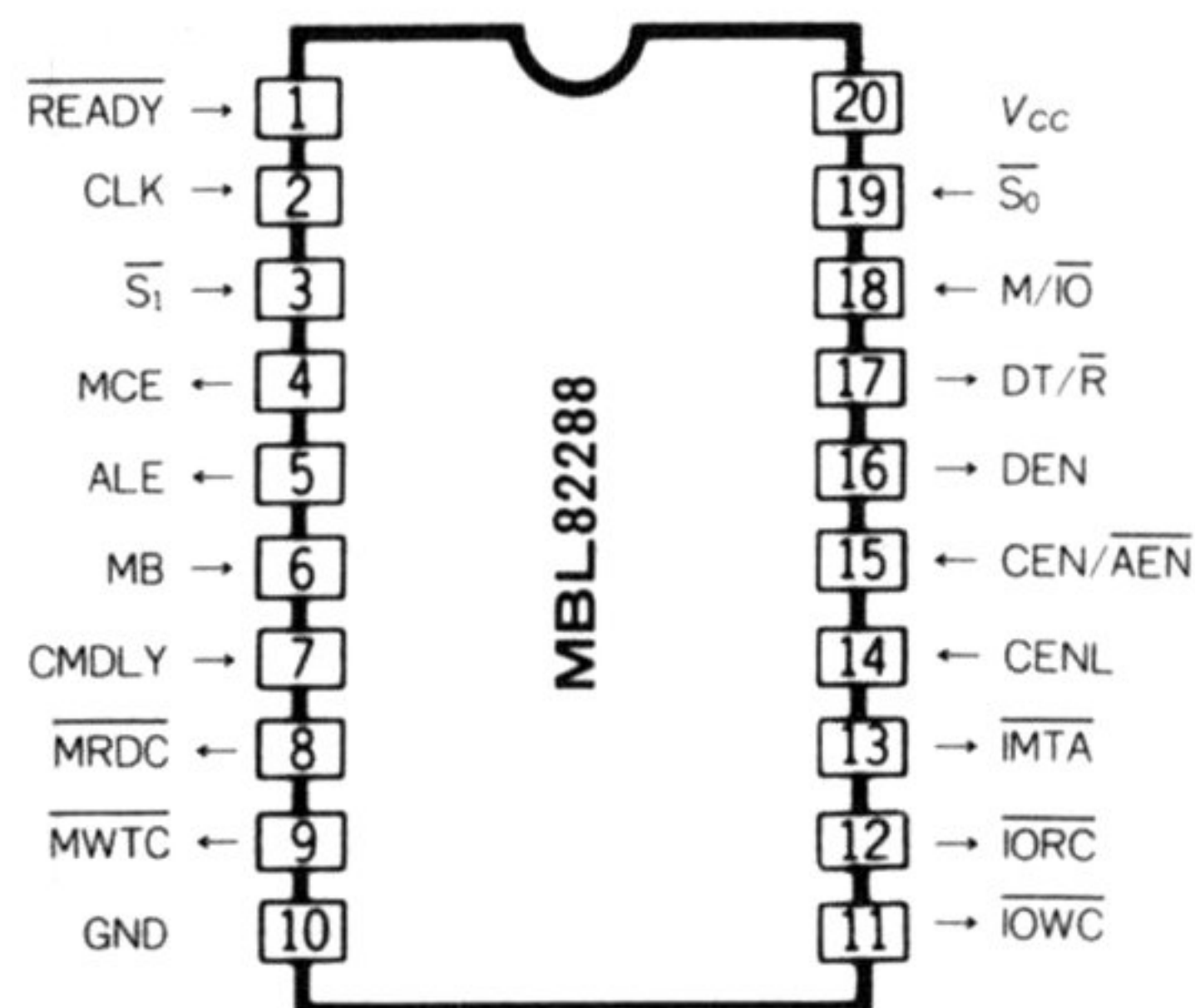
■ ブロック図

■端子機能

端子名	名　称	ピン番号	入出力	機　能
ST_0~ST_2	ステータス信号	19, 3, 18	入　力	CPUからのステータス信号を入力
$\overline{MRQ}$	メモリ・リクエスト	4	入　力	CPUからの$\overline{MRQ}$信号を入力
$R/\overline{W}$	リード/ライト	1	入　力	CPUからの$R/\overline{W}$信号を入力
$\overline{BCY}$	バス・サイクル	17	入　力	CPUからの$\overline{BCY}$信号を入力
CLK	クロック	2	入　力	CPUと同じクロックを供給
AEN	アドレス・イネーブル	6	入　力	コマンド出力バッファ制御信号．AEN=“H”で出力イネーブル，AEN=“L”でコマンド出力端子をハイ・インピーダンスにする
CEN	コマンド・イネーブル	15	入　力	コマンド出力制御信号．CEN=“H”のときコマンド信号およびDBEN信号をアクティブにし，CEN=“L”のときイン・アクティブにする
$\overline{MRD}$	メモリ・リード	7	出　力	メモリ・リード信号
$\overline{MWR}$	メモリ・ライト	8	出　力	メモリ・ライト信号
$\overline{IORD}$	I/Oリード	13	出　力	I/Oリード信号
$\overline{IOWR}$	I/Oライト	12	出　力	I/Oライト信号
$\overline{CPRD}$	コプロセッサ・リード	9	出　力	コプロセッサ・リード信号
$\overline{CPWR}$	コプロセッサ・ライト	11	出　力	コプロセッサ・ライト信号
$\overline{INTA}$	インタラプト許可	14	出　力	割り込み要求に対するCPUからの割り込み許可信号を出力
DBEN	データ・バス・イネーブル	16	出　力	データ・バス・バッファの制御信号．DBEN=“L”のとき，CPUとメモリ－周辺デバイス間のデータ転送が可能となるようにする
$DB\overline{R}/W$	データ・バス・リード/ライト	5	出　力	データ・バスの入出力モード制御信号．$DB\overline{R}/W$=“H”のときCPUからデータを出力するCPUライト・モード，$DB\overline{R}/W$=“L”のとき外部からデータを読み込むCPUリード・モードを示す
V_{DD}	電源	20	—	電源
V_{SS}	グラウンド	10	—	グラウンド

BC (Bus Controller)

■ ピン接続

MBL82288

ピン	信号		ピン	信号
1	$\overline{\text{READY}}$ →		20	V_{CC}
2	CLK →		19	← $\overline{S_0}$
3	$\overline{S_1}$ →		18	← M/$\overline{\text{IO}}$
4	MCE ←		17	→ DT/$\overline{\text{R}}$
5	ALE ←		16	→ DEN
6	MB →		15	← CEN/$\overline{\text{AEN}}$
7	CMDLY →		14	← CENL
8	$\overline{\text{MRDC}}$ ←		13	→ $\overline{\text{IMTA}}$
9	$\overline{\text{MWTC}}$ ←		12	→ $\overline{\text{IORC}}$
10	GND		11	→ $\overline{\text{IOWC}}$

■ 特　徴

- ８０２８６用バス・コントローラ
- マルチバスおよび非マルチバスの２タイプのバスをサポートしている
- アドレス・ラッチの制御，データ・トランシーバの制御、標準レベルのコマンド出力を行うために使用される
- ローカルおよびシステム・バスのためのコマンドおよびコントロール信号を生成する
- データ・バスはデータ・イネーブルおよび方向制御

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～7.0	V
入力電圧	V_{IN}	−0.5～7.0	V
消費電力	P_D	1	W
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−65～+150	℃

■ DC特性

(T_a=0～+70℃ V_{CC}=5V±5%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=16mA	0.45	V
V_{OH}	I_{OH}=1mA	2.4*	V
I_{OL}	V_{OUT}=0.45～V_{CC}	±10	μA
I_{IL}	V_{IN}=0～V_{CC}	±10	μA
C_{IN}		10	pF

■ ブロック図

ステータス: $\overline{S_0}$, $\overline{S_1}$, M/$\overline{\text{IO}}$ → ステータス・デコーダ

コマンド出力ロジック → $\overline{\text{INTA}}$, $\overline{\text{IORC}}$, $\overline{\text{IOWC}}$, $\overline{\text{MRDC}}$, $\overline{\text{MWTC}}$（コマンド出力）

CLK → ステート・マシン

コントロール入力: CEN/$\overline{\text{AEN}}$, CENL, CMDLY, $\overline{\text{READY}}$ → コントロール入力ロジック

コントロール出力ロジック → DT/$\overline{\text{R}}$, DEN, ALE, MCE（コントロール出力）

MB

■端子機能

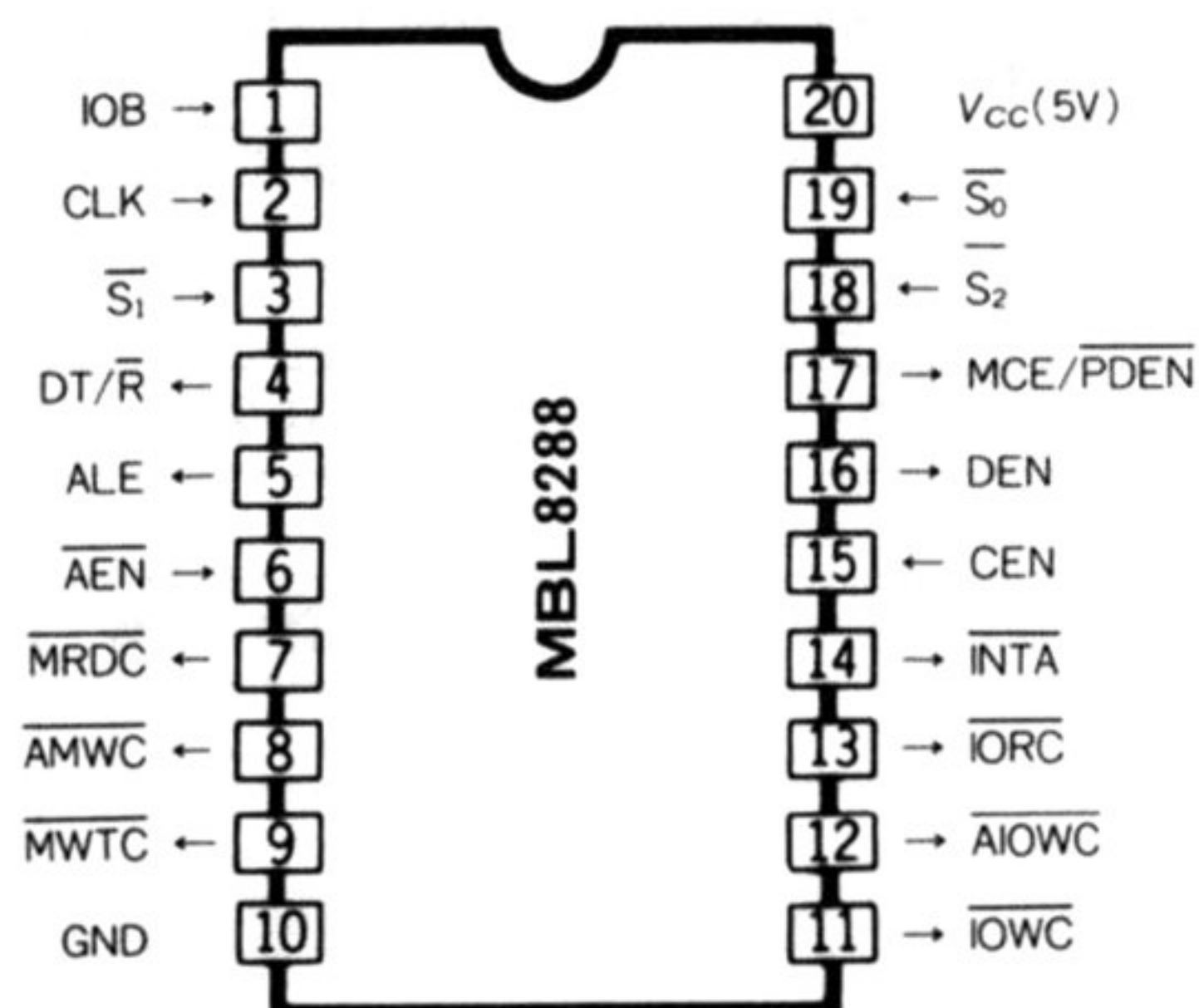
端子名	名　称	ピン番号	入出力	機　能
CLK	クロック	2	入　力	80286システムにおける82288の基本的なタイミング制御を行う．この入力の周波数は内部プロセッサ・クロック周波数の2倍
$\overline{S_0}$, $\overline{S_1}$	バス・サイクル・ステータス	19, 3	入　力	バス・サイクルを開始し，M/$\overline{IO}$と共にバス・サイクルのタイプを決定
M/$\overline{IO}$	メモリ/IOセレクト	18	入　力	現在のバス・サイクルが，メモリ空間またはI/O空間のどちらで実行されているのかを決定
MB	モード・セレクト	6	入　力	コマンドおよびコントロール出力のタイミングを決定
CENL	コマンド・イネーブル・ラッチ	14	入　力	バス・コントローラに現在のバス・サイクルを開始させるためのバス・コントローラの選択信号
CMDLY	コマンド・ディレイ	7	入　力	コマンドの開始を遅らせる信号
$\overline{READY}$	レディ	1	入　力	現在のバス・サイクルの終了を示す
CEN/AEN	コマンド・イネーブル/アドレス・イネーブル	15	入　力	バス・コントローラのコマンドおよびDEN出力を制御．この入力はCLKに同期させる必要はないが，同期入力が確実に応答できるように，指定されているセットアップおよびホールド・タイムが必要
ALE	アドレス・ラッチ・イネーブル	5	出　力	80286から出力されるアドレスを外部のアドレス・ラッチでラッチするために使用
MCE	マスタ・カスケード・イネーブル	4	出　力	マスタの8259A割り込みコントローラからのカスケード・アドレスを，ALEで制御されるアドレス・ラッチでラッチするためにCPUのアドレス・バスに出力してもよいことを示す
DEN	データ・イネーブル	16	出　力	データ・バスに接続されているデータ・トランシーバをイネーブルにするタイミングを決定
DT/$\overline{R}$	データ・トランスミット/レシーブ	17	出　力	データ・バス上のデータの入出力の方向を決定
$\overline{IOWC}$	I/Oライト・コマンド	11	出　力	I/Oデバイスへのデータがデータ・バス上に出力されていることを示す
$\overline{IORC}$	I/Oリード・コマンド	12	出　力	I/Oデバイスにデータをデータ・バス上へ出力することを指示する
$\overline{MWTC}$	メモリ・ライト・コマンド	9	出　力	メモリ・デバイスへのデータがデータ・バス上に出力されていることを示す
$\overline{MRDC}$	メモリ・リード・コマンド	8	出　力	メモリ・デバイスにデータをデータ・バス上に出力することを指示する
$\overline{INTA}$	割り込み応答	13	出　力	割り込み要求が認められたことを，割り込みを発生したデバイスに知らせる
V_{CC}	電源	20	—	＋5V電源
GND	グラウンド	10	—	グラウンド

BC (Bus Controller)

■ ピン接続

信号		ピン		ピン		信号
IOB	→	1		20		V_{CC}(5V)
CLK	→	2		19	←	$\overline{S_0}$
$\overline{S_1}$	→	3		18	←	$\overline{S_2}$
DT/$\overline{R}$	←	4		17	→	MCE/$\overline{PDEN}$
ALE	←	5		16	→	DEN
$\overline{AEN}$	→	6	MBL8288	15	←	CEN
$\overline{MRDC}$	←	7		14	→	$\overline{INTA}$
$\overline{AMWC}$	←	8		13	→	$\overline{IORC}$
$\overline{MWTC}$	←	9		12	→	$\overline{AIOWC}$
GND		10		11	→	$\overline{IOWC}$

■ 特　徴

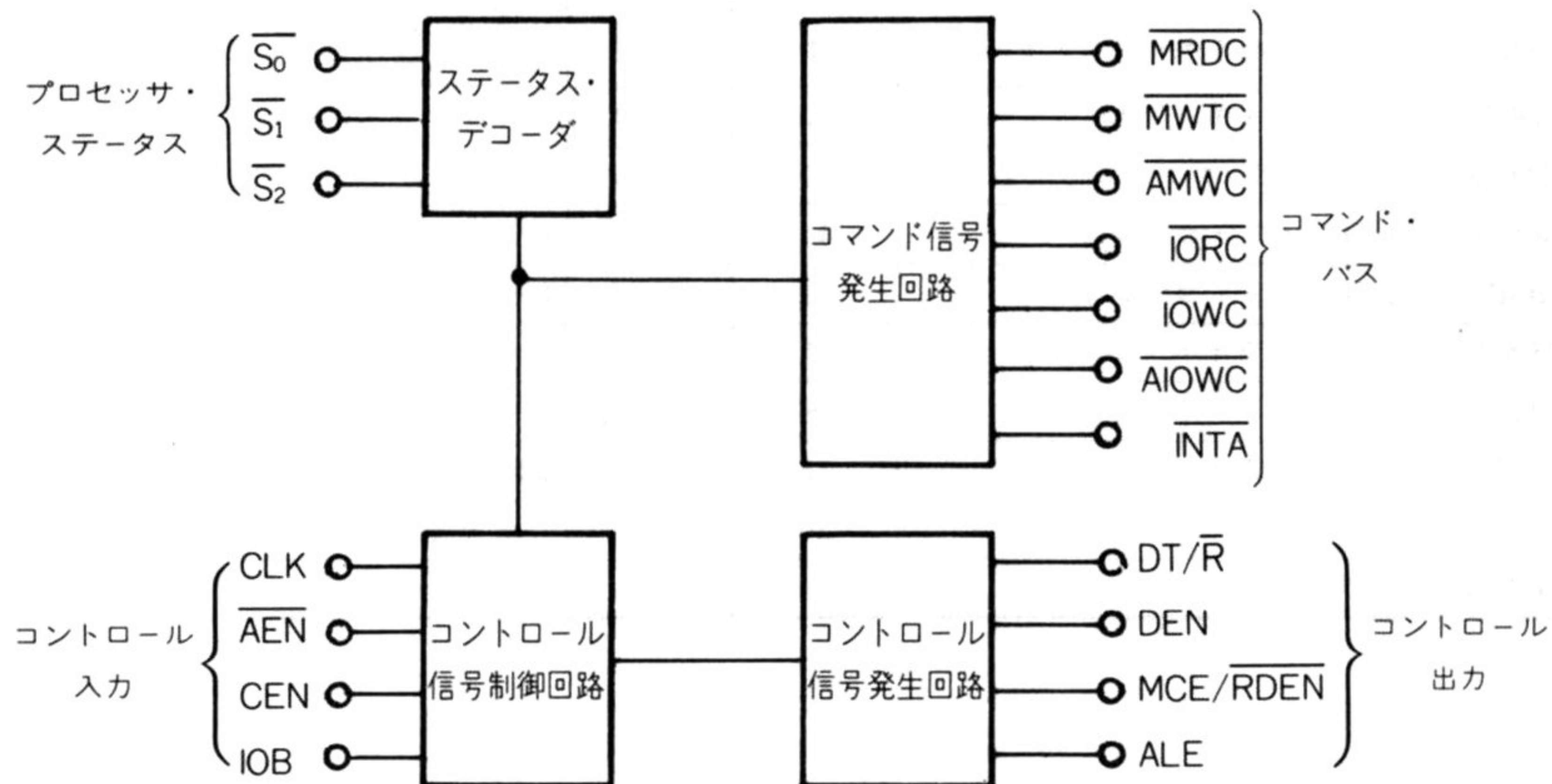
- ８０８６／８０８８システム用バス・コントローラ
- 広範囲のシステム構成に適用可能
- ８０８６／８０８８または８０８９の出力するステータス信号を解読する
- バス・アービタからの制御信号の入力端子を備えており，マルチ・マスタ構成可能
- Ｉ／Ｏバスおよびシステム・バスの制御可能
- ３ステート・コマンド・ドライバ内蔵
- アドバンスト・ライト・コマンド信号発生

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～7.0	V
入力電圧	V_{IN}	−0.5～5.5	V
消費電力	P_D	1.5	W
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−65～+150	℃

■ ブロック図

■ DC特性

(T_a=0～ +70℃，V_{CC}=5V±10%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=16mA	0.5	V
V_{OH}	I_{OH}=1mA	2.4*	V
I_{OL}	V_{OUT}=0.4～5.25V	100	μA
I_{IL}	V_{IN}=V_{CC}	50	μA

■端子機能

端 子 名	名　　称	ピン番号	入 出 力	機　　能
$\overline{S_0}$, $\overline{S_1}$, $\overline{S_2}$	ステータス入力	19, 3, 18	入　力	CPUが出力するステータス信号($\overline{S_2}$, $\overline{S_1}$, $\overline{S_0}$)の入力端子．8288はこのステータス信号を解読し適当なタイミングでコマンド信号，コントロール信号を発生する
CLK	クロック	2	入　力	8284(クロック・ジェネレータ/ドライバ)が出力するクロック信号の入力端子
$\overline{\text{AEN}}$	アドレス・イネーブル	6	入　力	I/Oバス・モード(IOB＝"H")にあるとき，I/Oコマンドは$\overline{\text{AEN}}$信号に関係なく有効．システム・バス・モード(IOB＝"L")にあるとき，$\overline{\text{AEN}}$＝"H"ではI/Oコマンドとメモリ・コマンドは3ステートである．$\overline{\text{AEN}}$＝"L"ではI/Oコマンドとメモリ・コマンドは両方とも有効
CEN	コマンド・イネーブル	15	入　力	CEN端子を"L"にすると，8288のコマンド出力およびDEN，$\overline{\text{PDEN}}$コントロール出力はインアクティブ状態になる．"H"にすると上記出力が有効となる
IOB	I/Oバス・モード	1	入　力	8288の使用バス・モードおよびMCE/$\overline{\text{PDEN}}$端子の機能を決定するための選択端子
$\overline{\text{MRDC}}$	メモリ・リード・コマンド	7	出　力	メモリ・デバイスのリード・ストローブ信号
$\overline{\text{MWTC}}$	メモリ・ライト・コマンド	9	出　力	メモリ・デバイスのライト・ストローブ信号
AMWC	アドバンス・メモリ・ライト・コマンド	8	出　力	メモリ・デバイスのライト・ストローブ信号
IORC	I/Oリード・コマンド	13	出　力	I/Oデバイスのリード・ストローブ信号
IOWC	I/Oライト・コマンド	11	出　力	I/Oデバイスのライト・ストローブ信号
AIOWC	I/Oライト・コマンド	12	出　力	I/Oデバイスのライト・ストローブ信号
$\overline{\text{INTA}}$	割り込み応答	14	出　力	割り込み要求したデバイスのアクノリッジ信号
DT/$\overline{\text{R}}$	データ方向	4	出　力	DT/$\overline{\text{R}}$信号はバス・トランシーバのデータ転送方向をコントロールする信号
DEN	データ・イネーブル	16	出　力	DEN信号はローカル・バスとシステム・バスに介在するデータ・トランシーバをイネーブルする信号
MCE/$\overline{\text{PDEN}}$	マスタ・カスケード・イネーブル	17	出　力	MCE/$\overline{\text{PDEN}}$端子は二つの機能(MCE信号出力，$\overline{\text{PDEN}}$信号出力がある)．二つの機能はIOB選択端子により選択される
ALE	アドレス・ラッチ・イネーブル	5	出　力	アドレス・ラッチ用のストローブ信号
V_{CC}	電源	20	—	電源
GND	グラウンド	13	—	グラウンド

DMA/Micro Channel Arbitration Controller

■ ピン接続

TOP VIEW

ピン	信号	ピン	信号	ピン	信号	ピン	信号
1	V_{SS}	34	V_{DD}	67	V_{SS}	100	NC
2	A11	35	D14	68	PU	101	V_{DD}
3	A10	36	D7	69	REFRESH#	102	PU
4	A9	37	D15	70	NC	103	PU
5	A8	38	NPERR#	71	IRQ13	104	RESET
6	A7	39	NPBUSY#	72	PBUSY#	105	PU
7	A6	40	NPCS#	73	INTR	106	NC
8	A5	41	NPRESET	74	NMI#	107	PBA#
9	A4	42	TO#	75	PRDYI#	108	INTA#
10	A3	43	US0#	76	HOLD	109	PU
11	A2	44	US1#	77	PU	110	PU
12	A1	45	PREEMPT#	78	V_{DD}	111	PU
13	A0	46	RFRQ#	79	HLDA	112	PU
14	V_{SS}	47	V_{DD}	80	PU	113	CLK3
15	NC	48	UCMD2#	81	PM/IO#	114	CLK2
16	V_{DD}	49	UCMD1#	82	V_{SS}	115	V_{DD}
17	NC	50	V_{SS}	83	NC	116	V_{SS}
18	D0	51	V_{DD}	84	BHE#	117	LBEN#
19	D8	52	BURST#	85	S1#	118	A23
20	D1	53	BSTO#	86	V_{DD}	119	A22
21	D9	54	V_{SS}	87	S0#	120	A21
22	V_{SS}	55	OARB3	88	DENSEL	121	A20
23	D2	56	OARB2	89	59CS#	122	A19
24	D10	57	OARB1	90	FDRQ	123	V_{SS}
25	D3	58	OARB0	91	CDEN#	124	A18
26	D11	59	ARB3	92	OPMT#	125	A17
27	D4	60	ARB2	93	DMA#	126	A16
28	D12	61	ARB1	94	CLK2	127	A15
29	D5	62	ARB0	95	CLK1	128	A14
30	D13	63	ARB/GNT#	96	PU2	129	A13
31	D6	64	FDACK#	97	PU	130	A12
32	NC	65	TC#	98	CLK1	131	V_{DD}
33	V_{SS}	66	V_{DD}	99	V_{SS}	132	NC

■ 特　徴

- ８チャネルDMAコントローラ（８／１６ビット）
- リフレッシュ・アドレス・サイクル機能
- 数値演算コプロセッサ・インターフェース内蔵
- アドレス・デコード機能
  －数値演算コプロセッサ，インタラプト・コントローラ，拡張用POSアドレス・スペース

■ ブロック図

CLK1　CLK2　CLK3

- バス・インターフェース・ユニット: A(16:23), A(0:15), D(0:15), BHE#, PM/IO, S0#, S1#, US0#, US1#, UCMD1#, UCMD2#
- 8チャネル DMA コントローラ: HOLD, HLDA, FDRQ, FDACK#, DENSEL, TC#, REFRESH#, RFRQ#
- バス・コントロール・ロジック: LBEN#, CDEN#, PBA#
- 数値計算インターフェース: NPCS#, NPRESET, NPERR#, NPBUSY#, PBUSY#, IRQ13
- セントラル・アービトレーション・コントロール・ポイント (CACP): OARB(0:3), ARB(0:3), OPMT#, PREEMPT#, ARB/GNT#, BSTO#, BURST#, TO#, DMA#
- CPU コントロール: RESET, NMI#, PRDYI#
- 8259 PIC コントロール: 59CS#, INTR, INTA#

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～+7.0	V
入力電圧	V_{IN}	−0.3～V_{CC}+0.3	V
動作温度	T_{OPR}	0 ～ +70	℃
保存温度	T_{STG}	−65～+150	℃

■ DC 特性

（T_a=0～70℃，V_{CC}=5 V±10％）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=2 mA	0.4	V
V_{OH}	I_{IL}=2 mA	2.4*	V
I_{OL}	V_{OUT}=0～V_{CC}	±10	μA
I_{IL}	V_{IN}=0～V_{CC}	±10	μA

■端子機能

端子名	ピン番号	入出力	機能
A00-23	13〜2, 130〜124, 122〜118	A0〜15 入出力 A16〜23 出力	ローカル・・アドレス・バス．A16〜23は出力のみで，DMAコントローラがバス・マスタの時にドライブされる．A0〜15は双方向バスである
D0〜15	18〜21, 23〜31 35〜37	入出力	プロセッサのローカル・データ・バス
S0#, S1#	87, 85	入出力	DMAステータス・ライン
BHE#	84	出　力	バイト・ハイ・イネーブル信号．CPUのBHE#と接続する
PM/IO#	81	入出力	CPUメモリI/Oインジケータ
US0#, US1#	43, 44	入　力	マイクロ・チャネル・ステータス端子
OARB0〜3	58〜55	出　力	DMA/CACPアービトレーション・バス出力
PBA#	107	出　力	プロセッサ・バス・アクセス．CPUバスが演算用コプロセッサまたはDMA/CACPレジスタにアクセスしていることを示す
ARB3〜0	59〜62	入　力	DMA/CACPアービトレーション・バス入力
OPMT#	92	出　力	プリエンプト・バス・マスタ
PREEMPT#	45	入　力	全マイクロ・チャネル・マスタのPREEMPT#のワイヤード・オア
ARB/GNT#	63	出　力	アービトレーション・サイクル・インジケータ
BSTO#	53	出力	バースト出力
BURST#	52	入　力	バースト・リクエスト入力
HOLD HLDA	76 79	出　力 入　力	CPUへのHOLD，HOLDアクノリッジ信号
FDRQ FDACK#	90 64	入　力 出　力	フロッピDMAリクエスト フロッピDMAアクノリッジ
TC#	65	出　力	DMA転送終了
UCMD1# UCMD2#	49 48	入　力	マイクロ・チャネル・コマンド入力端子でマイクロ・チャネルのCMD#信号でドライブされる
RFRQ#	46	入　力	リフレッシュ・サイクル・リクエスト信号

端子名	ピン番号	入出力	機能
REFRESH#	69	出　力	リフレッシュ・インジケータ
59CS#	89	出　力	インタラプト・コントローラ・チップ・セレクト（8259）
DENSEL	88	入　力	マザーボードFDC用のデンシティ選択信号
CDEN#	91	出　力	カード・セットアップ・イネーブル
CLK1, CLK2 CLK3	95, 98, 94 114, 113	入　力	クロック入力
RESET	104	入　力	同期リセット入力
INTR, INTA#	73, 108	入　力	インタラプト・リクエスト，インタラプト・アクノリッジ
NMI#	74	入出力	ノン・マスカブル・インタラプト信号
PRDYI#	75	入　力	マイクロ・プロセッサ・レディ同期入力
NPCS#	40	出　力	演算用コプロセッサのチップ・セレクト
NPRESET	41	出　力	演算用コプロセッサ・リセット
NPERR#	38	入　力	演算用コプロセッサ・エラー入力
NPBUSY#	39	入　力	演算用コプロセッサ・ビジー
PBUSY#	72	出　力	プロセッサ・ビジー出力
IRQ13	71	出　力	演算用コプロセッサ・エラー・インタラプト
LBEN#	117	出　力	ローカル・バス・イネーブル
DMA#	93	出　力	バス・マスタ用DMA/CACP
TO#	42	出　力	バス・タイムアウト出力

Micro Channel Bus Controller

■ ピン接続

TOP VIEW

■ 特　徴

- ８０３８６，８０３８６ＳＸ用のマイクロ・チャネル・バス・コントロール信号を生成
- マイクロ・チャネル・コンパチブルなバス・コントローラ
- マイクロ・チャネル上の８，１６，３２ビットのデータ転送をサポート
- キャッシュ・コントローラ８２３８５とのインターフェースを持つ

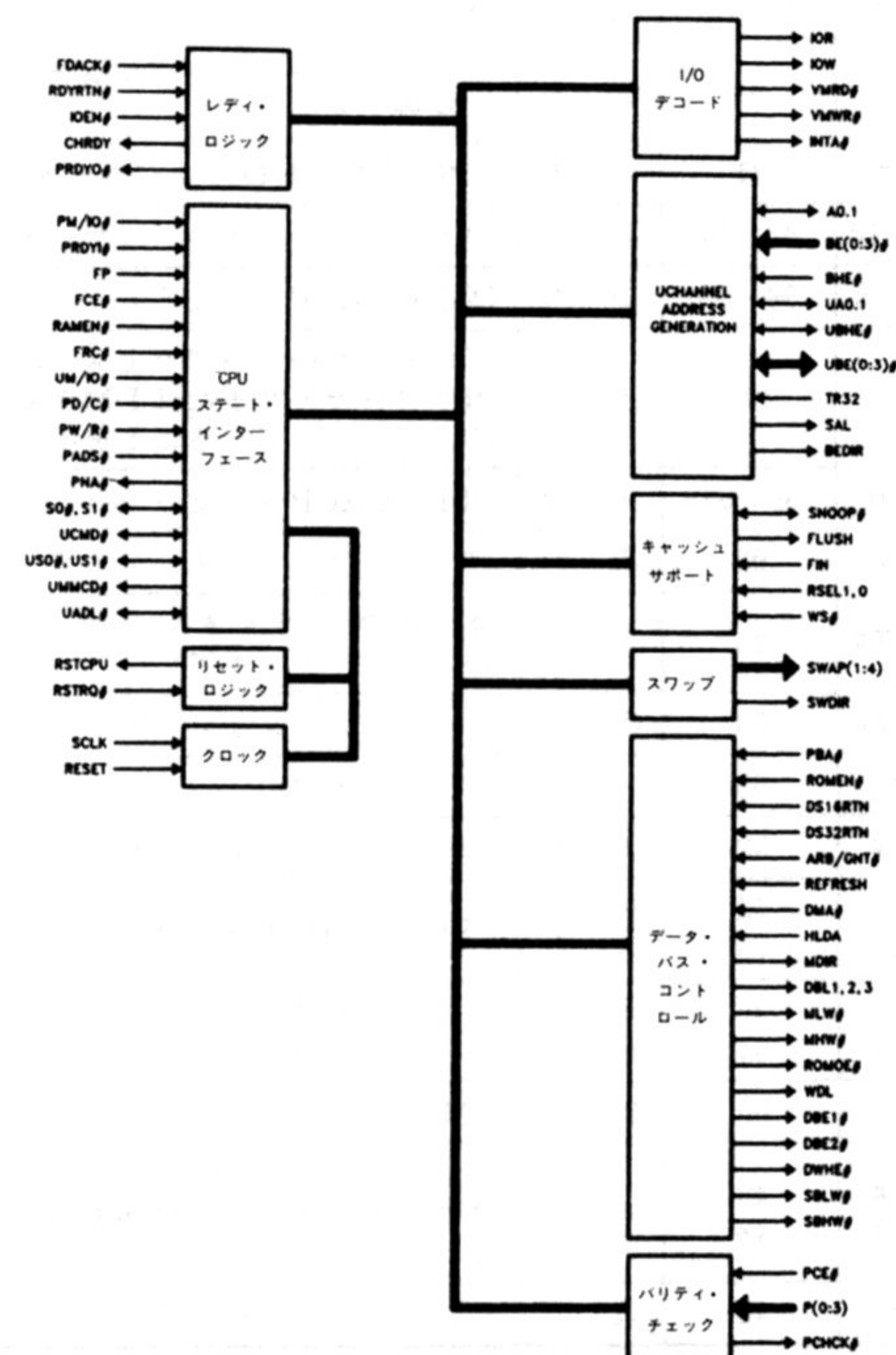
■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜+7.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.3	V
動作温度	T_{OPR}	0〜+70	℃
保存温度	T_{STG}	−65〜+150	℃

■ DC 特性

(T_a=0〜70℃, V_{CC}=5 V±10 %)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=4 mA	0.4	V
V_{OH}	I_{IL}=4 mA	2.4*	V
I_{IL}	V_{IN}=0〜V_{CC}	±10	μA

■端子機能

端子名	ピン番号	入出力	機能
RSTRQ#	87	入力	ソフトウェア・リセット
RSTCPU	91	出力	CPU リセット
PCE	82	入力	パリティ・チェック・イネーブル
P0	83	入力	DRAM ビット0～7のパリティ・エラー
P1	84	入力	DRAM ビット8～15のパリティ・エラー
P2	85	入力	DRAM ビット16～23のパリティ・エラー
P3	86	入力	DRAM ビット24～31のパリティ・エラー
PCHCK#	90	出力	パリティ・エラー出力
IOEN#	79	入力	マザーボードI/Oデバイス・アドレス・イネーブル
CHRDY	92	出力	チャネル・レディ・リターン信号
FDACK#	81	入力	FDC DACK#
IOR	97	出力	マザーボード・デバイスへのI/Oリード
IOW	98	出力	マザーボード・デバイスへのI/Oライト
VMWR#	96	出力	VGA へのメモリ・ライト・ストローブ
VMRD#	95	出力	VGA へのメモリ・リード・ストローブ
INTA#	94	出力	8259への INTA#
A0	9	入出力	CPU と DMA アドレス0
A1	10	入出力	CPU と DMA アドレス1
BHE#	100	入力	CPU と DMA からのバイト・ハイ・イネーブル信号
BE0～3#	11, 12, 14, 15	入力	80386からのバイト・イネーブル・ビット0～3
UA0	3	入出力	アンバッファ・マイクロ・チャネル・アドレス・ビット0
UA1	4	入出力	アンバッファ・マイクロ・チャネル・アドレス・ビット1
UBHE#	16	入出力	アンバッファ・マイクロ・チャネル・システム・バス・ハイ・イネーブル
UBE0～3#	5～8	入出力	アンバッファ・マイクロ・チャネル・バイト・イネーブル・ビット0～3
TR32	99	入力	マイクロ・チャネルからのトランスレート32
SAL	18	出力	システム・アドレス・バス用のラッチ・イネーブル信号
BEDIR	17	出力	UBE0～3#の方向制御信号
PBA#	48	入力	DMA または数値計算用コプロセッサ選択表示信号
ROMEN#	49	入力	BIOS ROM 選択入力
DS16RTN	50	入力	マイクロチャネル・データ・サイズ16
DS32RTN	53	入力	マイクロ・チャネル・データ・サイズ32
ARB/GNT#	54	入力	マイクロ・チャネル ARB/－GNT ステータス
REFRESEH#	55	入力	リフレッシュ・インジケータ
DMA#	56	入力	DMA がバスを占有していることを示す
HLDA	57	入力	CPU HLDA 入力
WDL	36	出力	データ・バス D0～31のラッチ・イネーブル出力
DBE1#	43	出力	CPU D0～7 上のデータ・ドライブ用出力イネーブル
DBE2#	44	出力	CPU D8～15 上のデータ・ドライブ用出力イネーブル
DWHE#	45	出力	CPU D16～31 上のデータ・ドライブ用出力イネブル
SBLW#	41	出力	マイクロ・チャネル D0～15上のデータ・ドライブ用出力イネーブル
SBHW#	42	出力	マイクロ・チャネル D16～31 上のデータ・ドライブ用出力イネーブル

端子名	ピン番号	入出力	機能
MDIR	32	出力	CPU データ・バスと DRAM メモリ・バス間の転送方向制御信号
MLW#	29	出力	CPU データ・バス D0～15 と DRAM メモリ・バス間のトランシーバ出力イネーブル信号
MHW#	30	出力	CPU データ・バス D16～31 と DRAM メモリ・バス間のトランシーバ出力イネーブル信号
ROMOE#	73	出力	BIOS ROM 用の出力イネーブル信号
SWAP1#	19	出力	マイクロ・チャネル・データ・バス0～7と8～15間のデータ転送用トランシーバ・イネーブル
SWAP2#	20	出力	マイクロ・チャネル・データ・バス0～7と16～23間のデータ転送用トランシーバ・イネーブル
SWAP3#	21	出力	マイクロ・チャネル・データ・バス8～15と24～31間のデータ転送用トランシーバ・イネーブル
SWAP4#	22	出力	マイクロ・チャネル・データ・バス0～7と24～31間のデータ転送用トランシーバ・イネーブル
SWDIR	23	出力	マイクロ・チャネル・データ・バス・トランシーバ用方向制御
DBL1	33	出力	マイクロ・チャネル・データ・バス0～7のラッチ・イネーブル
DBL2	34	出力	マイクロ・チャネル・データ・バス8～15のラッチ・イネーブル
DBL3	35	出力	マイクロ・チャネル・データ・バス16～23のラッチ・イネーブル
SCLK	58	入力	マイクロ・プロセッサ・クロック
RESET	59	入力	同期リセット入力
RDYRTN#	80	入力	マイクロ・チャネルからのチャネル・レディ・リターン信号
PRDYO#	93	出力	マイクロ・プロセッサ・レディ信号
FP	68	入力	プロセッサ速度選択（0：16MHz, 1：20MHz）
PRDYI#	60	入力	マイクロ・プロセッサ・レディ同期入力
FRC#	61	入力	ファスト ROM サイクル選択
RAMEN#	62	入力	システム・ボードの DRAM アクセス表示信号入力
FCE#	63	入力	BC と CPU システム・ボードの DRAM アクセスとの切り離し指示信号入力
UM/IO#	64	入力	マイクロ・チャネル・メモリ I/O ステータス
PD/C#	65	入力	CPU D/C#出力を接続
PW/R#	66	入力	CPU W/R#出力を接続
PADS#	67	入力	CPU ADS#出力を接続
PNA#	71	出力	アドレス・パイプ・ライン用の次アドレス信号
S0#, S1#	69, 70	入出力	DMA ステータス・ライン
UADL#	78	入出力	マイクロ・チャネル・アドレス・ラッチ信号
UMMCMD#	40	出力	マイクロ・チャネル・マッチド・メモリ・コマンド信号
UCMD#	72	入出力	マイクロ・チャネル・コマンド信号
US0#, US1#	76, 77	入出力	マイクロ・チャネル・ステータス
RSEL1, RSEL0	27 31	入力	ハードウェアによる強制リカバリ用の信号
FIN	26	入力	非同期のキャッシュ・フラッシュ・リクエスト入力信号
FLUSH	46	出力	82385に対する同期キャッシュ・フラッシュ・リクエスト
SNOOP#	47	入出力	キャッシュ・コントローラへの同期ストローブ信号
PM/IO#	28	入力	CPU M/IO#出力
WS#	39	入力	ウエイト・ステート追加信号

Address Bus Controller

■ ピン接続

TOP VIEW

Pin	Signal	Pin	Signal	Pin	Signal	Pin	Signal
1	NC	26	V_{DD}	51	NC	76	RAS0
2	V_{SS}	27	MAD07	52	NC	77	RAS1
3	D4	28	MAD08	53	A09	78	RAS2
4	D5	29	MAD09	54	A10	79	RAS3
5	D6	30	MAD10	55	A11	80	CAS0#
6	D7	31	FCES#	56	A12	81	CAS1#
7	PCE#	32	ROMEN#	57	A13	82	CAS2#
8	ERS	33	RAMEN#	58	A14	83	CAS3#
9	PD	34	IOEN#	59	A15	84	HIMEM#
10	ARB/GNT#	35	LCSCS#	60	A16	85	MADE24
11	RESET	36	VMSEL#	61	A17	86	M/IO#
12	DLY1	37	RFRQ#	62	A18	87	CMD#
13	DLY2	38	V_{SS}	63	A19	88	V_{DD}
14	DLY3	39	TMRCLK	64	A20	89	S0#
15	REFRESH#	40	TINCLK	65	A21	90	S1#
16	V_{SS}	41	PM/IO#	66	A22	91	PW/R#
17	MAD00	42	A00	67	A23	92	PD/C#
18	MAD01	43	A01	68	FRQ#	93	PADS#
19	MAD02	44	A02	69	EXEN#	94	SCLK
20	MAD03	45	A03	70	DSTB	95	HLDA
21	MAD04	46	A04	71	DLY4	96	PRDYI#
22	MAD05	47	A05	72	CHRDY	97	D0
23	MAD06	48	A06	73	WE	98	D1
24	V_{SS}	49	A07	74	V_{SS}	99	D2
25	NC	50	A08	75	NC	100	D3

NOTE:
NC = No Connect

■ 特　徴

- ページ・インタリーブ・メモリを４バンクまでコントロール可能なＤＲＡＭコントローラ
- ２５６Ｋ，１Ｍ，４ＭのＤＲＡＭコントロール可能
- マザー・ボード上のデバイス用のアドレス・デコーディング機能もサポート
- リフレッシュ・タイマ内蔵
- Ｉ／Ｏポート，レジスタ類を内蔵
- ８２３０７ＤＭＡコントローラへのリフレッシュ要求信号生成

■ ブロック図

DRAM コントローラ: inputs DLY1, DLY2, DLY3, DLY4, SCLK, HLDA, RESET, REFRESH#; DSTB (output); outputs RAS0–RAS3, CAS0#–CAS3#, WE, CHRDY, FCES#; MAD00–MAD10 (bidirectional)

リフレッシュ回路: input TINCLK; outputs RFRQ#, TMRCLK

アドレス・デコーダ: inputs PM/IO#, PRDYI#, PW/R#, PD/C#, PADS#, SO#, SI#, M/IO#, CMD#, MADE24, HIMEM#, A0–A23; outputs ROMEN#, RAMEN#, IOEN#, LCSCS#, VMSEL#, EXEN#, FRQ#

POS レジスタ/ポート: inputs ARB/GNT#, PD, ERS; D0–D7 (bidirectional); output PCE#

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～+7.0	V
入力電圧	V_{IN}	−0.3～V_{CC}+0.3	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−65～+150	℃

■ DC 特性

(T_a＝0～70℃, V_{CC}＝5 V±10 %)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝4 mA	0.4	V
V_{OH}	I_{IL}＝4 mA	2.4*	V
I_{IL}	V_{IN}＝0～V_{CC}	±10	μA

■端子機能

端子名	ピン番号	入出力	機能
A00～23	42～50, 53～67	入力	マイクロ・チャネル・アドレス00～23
HIMEM#	84	入力	マイクロ・チャネル・アドレス24から31＝FF（アクティブ・ロウ）
MADE24	85	入力	マイクロ・チャネル・アドレス24から31＝00（アクティブ・ハイ）
ROMEN#	32	出力	EPROM イネーブル
RAMEN#	33	出力	DRAM イネーブル
IOEN#	34	出力	マザーボード I/O デバイス・イネーブル
LCSCS#	35	出力	LCS（82306）用チップ・セレクト信号
VMSEL#	36	出力	VGA メモリ・スペース選択
S0#，S1#	89，90	入力	マイクロ・チャネルの S0#，S1#信号入力
PM/IO#	41	入力	マイクロ・プロセッサ M/IO#信号入力
PW/R#	91	入力	マイクロ・プロセッサ W/R#信号入力
PD/C#	92	入力	マイクロ・プロセッサ D/C#信号入力
PADS#	93	入力	マイクロ・プロセッサ ADS#信号入力
SCLK	94	入力	マイクロ・プロセッサ CLK2 信号入力
HLDA	95	入力	プロセッサからの HLDA 信号入力
PRDYI#	96	入力	プロセッサからの READY#信号入力
M/IO#	86	入力	マイクロ・チャネルの M/IO#信号入力
CMD#	87	入力	マイクロ・チャネルの CMD 信号入力
WE	73	出力	DRAM ライト・イネーブル出力
RAS0～3	76～79	出力	DRAM RAS ストローブ
CAS# 0～3	80～83	出力	DRAM CAS ストローブ・イネーブル
HAD00～10	17～23 27～30	入出力	DRAM アドレス・バス
DSTB	70	出力	ディレイ・ラインへの出力信号
DLY1～4	12～14, 71	入力	ディレイ・ラインからの入力
CHRDY	72	出力	DRAM レディ信号

端子名	ピン番号	入出力	機能
REFRESH	15	入力	リフレッシュ動作中を示す
FCES#	31	出力	BC に対する CPU のシステム・ボード・メモリへのアクセス切り離し要求
TINCLK	40	入力	リフレッシュ・タイマ用の14.3MHz クロック
RFRQ#	37	出力	リフレッシュ要求
TMRCLK	39	出力	14.3MHz クロックの12分周出力（1.19MHz）
FRQ#	68	出力	非同期キャッシュ・フラッシュ要求信号
EXEN#	69	出力	ポート 00E2～00E7 用のリード/ライト・ストローブ信号
ERS	8	入力	ポート 00E2～00E7 用のサンプリング・ストローブ信号
PD	9	入力	POS レジスタ選択信号
ARB/GNT#	10	入力	マイクロ・チャネルの ARB/GNT#信号入力
D0～7	97～100 3～6	入出力	データ・バス
PCE#	7	出力	パリティ・チェック・イネーブル
RESET	11	入力	同期リセット入力

80960 K-SERIES Bus Control μPLD

■ ピン接続

85C960

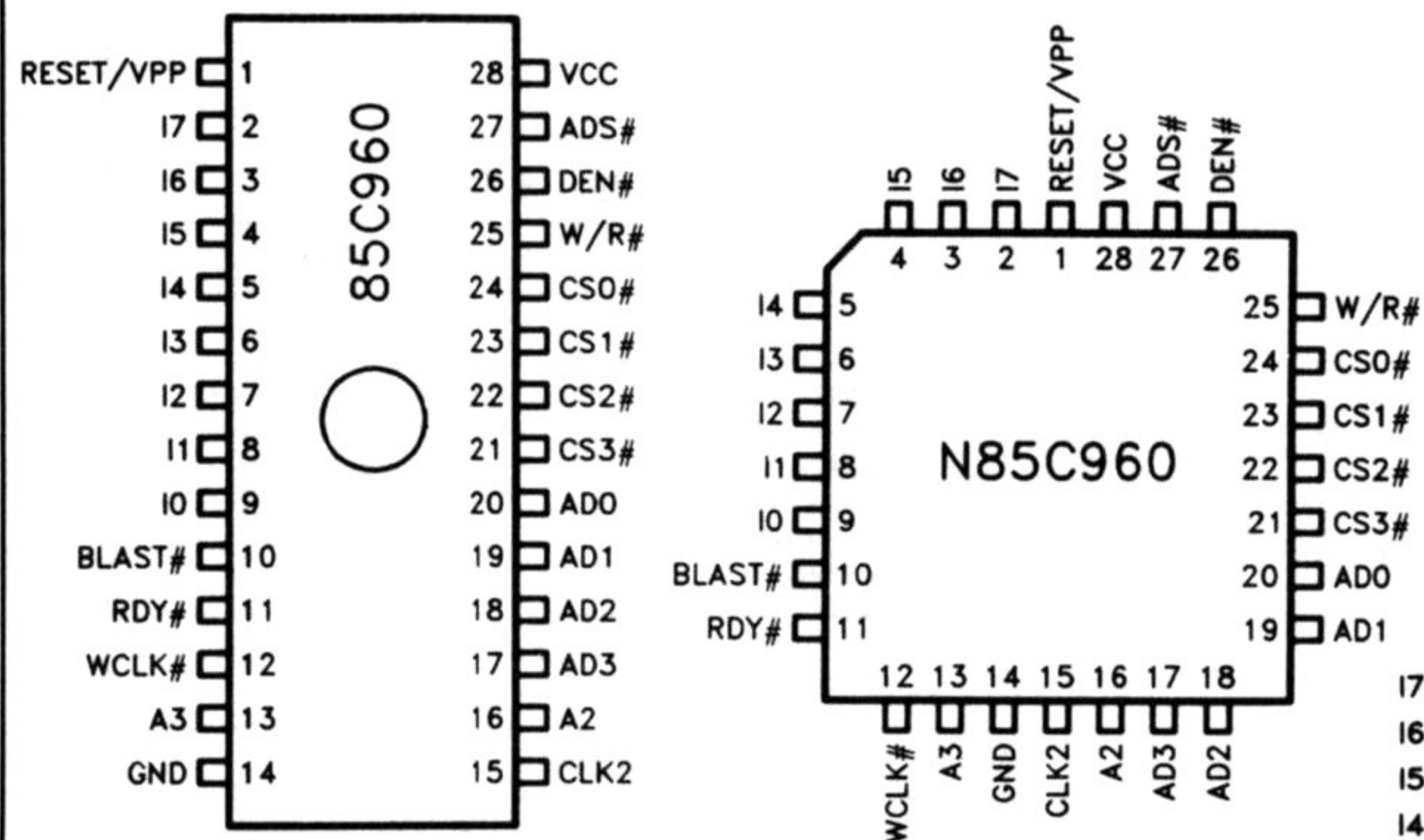
N85C960

= Active Low Signals

■ 特　徴

・８０９６０用のアドレス・デコード，レディ・コントロール，バースト・ロジックをサポートするシングル・チップのコントローラ
・ＵＶイレーザブルまたはワンタイム・プログラマブル・デバイス
・バースト・ロジックは，標準および新“バースト・モード”の両方のメモリ，周辺デバイスに対応
・レディ／タイミング・コントロールは０～１５ウエイト・ステートをサポート

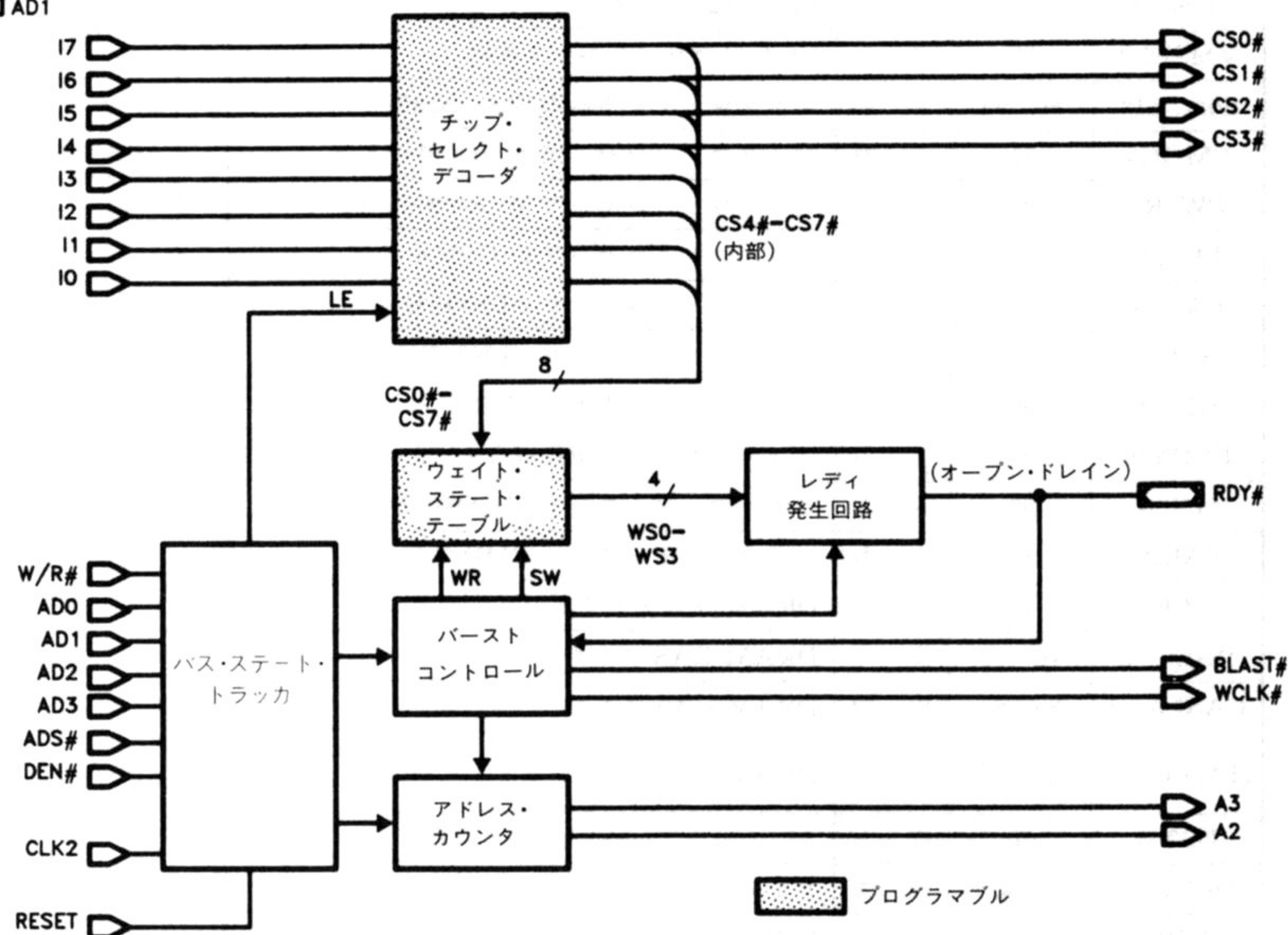
■ ブロック図

チップ・セレクト・デコーダ
ウェイト・ステート・テーブル
レディ発生回路
バス・ステート・トラッカ
バーストコントロール
アドレス・カウンタ
プログラマブル

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	－2.0～＋7.0	V
プログラム電圧	V_{PP}	－2.0～＋13.5	V
入力電圧	V_{IN}	－0.5～V_{CC}+0.5	V
動作温度	T_{OPR}	－10～＋85	℃
保存温度	T_{STG}	－65～＋150	℃

■ DC 特性

（T_a＝0～70℃，V_{CC}＝5 V±5 %）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝4 mA	0.4	V
V_{OH}	I_{IL}＝4 mA	2.4*	V
I_{OL}	V_{OUT}＝0～V_{CC}	±10	μA
I_{IL}	V_{IN}＝0～V_{CC}	±10	μA

■端子機能

端子名	名　　称	ピン番号	入出力	機　　能
RESET	リセット	1	入　力	内部回路のリセット入力．CLK2の4サイクル以上“ハイ”のときリセットされる
I7～I0	インプット7～0	2～9	入　力	プログラムされたデコード・ロジック・アレイへのアドレス・レンジ入力信号
CLK2	システム・クロック	15	入　力	85C960動作用のシステム・クロックで，80960のCLK2を接続する
AD3～AD0	アドレス3～0	17～20	入　力	アドレッシングおよびバースト・アクセス・デコード用の情報をローカル・バス（L-Bus）から供給するLAD0～LAD3によってドライブされる
W/R#	ライト/リード	25	入　力	コントローラからのライト/リード信号接続端子．“ロウ”のときリードを示し，“ハイ”のときライトを示す
DEN#	データ・イネーブル	26	入　力	コントローラからのデータ・イネーブル信号で，データがL-Bus上にあることを示す
ADS#	アドレス/データ・ストローブ	27	入　力	80960からの入力信号でL-Bus上のデータがアドレスかデータかを示す．“ロウ”のときはアドレス情報が変化中であることを示す
BLAST#	バースト・ラスト	10	出　力	“ロウ”のときは，現在のリード/ライト・アクセスがバースト・トランザクションのラスト・アクセスであることを示している
WCLK#	ライト・クロック	12	出　力	バースト・モード・アクセスをサポートしないメモリに対し供給するライト・イネーブル・ストローブ
A3，A2	アドレス出力3，2	13，16	出　力	メモリ・アドレスの下位アドレスに接続して用いる．バースト・トランザクション時にサイクル出力する
CS3#～CS0#	チップ・セレクト3～0	21～24	出　力	I7～I0のデコード出力
RDY#	レディ	11	入出力	双方向のオープン・ドレイン端子でコントローラのレディ信号に接続して使用する

LBX (Local Bus Accelerator)

■ ピン番号

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜+7.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.3	V
動作温度	T_{OPR}	0 〜 +85	℃
保存温度	T_{STG}	−40〜+125	℃

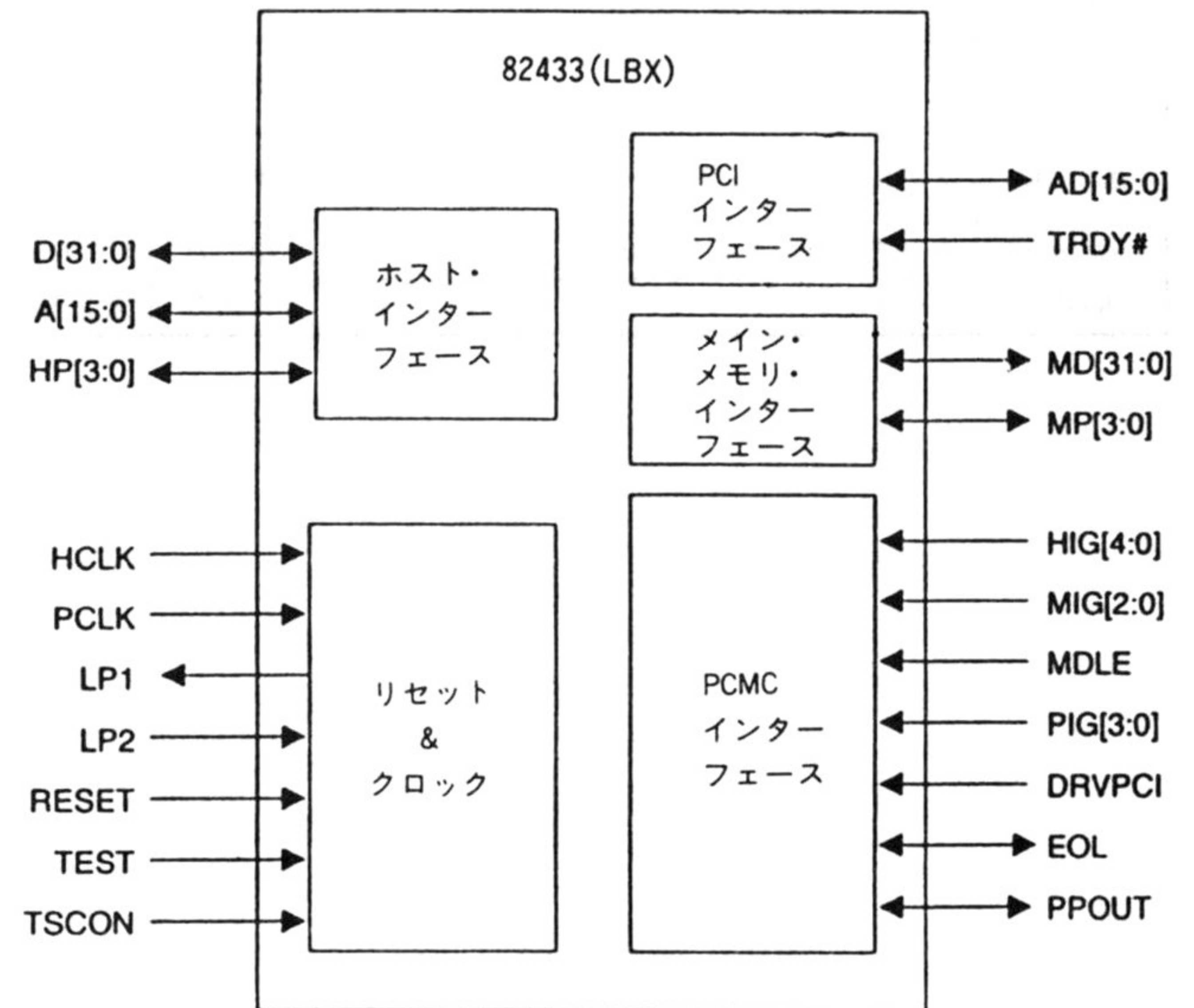
■ DC 特性

(T_a=0〜85℃, V_{CC}=5 V±5％)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=3 mA	0.4	V
V_{OH}	I_{IL}=1 mA	2.4*	V
I_{IL}		±10	μA
C_{IN}		4.6	pF

■ 特　徴

- 64ビットの66MHz Pentium プロセッサ・データ・バスに対応
  - —64ビットの CPU/キャッシュとメイン・メモリ間データ・パス
  - —32ビットの CPU バスと PCI ローカル・バス間データ・パス
  - —32ビットの PCI ローカル・バスとメイン・メモリ間データ・パス
- 五つのライト・ポスティング/リード・プリフェッチ・バッファにより，CPU および PCI マスターのパフォーマンスを向上
- デュアル・ポート・アーキテクチャによりホスト，PCI バスの同時動作が可能
- 66MHz の CPU クロック，33MHz の PCI クロックとの同期動作
- ホスト・バスおよび PCI バスからのバースト・リード/ライトをサポート
- ホスト・バスおよびメモリ・バス用のバイト・パリティ機能サポート
  - —ホスト・メモリ転送用のパリティ発生オプション
  - —ホスト・データ・バス上のセカンダリ・キャッシュのパリティ・チェック・オプション
  - —ホストおよび PCI メモリ読み出し時のパリティ・チェック
  - —PCI からメモリ書き込み時のパリティ発生

■ ブロック図

■ 端子機能

端 子 名	ピン番号	入 出 力	インターフェース	機 能
A15～A0	32～50	入出力	ホスト	双方向のアドレス・バス
D31～D0	10～159	入出力	ホスト	双方向のホスト・データ・バス
HP3～HP0	25～151	入出力	ホスト	双方向のホスト・データ・バス用パリティ
MD31～MD0	70～109	入出力	DRAM	双方向のメイン・メモリ(DRAM)データ・バス
MP3～MP0	112～115	入出力	DRAM	双方向のメイン・メモリ(DRAM)データ・バス用パリティ
AD15～AD0	116～137	入出力	PCI	双方向 PCI バス用の双方向アドレスおよびデータ・バス
TRDY#	82	入 力	PCI	選択デバイスのレディ信号
HIG4～HIG0	62～66	入 力	PCMC	ホスト・インターフェース・グループ信号で，PCMC(82434)から入力される
MIG2～MIG0	67～69	入 力	PCMC	メモリ・インターフェース・グループ信号で，PCMC(82434)から入力される
PIG3～PIG0	144～147	入 力	PCMC	PCI インターフェース・グループ信号で，PCMC(82434)から入力される
MDLE	138	入 力	PCMC	メモリ・データ・ラッチ・イネーブル
DRVPCI	143	入 力	PCMC	PCI アドレス/データ・バス上のデータがアドレスかデータかを示すドライブ PCI バス信号
EOL	123	入出力	PCMC	エンド・オブ・ライン信号
PPOUT	122	入出力	PCMC	AD15-AD0 用パリティ信号で，入出力信号は PIG3-PIG0 のコマンドに依存する
HCLK	8	入 力	—	ホスト・クロック信号入力
PCLK	142	入 力	—	PCI クロック信号入力
RESET	83	入 力	—	リセット信号入力
LP1	7	出 力	—	PLL フィルタ接続用端子
LP2	6	入 力	—	PLL フィルタ接続用端子
TEST	9	入 力	—	テスト端子．常時“L”に接続して使用
TSCON	19	入 力	—	トライ・ステート・コントロール端子．常時“H”に接続して使用

PCMC (PCI, Cache, and Memory Controller)

■ ピン番号

■ 特　徴

・64ビットの60/66MHz Pentium プロセッサに対応
・Pentium プロセッサのパイプライン・アドレッシング機能をサポート
・ライト・ポスティング/リード・プリフェッチ・バッファにより，高性能な CPU/PCI/メモリ・インターフェースを実現
・Pentium プロセッサ・プライマリ・キャッシュのライト・スルーまたはライト・バック機能をサポート
・セカンド・レベル・キャッシュ・コントローラ内蔵
　—ライト・スルーおよびライト・バック機能をサポート
　—ダイレクト・マップ機構，256K バイトおよび512K バイトのキャッシュ・サイズ
・2M～192M バイト・メイン・メモリ空間の DRAM コントローラ内蔵
・ホスト/PCI ブリッジ機能内蔵
　—CPU サイクルから PCI バス・サイクルへの変換
　—CPU～メイン・メモリおよび PCI～PCI トランザクションの同時動作可能
　—CPU～セカンド・レベル・キャッシュおよび PCI～メイン・メモリ・トランザクションの同時動作可能

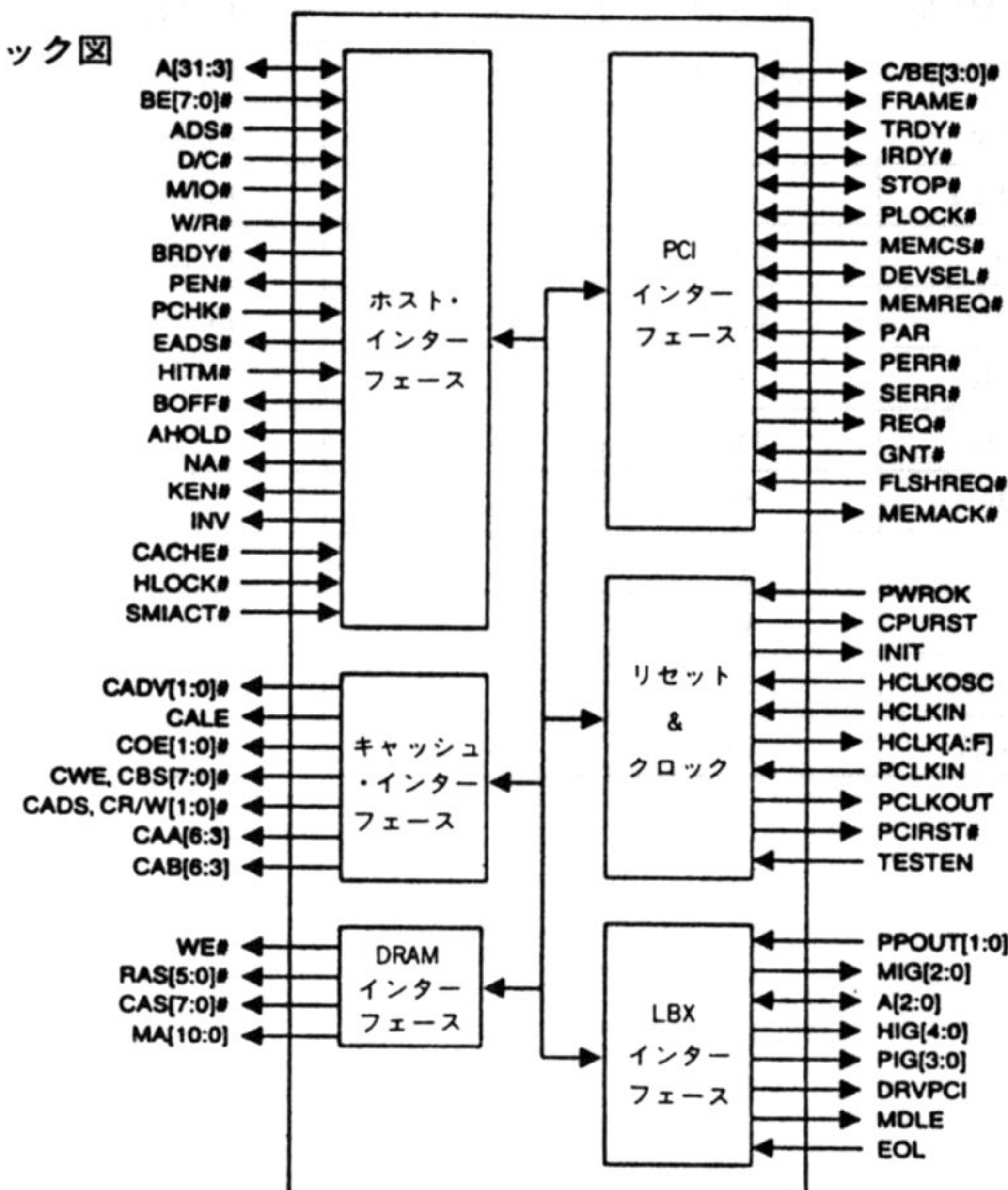
■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～+6.5	V
入力電圧	V_{IN}	−0.3～V_{CC}+0.3	V
動作温度	T_{OPR}	0～+85	°C
保存温度	T_{STG}	−55～+150	°C

■ DC 特性

(T_a=0～85°C, V_{CC}=5 V±5 %)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}=3 mA	0.4	V
V_{OH}	I_{IL}=1 mA	2.4*	V
I_{IL}		±10	μA
C_{IN}	f_c=1 MHz	12	pF

■ 端子機能

ホスト・インターフェース

端子名	ピン番号	入出力	機能
A[31:0]	2〜207	入出力	双方向のホスト・アドレス・バス
BE[7:0]#	53〜60	入力	バイト・イネーブル信号
ADS#	66	入力	アドレス・ストローブ信号入力
BRDY#	32	出力	バースト・レディ信号
NA#	31	出力	ネクスト・アドレス信号
AHOLD	33	出力	アドレス・ホールド信号
EADS#	34	出力	外部アドレス・ストローブ
INV	28	出力	無効(INVALID)信号
BOFF#	30	出力	バックオフ信号
HITM#	65	入力	ヒット・モディファイ信号
M/IO# D/C# W/R#	61 68 67	入力	バス・サイクル・タイプ表示信号 メモリ入出力，データ/コントロール，ライト/リード
HLOCK#	71	入力	ホスト・バス・ロック信号
CACHE#	64	入力	キャッシュ・リード/ライト表示信号
KEN#	29	出力	キャッシュ・イネーブル信号
SMIACT#	69	入力	システム・マネージメント・インタラプト・アクティブ信号
PEN#	27	出力	パリティ・イネーブル信号
PCHK#	72	入力	データ・パリティ・チェック信号

DRAM インターフェース

端子名	ピン番号	入出力	機能
RAS[5:0]#	123〜128	出力	MA ライン上の列アドレス・ラッチ信号
CAS[7:0]#	131〜138	出力	MA ライン上の行アドレス・ラッチ信号
WE#	108	出力	DRAM ライト・イネーブル信号
MA[10:0]	110〜122	出力	DRAM マルチプレックス・アドレス信号

キャッシュ・インターフェース

端子名	ピン番号	入出力	機能
CALE	101	出力	キャッシュ・アドレス・ラッチ・イネーブル信号
CADS[1:0]# CR/W1[1:0]#	94，93	出力	キャッシュ・アドレス・ストローブ キャッシュ・リード/ライト
CADV[1:0]#	89，88	出力	キャッシュ・アドバンス信号
CAA[6:3] CAB[6:3]	76〜84	出力	キャッシュ・アドレス信号
COE[1:0]#	85，87	出力	キャッシュ・アウトプット・イネーブル
CWE[7:0]#/ CBS[7:0]#	90〜100	出力	キャッシュ・ライト・イネーブル信号 キャッシュ・バイト・セレクト信号

PCI バス・インターフェース

端子名	ピン番号	入出力	機能
C/BE[3:0]	143〜146	入出力	PCI バス・コマンド/バイト・イネーブル
FRAME#	173	入出力	アクセスの始まり，継続を示すサイクル・フレーム信号
IRDY#	142	入出力	イニシエータ・レディ信号
TRDY#	141	入出力	ターゲット・レディ信号
DEVSEL#	170	入出力	デバイス・セレクト信号
STOP#	167	入出力	ターゲットからイニシエータへのトランザクション停止要求
PLOCK#	168	入出力	PCI ロック信号
REQ#	194	出力	PCI バス要求信号
GNT#	163	入力	PCI バス要求許可信号
MEMCS#	164	入力	メイン・メモリ・チップ・セレクト
FLSHREQ#	162	入力	フラッシュ・リクエスト信号
MEMREQ#	165	入力	メモリ・リクエスト信号
MEMACK#	195	出力	MEMREQ#または FLSHREQ#へのメモリ・アクノリッジ
PAR	171	入出力	AD[31:0] と C/BE[3:0] の偶パリティクル信号
PERR#	169	入出力	パリティ・エラー信号
SERR#	172	入出力	システム・エラー信号

LBX インターフェース

端子名	ピン番号	入出力	機能
HIG[4:0]	180〜184	出力	ホスト・インターフェース・グループ信号
MIG[2:0]	175〜179	出力	メモリ・インターフェース・グループ信号
MDLE	185	出力	メモリ・データ・ラッチ・イネーブル信号
PIG[3:0]	187〜193	出力	PCI インターフェース・グループ信号
DRVPCI	186	出力	PCI ドライブ信号
EOL	161	入力	エンド・オブ・ライン表示信号
PPOUT[1:0]	160，159	入力	PCI パリティ出力信号

リセット＆クロック

端子名	ピン番号	入出力	機能
HCLKOSC	52	入力	60/66.667MHz のオシレータ信号入力
HCLKA- HCLKF	42〜37	出力	ホスト・クロック出力
HCLKIN	50	入力	ホスト・クロック入力
CPURST	25	出力	CPU リセット信号
INIT	26	出力	イニシャライズ出力
PWROK	62	入力	パワー OK 信号
PCLKOUT	174	出力	PCI クロック出力
PCLKIN	156	入力	PCI クロック入力
PCIRST#	147	出力	PCI リセット信号
TESTEN	63	入力	テスト・イネーブル

PCI-IDE Interface Controller

■ ピン番号

PC87410VLK

ピン	信号	ピン	信号	ピン	信号	ピン	信号
1	GND	26	GND	51	GND	76	GND
2	AD23	27	GND	52	IDE_D0	77	GND
3	AD22	28	AD12	53	IDE_D1	78	IDE_D15
4	AD21	29	AD11	54	IDE_D2	79	CH1_DA0
5	AD20	30	AD10	55	IDE_D3	80	CH1_DA1
6	AD19	31	AD9	56	IDE_D4	81	CH1_DA2
7	AD18	32	AD8	57	IDE_D5	82	CH1_CS1
8	AD17	33	C_BE0	58	IDE_D6	83	HDDRST
9	AD16	34	AD7	59	IDE_D7	84	CH1_CS3
10	C_BE2	35	AD6	60	GND	85	CH1_IOR
11	FRAME	36	AD5	61	CH0_DA0	86	CH1_IOW
12	IRDY	37	AD4	62	CH0_DA1	87	CH1_INT
13	TRDY	38	AD3	63	CH0_DA2	88	IORDY1
14	CLK	39	AD2	64	CH0_CS1	89	RST
15	DEVSEL	40	AD1	65	CH0_CS3	90	AD31
16	GND	41	AD0	66	CH0_IOR	91	AD30
17	STOP	42	ENABLE	67	CH0_IOW	92	AD29
18	PERR	43	IRQ15	68	IDE_D8	93	AD28
19	SERR	44	IRQ14	69	IDE_D9	94	AD27
20	PAR	45	INTB	70	IDE_D10	95	AD26
21	C/BE1	46	INTA	71	IDE_D11	96	AD25
22	AD15	47	IORDY0	72	IDE_D12	97	AD24
23	AD14	48	CH0_INT	73	IDE_D13	98	C_BE3
24	AD13	49	HEADER	74	IDE_D14	99	IDSEL
25	V_{DD}	50	V_{DD}	75	V_{DD}	100	V_{DD}

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～+7.0	V
入力電圧	V_{IN}	−0.5～V_{CC}+0.5	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−65～+165	℃

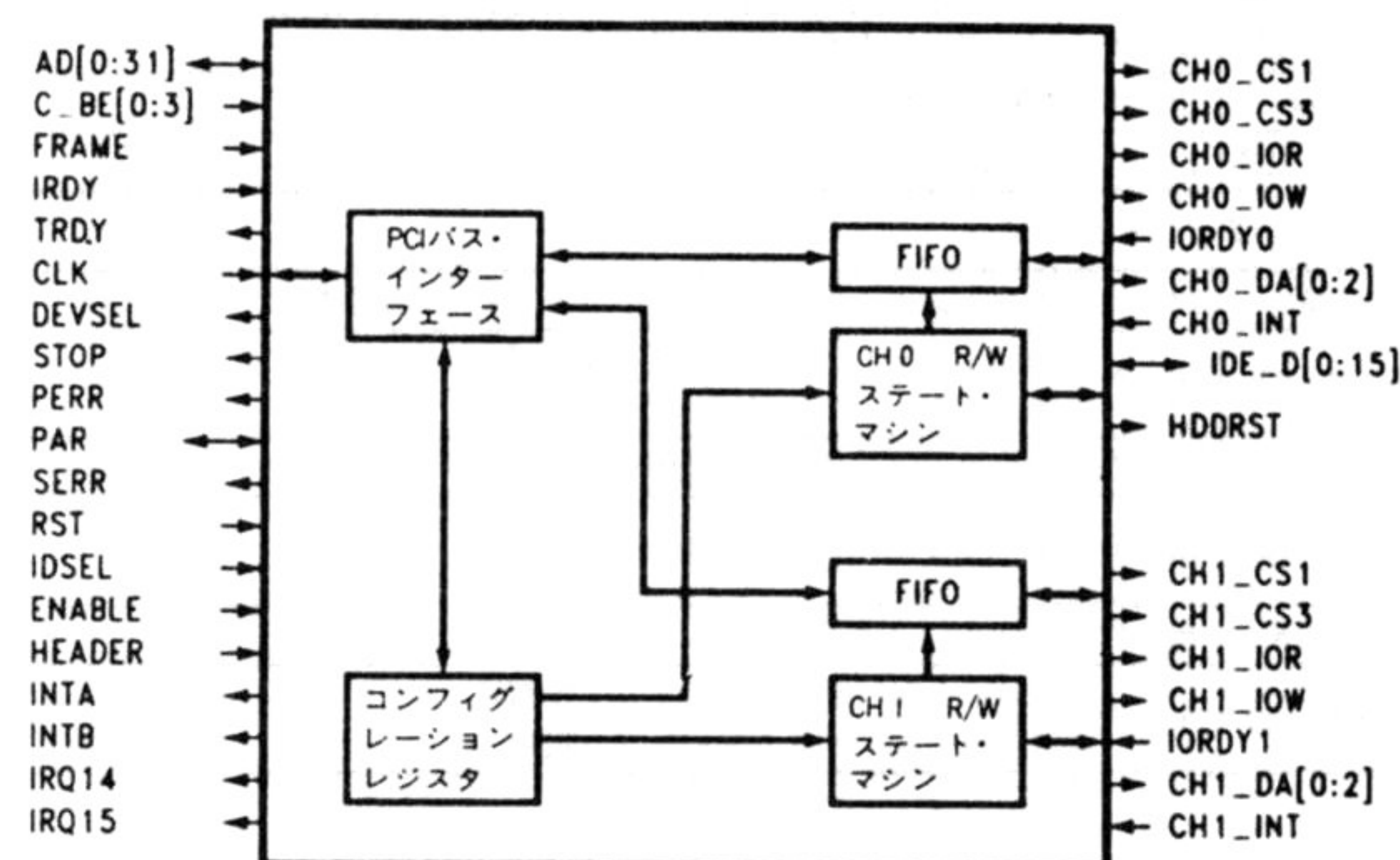
■ DC 特性

(T_a=0～70℃, V_{CC}=5 V±10 %)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=8 mA	0.4	V
V_{OH}	I_{IL}=8 mA	2.4*	V
I_{OL}	V_{OUT}=0～V_{CC}	±10	μA
I_{IL}	V_{IN}=0～V_{CC}	±10	μA

■ 特　徴

- PCI 規格 rev2.0(1993/4月)準拠
- プログラマブルなベース・アドレス・レジスタを内蔵
- 32ビットの PCI ローカル・バスと IDE ドライブとをインターフェースする
- ANSI ATA 仕様の IDE PIO タイミング・モード0, 1, 2をサポートする
- 拡張 IDE(IDE-2 or ATA-2)仕様のモード3(11MB/s)をサポート可能
- 二つの IDE-2チャネルをサポート(各チャネルが2デバイスをサポート)
- チャネル毎に，リード/ライトのリカバリ・タイミングおよびコマンドがプログラマブル
- コマンド・レジスタおよびデータ・レジスタのタイミング動作が独立
- 12mA ドライバ内蔵

■ ブロック図

■ 端子機能

端 子 名	ピン番号	入 出 力	インターフェース	機　　能
AD[31:0]		入出力	PCI	双方向のアドレスおよびデータ・バス
C/BE[3:0]	98, 10, 21, 33	入　力	PCI	コマンド/バイト・イネーブル
PAR	20	入出力	PCI	AD[31:0] と C/BE[3:0] の偶パリティ信号
FRAME#	11	入　力	PCI	アクセスの始まり，継続を示すサイクル・フレーム信号
TRDY#	13	出　力	PCI	ターゲット・レディ信号
IRDY#	12	入　力	PCI	イニシエータ・レディ信号
STOP#	17	出　力	PCI	ターゲットからイニシエータへのトランザクション停止要求信号
DEVSEL#	15	出　力	PCI	デバイス・セレクト信号
IDSEL	99	入　力	PCI	チップ・セレクト信号として用いられるイニシャリゼーション・デバイス・セレクト信号
PERR#	18	出　力	PCI	パリティ・エラー
SERR#	19	出　力	PCI	システム・エラー
INTA#, B#	46, 45	出　力	PCI	割り込み要求信号 A, B
CLK	14	入　力	PCI	33MHz までの動作が可能な PCI クロック入力
RST#	89	入　力	PCI	PCI リセット信号
IDE_D[15:0]	52～78	入出力	IDE	8/16ビットの PCI-IDE 間の双方向データ・バス
CH0_DA[2:0]	61～63	出　力	IDE	チャネル0アドレス
CH1_DA[2:0]	79～81	出　力	IDE	チャネル1アドレス
IORDY0	47	入　力	IDE	チャネル0　I/O チャネル・レディ
IORDY1	88	入　力	IDE	チャネル1　I/O チャネル・レディ
CH0_IOR#	66	出　力	IDE	チャネル0　I/O リード
CH0_IOW#	67	出　力	IDE	チャネル0　I/O ライト
CH1_IOR#	85	出　力	IDE	チャネル1　I/O リード
CH1_IOW#	86	出　力	IDE	チャネル1　I/O ライト
HDDRST#	83	出　力	IDE	IDE リセット信号出力
CH0_CS1# CH0_CS3#	64 65	出　力	IDE	チャネル0チップセレクト1 チャネル0チップセレクト3
CH1_CS1# CH1_CS3#	82 84	出　力	IDE	チャネル1チップセレクト1 チャネル1チップセレクト3
CH0_INT CH1_INT	48 87	入　力	IDE	チャネル0割り込み信号 チャネル1割り込み信号
ENABLE	42	入　力	IDE	チップ・イネーブル信号
HEADER	49	入　力	IDE	ヘッダ信号
IRQ14	44	出　力	IDE	HEADER が“H”または未接続の時は ISA IRQ14 に等しい
IRQ15	43	出　力	IDE	HEADER が“H”または未接続の時は ISA IRQ15 に等しい

PCI Controller

■ ピン番号

S5930
(120 PQFP)

ピン	信号	ピン	信号	ピン	信号	ピン	信号
1	AD23	31	AD8	61	DQ11	91	PTNUM1
2	AD22	32	C/BE0#	62	DQ10	92	PTNUM0
3	AD21	33	AD7	63	DQ9	93	IRQ#
4	AD20	34	AD6	64	DQ8	94	SYSRST#
5	AD19	35	AD5	65	BE0#	95	EWR# OR SDA
6	AD18	36	AD4	66	DQ7	96	ERD# OR SCL
7	VSS	37	VSS	67	VSS	97	VSS
8	VCC	38	VCC	68	VCC	98	VCC
9	AD17	39	AD3	69	DQ6	99	TRST#
10	AD16	40	AD2	70	DQ5	100	TMS
11	C/BE2#	41	AD1	71	DQ4	101	TCLK
12	FRAME#	42	AD0	72	DQ3	102	TDO
13	IRDY#	43	INTA#	73	DQ2	103	TDI
14	TRDY#	44	VSS	74	DQ1	104	RST#
15	DEVSEL#	45	BE3#	75	DQ0	105	BPCLK
16	STOP#	46	BE2#	76	WRFIFO#	106	CLK
17	LOCK#	47	BE1#	77	WRFULL	107	GNT#
18	PERR#	48	ADR5	78	RDFIFO#	108	REQ#
19	SERR#	49	ADR4	79	RDEMPTY	109	AD31
20	PAR	50	ADR3	80	PTADR#	110	AD30
21	C/BE1#	51	ADR2	81	PTWR	111	AD29
22	VSS	52	VSS	82	VSS	112	VSS
23	VCC	53	VCC	83	VCC	113	VCC
24	AD15	54	RD#	84	PTBURST#	114	AD28
25	AD14	55	WR#	85	PTATN#	115	AD27
26	AD13	56	SELECT#	86	PTRDY#	116	AD26
27	AD12	57	DQ15	87	PTBE0#	117	AD25
28	AD11	58	DQ14	88	PTBE1#	118	AD24
29	AD10	59	DQ13	89	PTBE2#	119	C/BE3#
30	AD9	60	DQ12	90	PTBE3#	120	IDSEL

■ 特　徴

・プロセッサに依存しない汎用PCIコントローラ
・オートコンフィグレーション機能をサポート
・マルチプレックス，バースト・モード動作
・33MHzまでのPCIバスに対応可能ISAスロットを直接ドライブ可能
・アドレスおよびデータ・パリティ機能
・3種類のアドレス空間：メモリ，I/O，コンフィグレーション
・インターフェースの異なる4種類の類似デバイス
　—S5930：16ビット・アドオン・バス，外部Non-Volatileメモリ・インターフェースがシリアル
　—S5931：16ビット・アドオン・バス，外部Non-Volatileメモリ・インターフェースがパラレル
　—S5932：32ビット・アドオン・バス，外部Non-Volatileメモリ・インターフェースがシリアル
　—S5933：32ビット・アドオン・バス，外部Non-Volatileメモリ・インターフェースがパラレル
・32ビット・データ・パス使用時，120Mバイト/秒のスループット

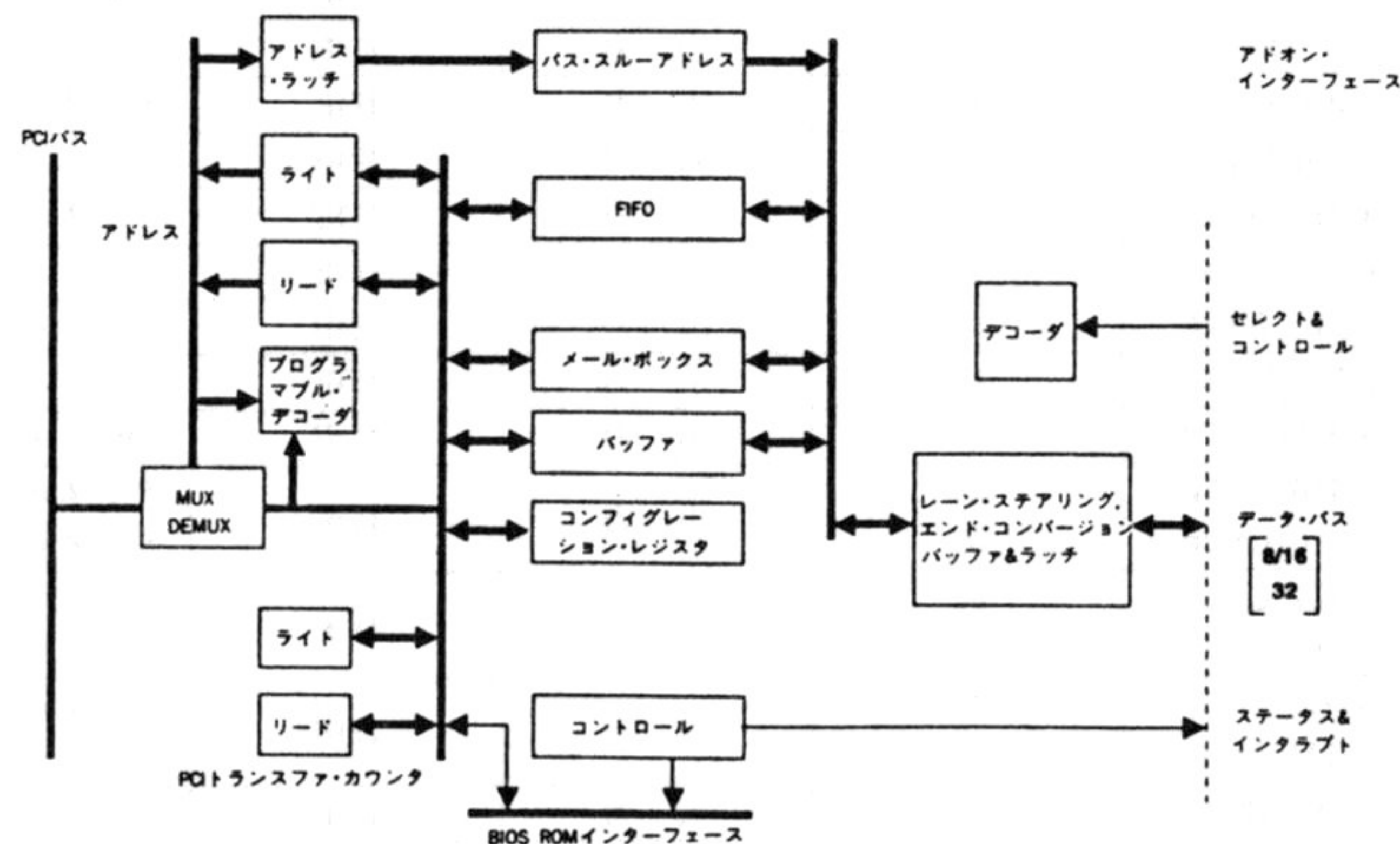
■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜+7.0	V
入力電圧	V_{IN}	−0.5〜V_{CC}+0.5	V
動作温度	T_{OPR}	0 〜+70	℃
保存温度	T_{STG}	−55〜+125	℃

■ DC特性

(T_a=0〜70℃，V_{CC}=5 V±5 %)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=3 mA	0.55	V
V_{OH}	I_{IL}=2 mA	2.4*	V
I_{IL}	V_{IN}=0.5〜2.7 V	±70	μA
C_{IN}		10	pF

■ 端子機能

PCI バス・インターフェース

端 子 名	ピン番号	入出力	機　　能
AD[31:0]	109～42	入出力	双方向のアドレスおよびデータ・バス
C/BE[3:0]	32, 21, 11, 119	入出力	バス・コマンド/バイト・イネーブル
PAR	20	入出力	AD[31:0]とC/BE[3:0]の偶パリティクル信号
CLK	106	入　力	DC～33MHz の PCI クロック入力
RST#	104	入　力	PCI リセット信号
FRAME#	12	入出力	アクセスの始まり，継続を示すサイクル・フレーム信号
IRDY#	13	入出力	イニシエータ・レディ信号
TRDY#	14	入出力	ターゲット・レディ信号
STOP#	16	入出力	ターゲットからイニシエータへのトランザクション停止要求
LOCK#	17	入　力	PCI ロック信号
IDSEL	120	入　力	イニシャリゼーション・デバイス・セレクト信号
DEVSEL#	15	入出力	デバイス・セレクト信号
REQ#	108	入出力	マスターの PCI バス要求信号
GNT#	107	入出力	CPU マスターの PCI バス許可信号
PERR#	18	入出力	パリティ・エラー
SERR#	19	入出力	システム・エラー信号
INTA#	43	入出力	インタラプト A
TCLK	101	入　力	テスト・クロック
TDI	103	入　力	テスト・データ入力
TDO	102	出　力	テスト・データ出力
TMS	100	入　力	テスト・モード・セレクト
TRST#	99	入　力	テスト・リセット入力

NON-VOLATILE インターフェース・シグナル

端 子 名	ピン番号	入出力	機　　能
SCL	96	出　力	2線式伝送インターフェース用シリアル・クロック
SDA	95	入出力	双方向のシリアル・データ/アドレス・ライン

アドオン・バス・インターフェース

端 子 名	ピン番号	入出力	機　　能
DQ[15:00]	57～75	入出力	周辺デバイス用データ・バス
ADR[5:2]	48～51	入　力	コントローラ・レジスタのアドレス選択ライン
BE3#/ADR1	45	入　力	バイト・イネーブルまたはアドレス選択ライン
BE[2:0]#	46, 47, 65	入　力	バイト・イネーブル信号
SELECT#	56	入　力	アド・オン・インターフェース選択信号
WR#	55	入　力	ライト・ストローブ信号
RD#	54	入　力	リード・ストローブ信号
WRFIFO#	76	入　力	FIFO 直接書き込み信号
RDFIFO#	78	入　力	FIFO 直接読み出し信号
WRFULL	77	出　力	DMA 転送時に使用するライト FIFO フル表示信号
RDEMPTY	79	出　力	リード FIFO エンプティ表示信号
PTATN#	85	出　力	TRDY#信号待ちを示すパス・スルー・アテンション信号
PTBURST#	84	出　力	バースト・アクセス・サイクル表示信号
PTRDY#	86	入　力	パス・スルー・レディ信号
PTNUM[1:0]	91, 92	出　力	ベース・アドレス・レジスタ番号表示信号
PTBE[3:0]#	87～90	出　力	パス・スルー・バイト・イネーブル信号
PTADR#	80	入　力	パス・スルー・アドレス入力信号
PTWR	81	出　力	パス・スルー・オペレーションのリード・ライト表示信号
SYSRST#	94	出　力	システム・リセット信号
BPCLK	105	出　力	PCI クロック出力(バッファ経由)
IRQ#	93	出　力	インタラプト出力

MFP(Multi Function Peripheral)

■ピン接続

MB89394

INDEX

64 $\overline{DSR}$ ↓ 63 $\overline{RTS}$ ↑ 62 Vcc 61 $\overline{DTR}$ ↑ 60 $\overline{RCVCLK}$ ↓ 59 RCVRDY ↑ 58 N.C 57 $\overline{TRNCLK}$ ↓ 56 RCVDT ↓ 55 RSLCT ↓ 54 IRQ00 ↓ 53 IRQ01 ↓ 52 GND 51 IRQ02 ↓ 50 IRQ03 ↓ 49 IRQ04 ↓ 48 IRQ05 ↓ 47 IRQ06 ↓ 46 IRQ07 ↓ 45 IRQ10 ↓ 44 IRQ11 ↓ 43 Vcc 42 IRQ12 ↓ 41 IRQ13 ↓

RST → 65
TRNDT ← 66
TRNEMP/ST1 ← 67
$\overline{CTS}$ → 68
SYNC/BRK ↔ 69
TRNRDY ← 70
CLK → 71
GND 72
N.C 73
OUT2 ← 74
GATE2 → 75
CLK2 → 76
OUT1 ← 77
GATE1 → 78
CLK1 → 79
OUT0 ← 80

40 ← IRQ14
39 ← IRQ15
38 ← IRQ16
37 ← IRQ17
36 ↔ SLCT0
35 ↔ SLCT1
34 → INT0
33 N.C
32 GND
31 → INT1
30 ← $\overline{INTA0}$
29 ← $\overline{INTA1}$
28 ↔ C00
27 ↔ C10
26 ↔ C01
25 ↔ C11

1 ↑ GATE0 2 ↑ CLK0 3 Vcc 4 ↕ DB7 5 ↕ DB6 6 ↕ DB5 7 ↕ DB4 8 ↕ DB3 9 ↕ DB2 10 ↕ DB1 11 ↕ DB0 12 GND 13 ↑ A1 14 ↑ A0 15 ↑ $\overline{W}$ 16 ↑ $\overline{R}$ 17 ↑ $\overline{CS4}$ 18 ↑ $\overline{CS3}$ 19 ↑ $\overline{CS2}$ 20 ↑ $\overline{CS1}$ 21 ↑ $\overline{CS0}$ 22 Vcc 23 ↕ C12 24 ↕ C02

■特　徴

- 8レベルまで優先割り込みを管理するプログラマブル・割り込みコントローラ2個内蔵
- 独立した3個のカウンタをもつプログラマブル・インターバル・タイマ内蔵
- シリアル・データの送受信が可能なＵＳＡＲＴ内蔵
- プログラマブル・ボーレート・ジェネレータ内蔵のため内部で送受信クロック供給可能
- ８０８６／８０８８系ＣＰＵに接続可能

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.3	V
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−55〜150	℃

■ DC 特性

(T_a=0〜70℃, V_{CC}=5 V±10 %)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}=2.5 mA	0.45	V
V_{OH}	I_{OH}=2.5 mA	3.0*	V
I_{OFL}	V_{OUT}=0〜V_{CC}	±10	μA
I_{IL}	V_{IN}=0〜V_{CC}	±10	μA
C_{IN}	f=1 MHz	20	pF

■各ブロック機能説明

・割り込みコントローラ
MB89259（8259）と同等の割り込みコントローラ．IRQ端子は内部プルアップ抵抗付き．

・プログラマブル・インターバル・タイマ
MB89254（8254）と同等機能を持つ．

・シリアル・データ・レシーバ／トランスミッタ
MB89251A（8251A）と同等機能を持つ．

・プログラマブル・ボーレート・ジェネレータ
シリアル・データ・レシーバ／トランスミッタにクロックを供給する．モード・レジスタとボーレート設定レジスタを内蔵しており，ユーザはリセット後にレジスタの値を設定する．

■ブロック図

MFP(Multi Function Peripheral)

■ピン接続

MB89396

INDEX

ピン	信号	ピン	信号	ピン	信号	ピン	信号
1	G0 ↑	31	→ OUT2	61	← IRQ10	91	DMAREQ11 →
2	DB7 ↕	32	← GATE2	62	← IRQ07	92	DMAREQ10 →
3	Vcc	33	← CLK2	63	Vcc	93	HLDACK1 →
4	DB6 ↕	34	→ OUT1	64	← IRQ06	94	HLDREQ1 ←
5	DB5 ↕	35	← GATE1	65	← IRQ05	95	AEN1 ←
6	DB4 ↕	36	← CLK1	66	← IRQ04	96	ADSTB1 ←
7	DB3 ↕	37	→ OUT0	67	← IRQ03	97	$\overline{OC1}$ →
8	DB2 ↕	38	← GATE0	68	← IRQ02	98	G1 →
9	DB1 ↕	39	← CLK0	69	← IRQ01	99	IN0 →
10	GND	40	← RSLCT	70	← IRQ00	100	IN1 →
11	DB0 ↕	41	↔ C12	71	→ $\overline{MW}$	101	IN2 →
12	A16 ↓	42	↔ C02	72	→ $\overline{MR}$	102	IN3 →
13	A15 ↓	43	↔ C11	73	↕ $\overline{IW}$	103	EX0 ←
14	A14 ↓	44	↔ C01	74	↕ $\overline{IR}$	104	EX1 ←
15	A13 ↓	45	GND	75	GND	105	GND
16	A12 ↓	46	↔ C10	76	← $\overline{CS4}$	106	$\overline{EX2}$ ←
17	A11 ↓	47	↔ C00	77	← $\overline{CS3}$	107	$\overline{END}$ ↔
18	A10 ↓	48	← $\overline{INTA1}$	78	← $\overline{CS2}$	108	DMAACK03 ←
19	A9 ↓	49	← $\overline{INTA0}$	79	← $\overline{CS1}$	109	DMAACK02 ←
20	GND	50	→ INT1	80	← $\overline{CS0}$	110	DMAACK01 ←
21	A8 ↓	51	→ INT0	81	← DMARST	111	DMAACK00 ←
22	A7 ↓	52	↔ SLCT1	82	← DMACLK	112	DMAREQ03 →
23	A6 ↓	53	↔ SLCT0	83	← DMARDY	113	DMAREQ02 →
24	A5 ↓	54	← IRQ17	84	→ DMAACK13	114	DMAREQ01 →
25	A4 ↕	55	← IRQ16	85	→ DMAACK12	115	DMAREQ00 →
26	A3 ↕	56	← IRQ15	86	→ DMAACK11	116	HLDACK0 →
27	A2 ↕	57	← IRQ14	87	→ DMAACK10	117	HLDREQ0 ←
28	Vcc	58	← IRQ13	88	Vcc	118	AEN0 ←
29	A1 ↕	59	← IRQ12	89	← DMAREQ13	119	ADSTB0 ←
30	A0 ↕	60	← IRQ11	90	← DMAREQ12	120	OC0 →

■特　徴

- ８レベルまで優先割り込みを管理するプログラマブル・割り込みコントローラ２個内蔵
- 独立４チャネルのＤＭＡコントローラを２個内蔵
- ＤＭＡＣ０はバイト転送用，ＤＭＡＣ１はワード転送用として使用
- 独立した３個のカウンタをもつプログラマブル・インターバル・タイマ内蔵
- ＤＭＡコントローラのデータ／アドレスを分離するアドレス・ラッチを２個内蔵
- ８０８６／８０８８系ＣＰＵに接続可能

■最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～7.0	V
入力電圧	V_{IN}	−0.3～V_{CC}+0.3	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−55～150	℃

■ DC 特性

（T_a＝0～70℃，V_{CC}＝5 V±10％）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝2.5 mA	0.45	V
V_{OH}	I_{OH}＝2.5 mA	3.0*	V
I_{OFL}	V_{OUT}＝0～V_{CC}	±10	μA
I_{IL}	V_{IN}＝0～V_{CC}	±10	μA
C_{IN}	f＝1 MHz	20	pF

■各ブロック機能説明

・割り込みコントローラ
ＭＢ８９２５９（８２５９）と同等の割り込みコントローラ．ＩＲＱ端子は内部プルアップ抵抗付き．

・ＤＭＡコントローラ
ＭＢ８９２３７（８２３７）と同等の機能を持つ．ただし，コントローラ１から出力される１６ビットのＤＭＡアドレスは，内部アドレス・バスのA16〜A1に出力されるよう設計されており，コントローラ１を用いれば１６ビット・データの転送が可能．

・プログラマブル・インターバル・タイマ
ＭＢ８９２５４（８２５４）と同等機能を持つ．

・アドレス・ラッチ
ＤＭＡコントローラから出力されるアドレスの上位８ビットをラッチし，アドレス・バスへ出力する．

・チップ・セレクト調停回路
データ・バスの衝突を防ぐため，同時に２ブロックが選択されないよう禁止する回路．

・付加回路
システム省スペース化のための４入力３出力の付加回路．

■ブロック図

MFP (Multi Fanction Peripheral)

■ ピン接続

MN12861

■ ブロック図

■ 最大定格

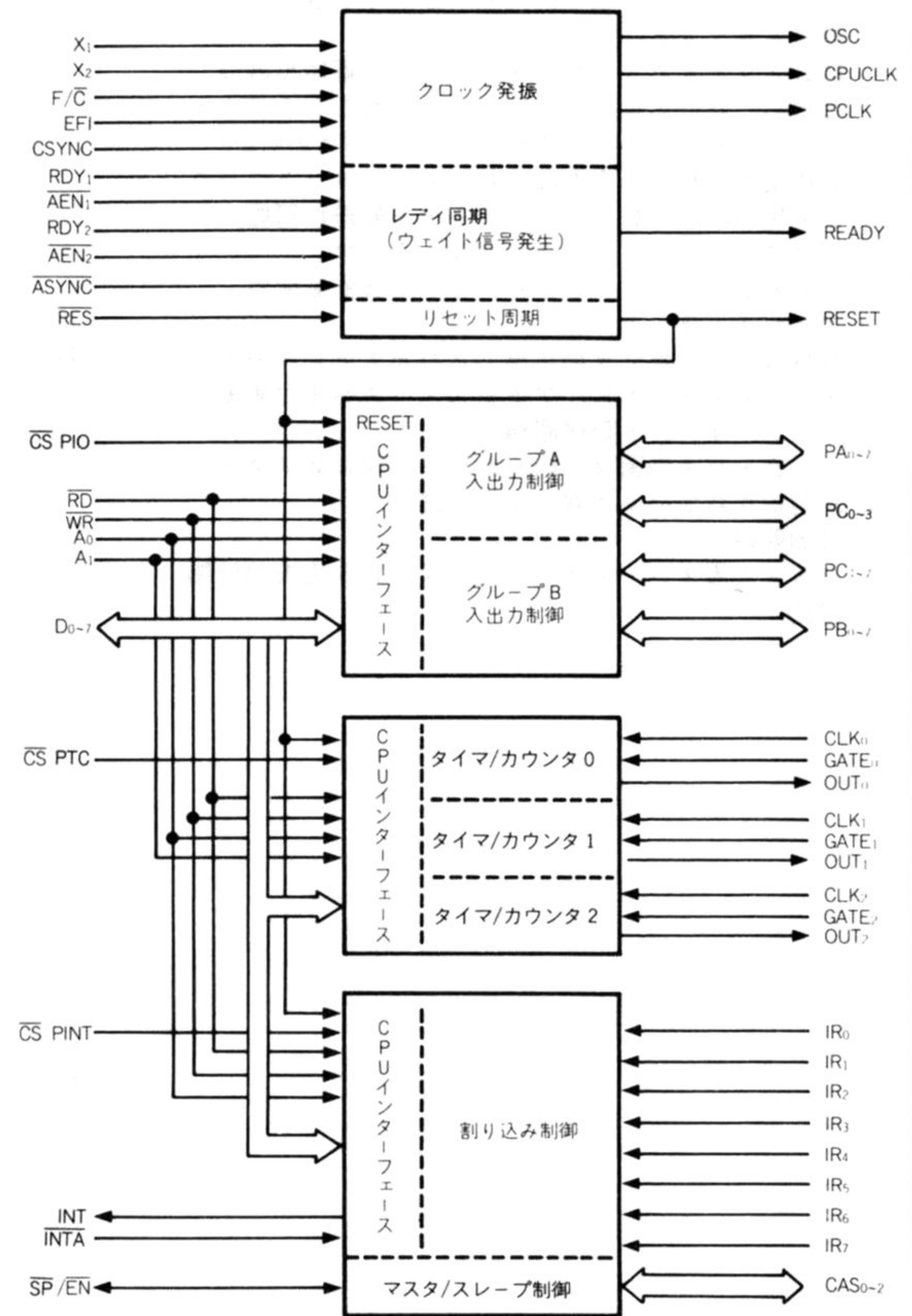
項目	記号	定格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.3	V
消費電力	P_D	0.5	W
動作温度	T_{OPR}	−20〜75	℃
保存温度	T_{STG}	−65〜150	℃

■ 特徴

- インテル系ＣＰＵと接続可能な多機能周辺ＬＳＩ
- ４機能を１チップ化.
  - クロック発生器（８２８４Ａ相当）.
  - タイマ・カウンタ（８２５４相当）.
  - プログラマブルＩ／Ｏ（８２５５Ａ相当）.
  - 割り込みコントローラ（８２５９Ａ相当）
- 各機能ブロックの端子が別個に設けられ，バス・ライン，制御線は共通
- 周辺回路のコンパクト化が可能
- 最大原発振周波数は２４ＭＨｚ
- ８ＭＨｚ版８０８６／８０８８に直接接続可能

■ DC特性

（T_a＝−20〜75℃, V_{CC}＝5V±10%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝2.2mA	0.45	V
V_{OH}	I_{OH}＝400μA	2.4*	V
I_{OL}	V_{OUT}＝0〜V_{CC}	±10	μA
I_{IL}	V_{IN}＝0〜V_{CC}	±10	μA
C_{IN}	f＝1MHz, T_a＝25℃	10	pF

■ 端子機能

端子名	名称	ピン番号	入出力	機能
D_0～D_7	データ・バス	85～78	入出力	CPUのデータに関するインターフェース端子
A_0，A_1	アドレス	74，73	入力	機能ブロック内のレジスタ，カウンタ，ポートなどのアドレスを指定する
$\overline{WR}$	ライト	89	入力	データの書き込みコントロール信号
$\overline{RD}$	リード	88	入力	データの読み出しコントロール信号
$\overline{CS}PTC$	PTCチップ・セレクト	61	入力	タイマ/カウンタ(PTC)部のリード/ライトを行うためのチップ・セレクト信号
$\overline{CS}PIO$	PIOチップ・セレクト	60	入力	I/O(PIO)部のリード/ライトを行うためのチップ・セレクト信号
$\overline{CS}PINT$	PINTチップ・セレクト	62	入力	割り込み制御(PINT)部のリード/ライトを行うためのチップ・セレクト信号
X_1，X_2	クリスタル	1，100	—	水晶振動子接続端子
RDY_1,RDY_2	バス・レディ	4，91	入力	システム・バス上のデバイスが，受信完了あるいは送信準備完了したことを示す
$\overline{AEN_1}$，$\overline{AEN_2}$	アドレス・イネーブル	5，90	入力	RDY_1およびRDY_2を有効にする信号
$\overline{ASYNC}$	アシンクロナス	6	入力	RDY_1かRDY_2かどちらかが有効になった場合のRDY信号の同期方法を選択する
CSYNC	クロック・シンクロナス	7	入力	ほかのクロック発生部との同期をとる．CSYNCは外部で，EFI入力と同期をとる
F/$\overline{C}$	クロック選択	8	入力	CPUCLK，PCLKのクロック・ソースを選択する
$\overline{RES}$	リセット入力	9	入力	リセット信号入力端子．I/O部のリセット信号も兼用
EFI	外部周波数	98	入力	F/$\overline{C}$を“H”にしたとき，EFI入力がCPUCLK，PCLKのクロック・ソースになる
OSC	オシレータ	97	出力	内部自励発振の出力
CPUCLK	CPUクロック	96	出力	CPUやCPUのローカル・バスのデバイスに供給されるシステム・クロック
PCLK	周辺クロック	94	出力	周辺デバイス用のクロック信号で，CPUCLKを2分周した信号が出力される
RESET	リセット出力	93	出力	CPUのリセット信号．$\overline{RES}$入力を“L”にすると，同期化されて出力される
READY	レディ出力	92	出力	RDY_1，RDY_2を同期化した信号
$CLK_{0\sim2}$	カウンタ・クロック	55, 56, 58	入力	カウンタ/タイマ0～2へのクロック入力信号
$OUT_{0\sim2}$	カウンタ出力	13～11	出力	カウンタ/タイマ0～2の出力信号
$GATE_{0\sim2}$	ゲート	54, 57, 10	入力	カウンタ/タイマ0～2のゲート信号．カウンタの動作開始，停止などを制御する
$PA_{0\sim7}$	ポートA	23～16	入出力	ポートAの入出力端子
$PB_{0\sim7}$	ポートB	43～40，38～35	入出力	ポートBの入出力端子
$PC_{0\sim7}$	ポートC	33～26	入出力	ポートCの入出力端子
$IR_{0\sim7}$	インタラプト入力	72～65	入力	割り込み制御部への非同期の割り込み要求信号
$\overline{INTA}$	インタラプト・アクノリッジ	53	入力	割り込みベクトルを読み出すために，CPUの割り込み処理シーケンスで出力される読み出し信号
INT	インタラプト出力	52	出力	CPUへの割り込み要求信号
$\overline{SP}/\overline{EN}$	SP/EN	48	入出力	バッファ・モードでは制御パルス出力となり，ノン・バッファ・モードではマスタ/スレーブ設定入力
$CAS_{0\sim2}$	カスケード	47～45	入出力	外部に8259Aを接続する場合のカスケード接続端子

MFP (Multi Function Peripheral)

■ ピン接続

MN12862

■ ブロック図

■ 最大定格

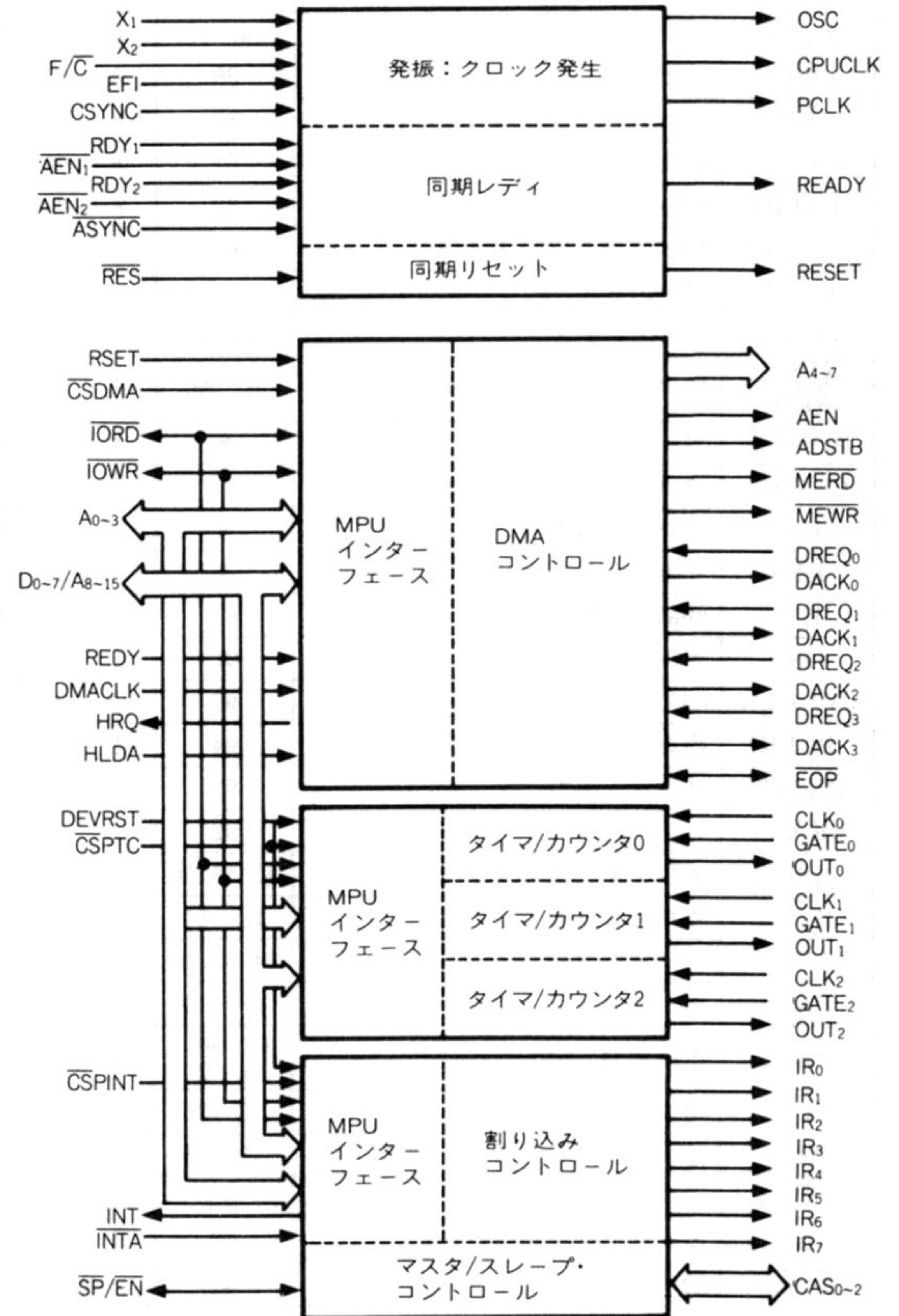
項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.3	V
消費電力	P_D	0.5	W
動作温度	T_{OPR}	−20〜70	℃
保存温度	T_{STG}	−65〜150	℃

■ DC特性

(T_a＝−20〜70℃, V_{CC}＝5V±10%)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝2.5mA	0.45	V
V_{OH}	I_{OH}＝400μA	2.4*	V
I_{OL}	V_{OUT}＝0〜V_{CC}	±10	μA
I_{IL}	V_{IN}＝0〜V_{CC}	±10	μA
C_{IN}	f＝1MHz, T_a＝25℃	10	pF

■ 特　徴

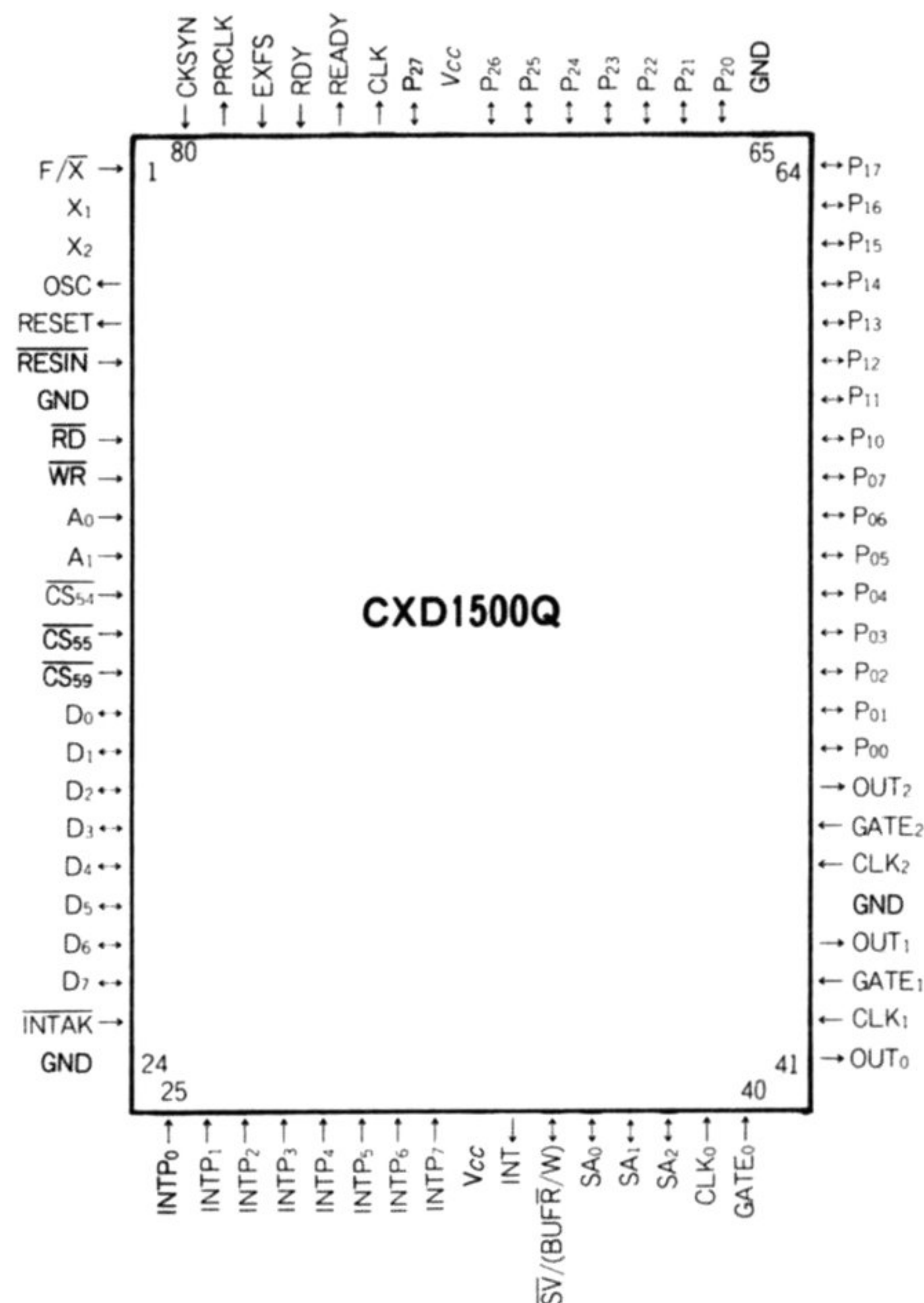
- インテル系ＣＰＵと接続可能な多機能周辺ＬＳＩ
- ４機能を１チップ化.
  - クロック発生器（８２８４Ａ相当）.
  - タイマ・カウンタ（８２５４相当）.
  - ＤＭＡコントローラ（８２３７Ａ相当）.
  - 割り込みコントローラ（８２５９Ａ相当）
- 各機能ブロックの端子が別個に設けられ, バス・ライン, 制御線は共通
- 周辺回路のコンパクト化が可能
- 最大原発振周波数は２４ＭＨｚ
- ８ＭＨｚ版８０８６／８０８８に直接接続可能

■ 端子機能

端 子 名	ピン番号	入 出 力	機　　　能
D_7～D_0	78～85	入出力	システム・バスに接続されるデータ・バス
$\overline{IORD}$	88	入出力	I/O リード信号
$\overline{IOWR}$	89	入出力	I/O ライト信号
$\overline{MERD}$	35	出　力	アドレスからデータを読み出す時のメモリ・リード信号
$\overline{MEWR}$	36	出　力	目的とするアドレスへデータを書き込む時のメモリ・ライト信号
A_0～A_3	22～25	入出力	下位 4 ビットのアドレス入出力信号
A_4～A_7	28～31	出　力	上位 4 ビットのアドレス出力信号
$\overline{CS}$PINT	66	入　力	割り込みコントローラのチップ・セレクト信号
$\overline{CS}$PTC	65	入　力	タイマ/カウンタのチップ・セレクト信号
$\overline{CS}$DMA	64	入　力	DMA コントローラのチップ・セレクト信号
DEVRST	76	入　力	タイマ/カウンタ，割り込みコントローラのリセット信号
DMACLK	60	入　力	DMA コントローラ用のクロック信号入力
RSET	57	入　力	DMA コントローラ部のリセット入力
REDY	59	入　力	DMA コントローラ部のレディ信号
HLDA	58	入　力	バスの制御権を DMA に移すためのホールド・アクノリッジ
$DREQ_3$～$DREQ_0$	53～56	入　力	DMA リクエスト信号
HRQ	44	出　力	CPU に対し，バスの制御権を求めるホールド・リクエスト
$\overline{EOP}$	37	入出力	サービス終了を示すエンド・オブ・プロセス
$DACK_3$～$DACK_0$	39～42	出　力	DMA アクノリッジ出力
AEN	33	出　力	アドレス・イネーブル信号

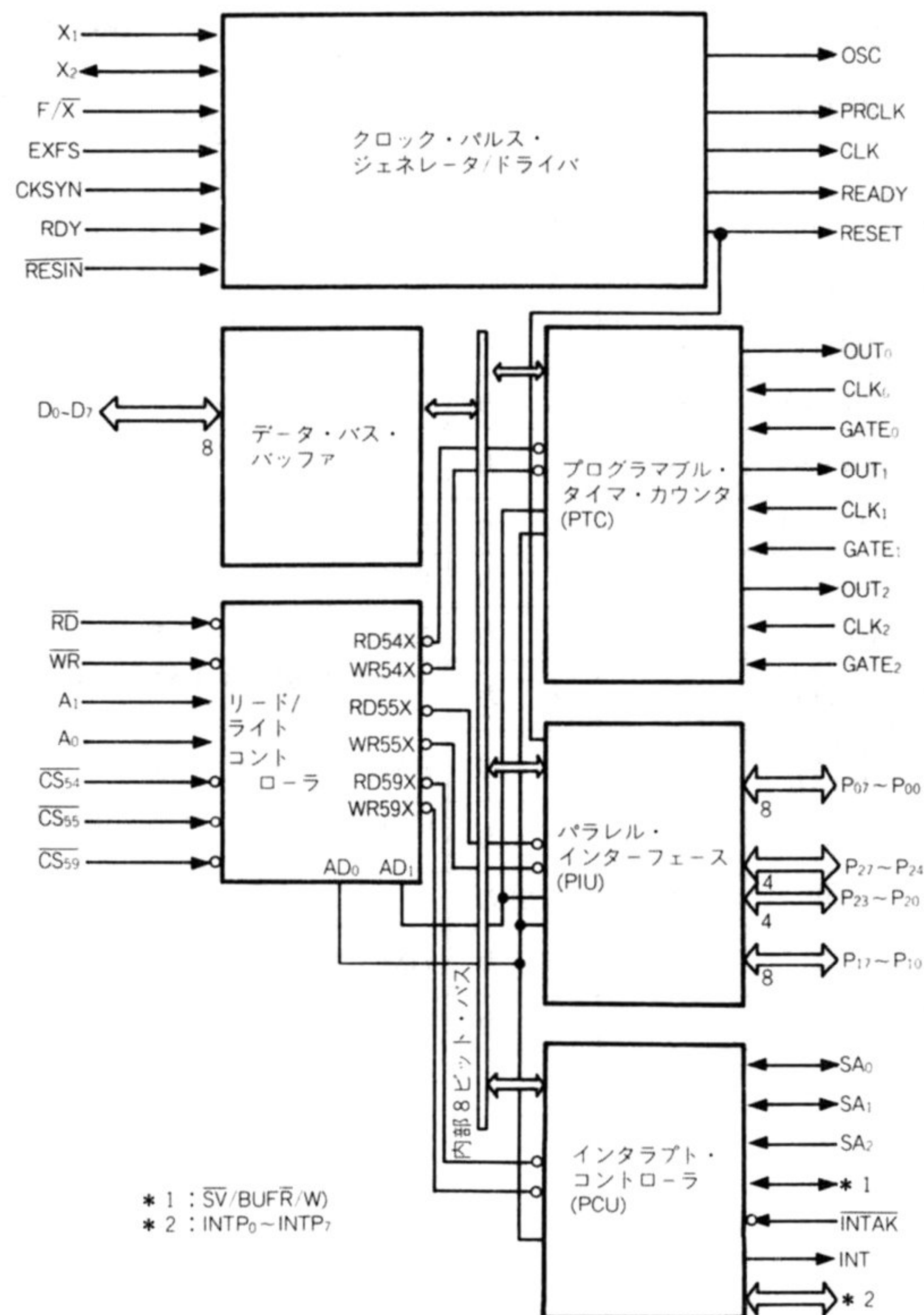
端 子 名	ピン番号	入 出 力	機　　　能
ADSTB	34	出　力	アドレス・ストローブ信号
$CAS_{2\sim0}$	45～47	入出力	複数の割り込みコントローラを使用する場合のカスケード・アドレス・バス
$\overline{SP}/\overline{EN}$	48	入出力	スレーブ・プログラム/イネーブル・バッファ
INT	51	出　力	割り込み要求出力
IR_7～IR_0	67～74	入　力	割り込み要求入力
$\overline{INTA}$	62	入　力	インタラプト・アクノリッジ入力
$CLK_{0\sim2}$	11～13	入　力	タイマ/カウンタ 0 ～ 2 へのクロック入力
$GATE_{0\sim2}$	15～17	入　力	タイマ/カウンタ 0 ～ 2 のゲート信号
$OUT_{0\sim2}$	18～20	出　力	タイマ/カウンタ 0 ～ 2 の出力信号
X_1，X_2	1，100	—	水晶振動子接続端子
$\overline{AEN_1}$，$\overline{AEN_2}$	5，90	入　力	RD_1，RD_2を有効にするアドレス・イネーブル
RDY_1，RDY_2	4，91	入　力	バス・レディ
$\overline{ASYNC}$	6	入　力	レディ同期化方法選択
F/$\overline{C}$	8	入　力	クロック・ソースの選択信号
CPUCLK	96	出　力	CPU クロック
PCLK	94	出　力	周辺デバイス用クロック信号
EFI	98	入　力	外部周波数入力
OSC	97	出　力	内部自励発振の出力
$\overline{RES}$	9	入　力	リセット入力信号
RESET	93	出　力	CPU のリセット信号
CSYNC	7	入　力	クロック同期化入力
READY	92	出　力	RDY_1，RDY_2を同期化した出力

MFP (Multi Function Peripheral)

■ ピン接続

CXD1500Q

■ 特 徴

・8284相当クロック・ジェネレータ，8254相当タイマ・カウンタ，8255A相当パラレル・インターフェース，8259A相当インタラプト・コントローラを内蔵
・基準信号として内部発振および外部入力が選択可能
・3組の16ビット・カウンタを内蔵し，6種類の動作モードを選択可能
・3組の8ビットI／Oポートが使用可能
・割り込み要求入力数は8本
・拡張モードで64割り込み要求入力に対応
・マスク・レジスタによる要求マスクが可能
・優先順位はプログラマブル
・4種類のLSIを1チップ化することにより，システム・ボードの面積を大幅縮小可能

■ ブロック図

＊1：$\overline{SV}$/BUF$\overline{R}$/W)
＊2：$INTP_0$～$INTP_7$

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～7.0	V
入力電圧	V_{IN}	−0.5～V_{CC}+0.5	V
動作温度	T_{OPR}	−20～75	°C
保存温度	T_{STG}	−55～150	°C

■ DC特性

(T_a = −20～75°C, V_{CC} = 5V ± 10%)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OI} = 4mA	0.4	V
V_{OH}	I_{OH} = 2mA	V_{CC} − 0.5*	V
I_{OL}	V_{OUT} = 0, V_{CC}	±10	μA
I_{IL}	V_{IN} = 0, V_{CC}	±10	μA
C_{IN}	f = 1MHz T_a = 25°C, V_{CC} = 5V	12	pF

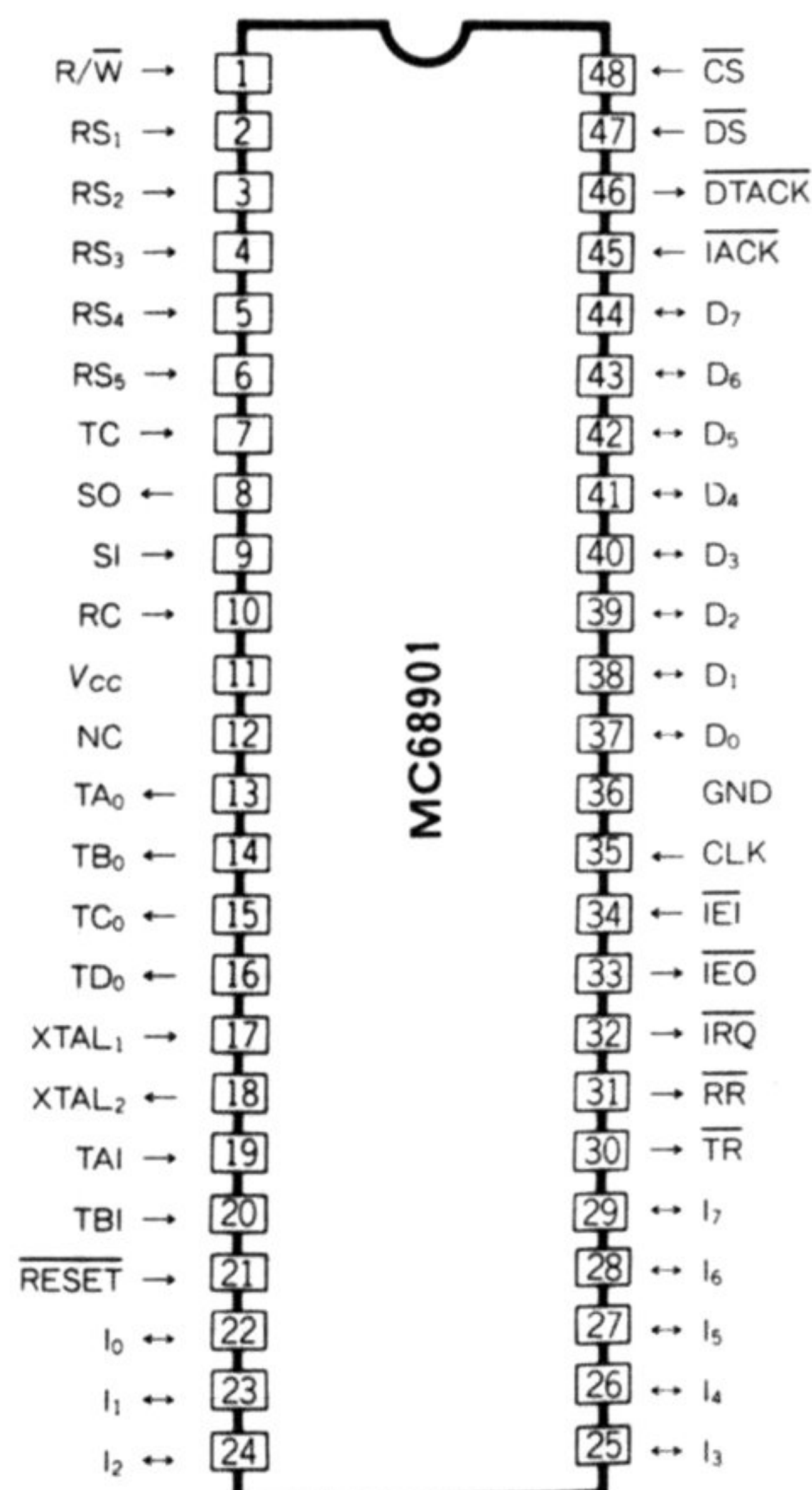
■ 端子機能

端子名	名　　称	ピン番号	入出力	機　　　　能
X_1，X_2	クリスタル	2，3	—	OSC 回路を発振源とするときの水晶振動子接続端子
EXFS	外部クロック	78	入　力	外部クロック信号を発振源とするときのクロック信号入力端子
$F/\overline{X}$	クロック・セレクト	1	入　力	内部発振クロックと外部クロック入力信号のセレクト端子
CLK	システム・クロック	75	出　力	MPU および周辺回路システム・クロック出力端子
PRCLK	周辺クロック	79	出　力	MPU 周辺回路のクロック出力端子
OSC	オシレータ	4	出　力	水晶発振周波数と同じ周波数を出力する端子
CKSYN	クロック・シンクロナイゼーション	80	入　力	複数のクロック・パルス・ジェネレータの同期をとるときの入力端子
$\overline{RESIN}$	リセット入力	6	入　力	リセット信号を発生させるときの入力端子
RESET	リセット出力	5	出　力	MPU および周辺回路パワー・オン・リセット信号出力端子
RDY	レディ入力	77	入　力	システム・バス上でのレディ信号入力端子
READY	レディ出力	76	出　力	RDY 入力信号を同期化した出力信号
D_0～D_7	データ・バス	15～22	入出力	MPU と各内部機能ブロック間のデータ入力，および出力端子
$\overline{CS_{54}}$	PTC チップ・セレクト	12	入　力	プログラマブル・タイマ・カウンタ(PTC)ブロックのセレクト入力端子
$\overline{CS_{55}}$	PIU チップ・セレクト	13	入　力	パラレル・インターフェース・ユニット(PIU)のセレクト入力端子
$\overline{CS_{59}}$	ICU チップ・セレクト	14	入　力	インタラプト・コントロール・ユニット(ICU)のセレクト入力端子
A_0，A_1	アドレス入力	10，11	入　力	各機能ブロック(PTC，PIU，ICU)の共通アドレス入力端子
$\overline{RD}$	リード・ストローブ	8	入　力	各機能ブロック(PTC，PIU，ICU)の共通読み出し制御入力端子
$\overline{WR}$	ライト・ストローブ	9	入　力	各機能ブロック(PTC，PIU，ICU)の共通書き込み制御入力端子
$CLK_{0\sim2}$	カウンタ・クロック	39，42，46	入　力	カウンタ 0～2 のクロック入力端子
$GATE_{0\sim2}$	カウンタ・ゲート	40，43，47	入　力	カウンタ 0～2 のカウント禁止や，カウント，イニシャライズなどを制御する入力端子
$OUT_{0\sim2}$	カウンタ出力	41，44，48	出　力	カウンタ 0～2 の出力端子
P_{00}～P_{07}	ポート 0	49～56	入出力	ポート 0 の入力および出力端子
P_{10}～P_{17}	ポート 1	57～64	入出力	ポート 1 の入力および出力端子
P_{20}～P_{27}	ポート 2	66～72，74	入出力	ポート 2 の入力および出力端子
$INTP_0$～$INTP_7$	インタラプト・リクエスト	25～32	入　力	8 本の同期式割り込み要求入力端子
INT	インタラプト出力	34	出　力	ICU から MPU またはマスタ ICU への割り込み要求出力端子
$\overline{INTAK}$	インタラプト・アクノリッジ	23	入　力	MPU から ICU への割り込み承認入力端子
$\overline{SV}$/(BUFR/W)	スレーブ/バッファ・リード	35	入出力	アンバッファ・モードとバッファ・モードの 2 種類の働きをもつ入力および出力端子
SA_0～SA_2	スレーブ・アドレス	36～38	入出力	ICU のカスケード接続のとき，マスタとして用いるときは出力となり，スレーブとして用いるときは入力端子となる I/O 端子

MFP〔Multi Function Peripheral〕

■ ピン接続

MC68901

ピン	信号	ピン	信号
1	R/$\overline{W}$ →	48	← $\overline{CS}$
2	RS_1 →	47	← $\overline{DS}$
3	RS_2 →	46	→ $\overline{DTACK}$
4	RS_3 →	45	← $\overline{IACK}$
5	RS_4 →	44	↔ D_7
6	RS_5 →	43	↔ D_6
7	TC →	42	↔ D_5
8	SO ←	41	↔ D_4
9	SI →	40	↔ D_3
10	RC →	39	↔ D_2
11	V_{CC}	38	↔ D_1
12	NC	37	↔ D_0
13	TA_O ←	36	GND
14	TB_O ←	35	← CLK
15	TC_O ←	34	← $\overline{IEI}$
16	TD_O ←	33	→ $\overline{IEO}$
17	$XTAL_1$ →	32	→ $\overline{IRQ}$
18	$XTAL_2$ ←	31	→ $\overline{RR}$
19	TAI →	30	→ $\overline{TR}$
20	TBI →	29	↔ I_7
21	$\overline{RESET}$ →	28	↔ I_6
22	I_0 ↔	27	↔ I_5
23	I_1 ↔	26	↔ I_4
24	I_2 ↔	25	↔ I_3

■ 特　徴

- 個別に割り込み能力をもった８本のプログラマブルＩ／Ｏ
- 個々の割り込み源をイネーブルおよびディセーブルできる１６個の割り込み制御回路
- ４個のタイマをもち，このうち２個はマルチ・モード・タイマ
- タイマはシリアル・チャネルのためのボーレート
- ジェネレータとして利用可能
- 全二重同期／非同期シリアル・ポートを内蔵

■ DC特性

（T_a＝0～70℃，V_{CC}＝5.0±5%）

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝2.0mA	0.5	V
V_{OH}	I_{OH}＝120μA	2.4*	V
I_{OL}	V_{OUT}＝0.5～2.4V	±10	μA
I_{IL}	V_{IN}＝0～V_{CC}	10	μA
C_{IN}		10	pF

■ ブロック図

CLK　$\overline{RESET}$　V_{CC}　GND

内部制御ロジック

データ・バス(8)

レジスタ・セレクト(5)

$\overline{CS}$　R/$\overline{W}$　$\overline{DS}$　$\overline{DTACK}$

CPU バス・インターフェース

タイマ C,D　TCO　TDO

$XTAL_1$　$XTAL_2$

タイマ A,B　TAO　TAI　TBO　TBI

USART　$\overline{RR}$　SI　RC　SO　TC　$\overline{TR}$

汎用I/O割り込み　I_0～I_7

割り込みコントローラ

$\overline{IRQ}$　$\overline{IEI}$　$\overline{IEO}$　$\overline{IACK}$

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～7.0	V
入力電圧	V_{IN}	−0.3～7.0	V
消費電力	P_D	1.5	W
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−65～150	℃

■端子機能

端子名	名　称	ピン番号	入出力	機　能
CLK	クロック	35	入　力	内部タイミングのための1相TTLコンパチブル信号
$\overline{CS}$	チップ・セレクト	48	入　力	内部レジスタのアクセスのために用いる
$\overline{DS}$	データ・ストローブ	47	入　力	内部チップ・セレクトと割り込みアクノリッジ機能の一部をもっている．ベクタを用いた割り込みを用いる場合には，$\overline{DS}$はプロセッサの下位データ・ストローブに接続しなくてはならない
R/$\overline{W}$	読み出し/書き込み	1	入　力	データ転送が読み出しなのか書き込みなのかを示す
$\overline{DTACK}$	データ転送アクノリッジ	46	出　力	プロセッサにバス・サイクルの終了を示す
RS_1～RS_5	レジスタ・セレクト・バス	2～6	入　力	レジスタ・セレクト・バスの下位5ビットは読み出し/書き込み動作中内部のレジスタを選択する
D_0～D_7	データ・バス	37～44	入出力	プロセッサによる読み出し/書き込み動作中，内部レジスタからデータを読み出したり内部レジスタにデータを書き込むのに用いられる
$\overline{RESET}$	リセット	21	入　力	リセット信号
$\overline{IRQ}$	割り込みリクエスト	32	出　力	割り込み要求を示す信号
$\overline{IACK}$	割り込みアクノリッジ	45	入　力	$\overline{IRQ}$と$\overline{IEI}$がともにアクティブであるとき，$\overline{IACK}$と$\overline{DS}$がアサートされると割り込みアクノリッジ・サイクルを始める
$\overline{IEI}$	割り込みイネーブル入力	34	入　力	$\overline{IEO}$とともに用いてデイジィ・チェーン方式のベクタ割り込みをサポートする
$\overline{IEO}$	割り込みイネーブル出力	33	出　力	$\overline{IEI}$とともに用いてデイジィ・チェーン方式のベクタ割り込みをサポートする
I_0～I_7	汎用I/O割り込み	22～29	入出力	割り込み機能をもつ8ビットのプログラム可能なI/Oポート
$XTAL_1$, $XTAL_2$	タイマ・クロック	17, 18	入　力	四つのタイマにタイミング信号を供給する
TAI, TBI	タイマ入力A, B	19, 20	入　力	パルス幅測定モードとイベント計数モードにおいてタイマAとBに対するコントロール信号
TAO, TBO, TCO, TDO	タイマ出力A, B, C, D	13～16	出　力	各々のタイマは選択されているモードによらずメイン・カウンタが01(16進)まで計数したときにトグルされる出力端子をもっている
SI	シリアル入力	9	入　力	USARTレシーバ・データ入力
SO	シリアル出力	8	出　力	USARTトランスミッタ・データ出力
RC	レシーバ・クロック	10	入　力	レシーバのシリアル・ビット・レートを制御する
TC	トランスミッタ・クロック	7	入　力	トランスミッタのシリアル・ビット・レートを制御する
$\overline{RR}$	レシーバ・レディ	31	出　力	DMA動作に対してバッファ・フルを示す
$\overline{TR}$	トランスミッタ・レディ	30	出　力	DMA動作においてバッファ・エンプティを示す

TAM (Turbo Access Manager)

■ ピン接続

〈通常動作モード〉

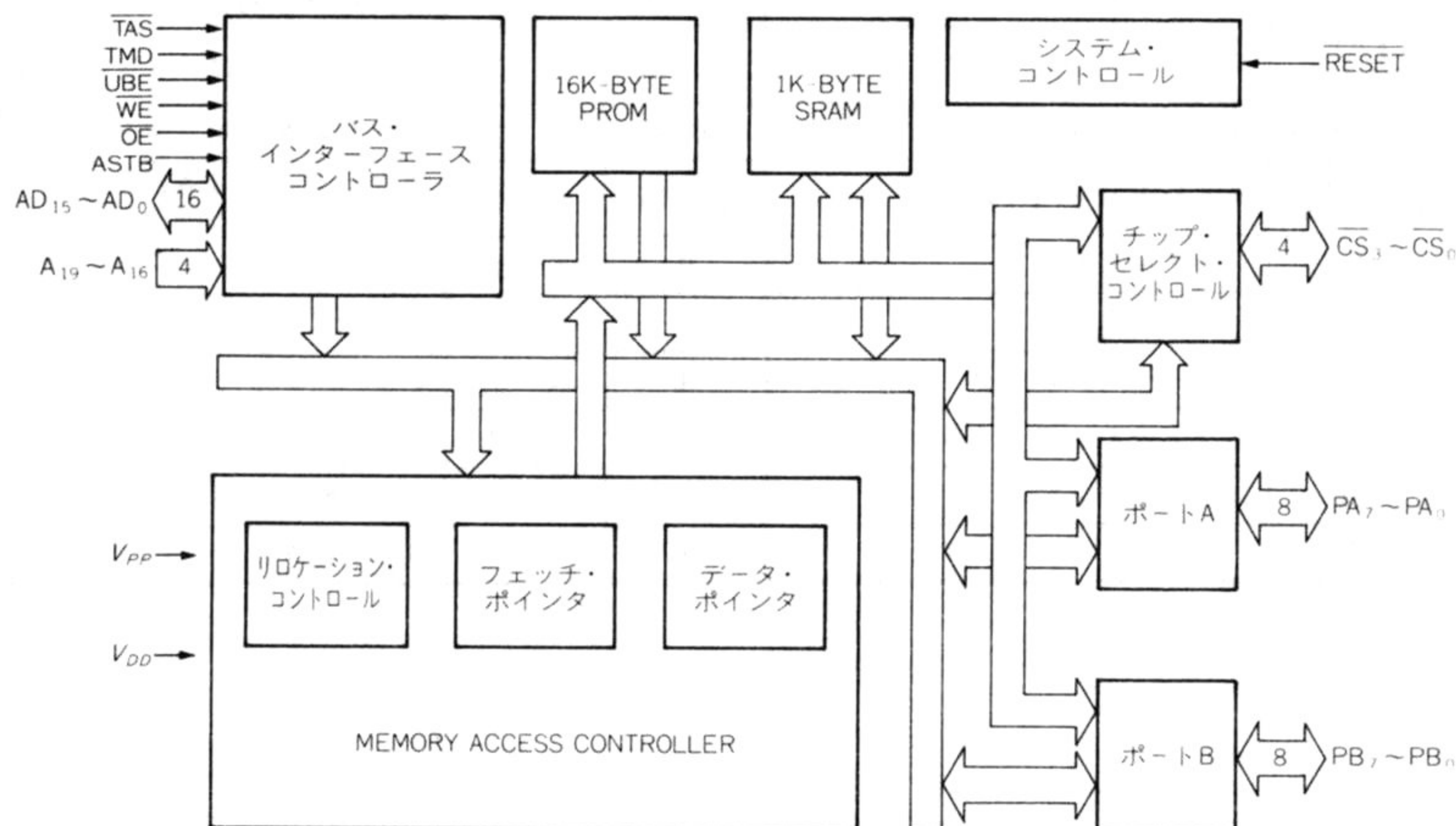
〈PROMプログラミング・モード〉

(注)L：外部プルダウン抵抗でロウ・レベルに固定する。

■ 最大定格

項 目	記号	定 格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜V_{CC}+0.5	V
動作温度	T_{OPR}	−10〜70	℃
保存温度	T_{STG}	−65〜150	℃

■ 特 徴

・16Kバイトの PROMまたはEPROM，1Kバイト SRAM，16 I／Oを内蔵したマイコン用周辺LSI
・高速メモリ・アクセス機能，バス・インターフェース機能をもち，アドレス・データ・マルチプレクス・バスと直接接続可能
・1M／64Kバイトのメモリ空間に対応した内部メモリ空間のリロケーション機能
・外部拡張アドレス出力機能
・チップ・セレクト信号出力機能

■ DC特性

(T_a = −10〜75℃, V_{CC} = 5V ± 10%)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL} = 2.0mA	0.45	V
V_{OH}	I_{OH} = 1.0mA	V_{CC}−1.0*	V
I_{OL}	V_{OUT} = 0〜V_{CC}	±10	μA
I_{IL}	V_{IN} = 0〜V_{CC}	±10	μA
C_{IN}	f = 1MHz, T_a = 25℃	10	pF

■ ブロック図

■端子機能〈通常動作モード〉

端子名	ピン番号	入出力	機能	兼用端子
PA_3～PA_0	51～54	入出力	8ビット入出力ポート バイト単位で入出力の指定可能	A_{19}～A_{16}
PA_7～PA_4	55, 58, 60, 61			$\overline{CS_3}$～$\overline{CS_0}$
PB_7～PB_0	62, 63, 3～5, 7, 9, 10	入出力	8ビット入出力ポート ビット単位で入出力の指定可能	—
AD_{15}～AD_0	21～23, 26, 28～31, 35, 36, 38, 39, 42～45	入出力	アドレス・データ・マルチプレクスト・バス	—
A_{19}～A_{16}	51～54	入力	アドレス入力端子	PA_3～PA_0
$\overline{RESET}$	12	入力	システム・リセット信号入力端子	—
ASTB	34	入力	AD_{15}～AD_0, $\overline{TAS}$, TMDをラッチするタイミングの入力端子	—
TMD	2	入力	ターボ・アクセス・モードを指定する制御信号入力端子	—
$\overline{CE}$	20	入力	チップ・イネーブル信号入力端子	—
$\overline{OE}$	47, 49	入力	アウトプット・イネーブル信号入力端子	—
$\overline{WE}$	14	入力	ライト・イネーブル信号入力端子	—
$\overline{UBE}$	17	入力	16ビット/8ビット・バスの選択信号入力端子	—
$\overline{CS_3}$～$\overline{CS_0}$	55, 58, 60, 61	出力	チップ・セレクト出力	PA_7～PA_4
V_{CC}	16, 37	—	正電源供給端子	—
GND	1, 32, 33, 64	—	クラウンド電位端子	—

〈PROMプログラミング・モード〉

端子名	ピン番号	ピン番号	機能
A_{14}～A_0	2～5, 7, 9, 51～55, 60～62	入力	アドレス入力端子
D_7～D_0	35, 36, 38, 39, 42～45	入出力	データ出力端子
$\overline{CE}$	20	入力	チップ・イネーブル信号入力端子
$\overline{OE}$	47	入力	アウトプット・イネーブル信号入力端子
$\overline{RESET}$	12	入力	PROMモード設定端子
V_{PP}	18	入力	プログラム書き込み/ベリファイ時の高電圧印加端子
V_{CC}	16, 37	—	正電源供給端子
GND	1, 32, 33, 64	—	グラウンド電位端子

LIO〔Local I/O Support Chip〕

■ピン接続

TOP VIEW

ピン	信号	ピン	信号	ピン	信号	ピン	信号
1	XA16	26	V_{SS}	51	IRQ7#	76	N.C.(1)
2	XA17	27	A15	52	PPDREN#	77	N.C.(1)
3	XA18	28	N.C.(1)	53	PPDRD#	78	N.C.(1)
4	XA19	29	N.C.(1)	54	PPDWR#	79	CDEN#
5	XA20	30	A16	55	P103WR#	80	CDSUWR
6	XA21	31	A17	56	P103RD#	81	CDSURD#
7	XA22	32	A18	57	P101RD#	82	PWRUP#
8	XA23	33	A19	58	ABCPD	83	M60STR#
9	A0	34	A20	59	STROBE	84	STROBE#
10	A1	35	A21	60	INIT	85	INIT#
11	A2	36	A22	61	V_{DD}	86	SLCTIN#
12	A10	37	A23	62	V_{SS}	87	AUTOFC#
13	V_{DD}	38	VGAMS#	63	SLCTIN	88	ADL#
14	XD0	39	MIO#	64	AUTOFC	89	V_{SS}
15	XD1	40	SLCT	65	LVGAMS#	90	XA0
16	XD2	41	ERROR#	66	LMIO#	91	XA1
17	XD3	42	PE	67	CDSU1#	92	XA2
18	XD4	43	ACK#	68	CDSU2#	93	XA10
19	XD5	44	ENEXPP	69	CDSU3#	94	XA11
20	XD6	45	PPSEL#	70	CDSU4#	95	XA12
21	XD7	46	PD	71	CDSU5#	96	XA13
22	A11	47	BUSY	72	CDSU6#	97	XA14
23	A12	48	IOW#	73	CDSU7#	98	XA15
24	A13	49	IOR#	74	CDSU8#	99	V_{DD}
25	A14	50	V_{SS}	75	PORTRST	100	V_{SS}

■特　徴

- ８２３０４、８２０７７（ＦＤＣ）と組み合わせて使用し、ＩＢＭコンパチブルなシステムをコンパクトに構成できるローカルＩ／Ｏサポート・チップ
- マイクロ・チャネルおよび周辺デバイス用のバス・インターフェース内蔵
- マイクロ・チャネルのアドレス信号ラッチ出力付き
- パラレル・インターフェース機能内蔵
- カードおよびマザーボードのセットアップ・サポート機能付き

■ブロック図

バス・インターフェース: A(0:2,10:23), XA(0:2,10:23), XD(0:7), MIO#, LMIO#, VGAMS#, LVGAMS#, IOR#, IOW#, ADL#

カード・セットアップ・ポート: CDSU#(1:8), CDEN#, PORTRST, M60STR#, CDSUWR, CDSURD#

マザーボード・セットアップ・サポート: PD, ABCPD, P103RD#, P103WR#, P101RD#

パラレル・ポート: STROBE, STROBE#, AUTOFC, AUTOFC#, SLCTIN, SLCTIN#, INIT, INIT#, IRQ7#, ACK#, ERROR#, BUSY, PE, SLCT, ENEXPP, PPDREN#, PPSEL#, PPDWR#, PPDRD#

PWRUP#

■最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.3	V
動作温度	T_{OPR}	−40〜85	℃
保存温度	T_{STG}	−65〜85	℃

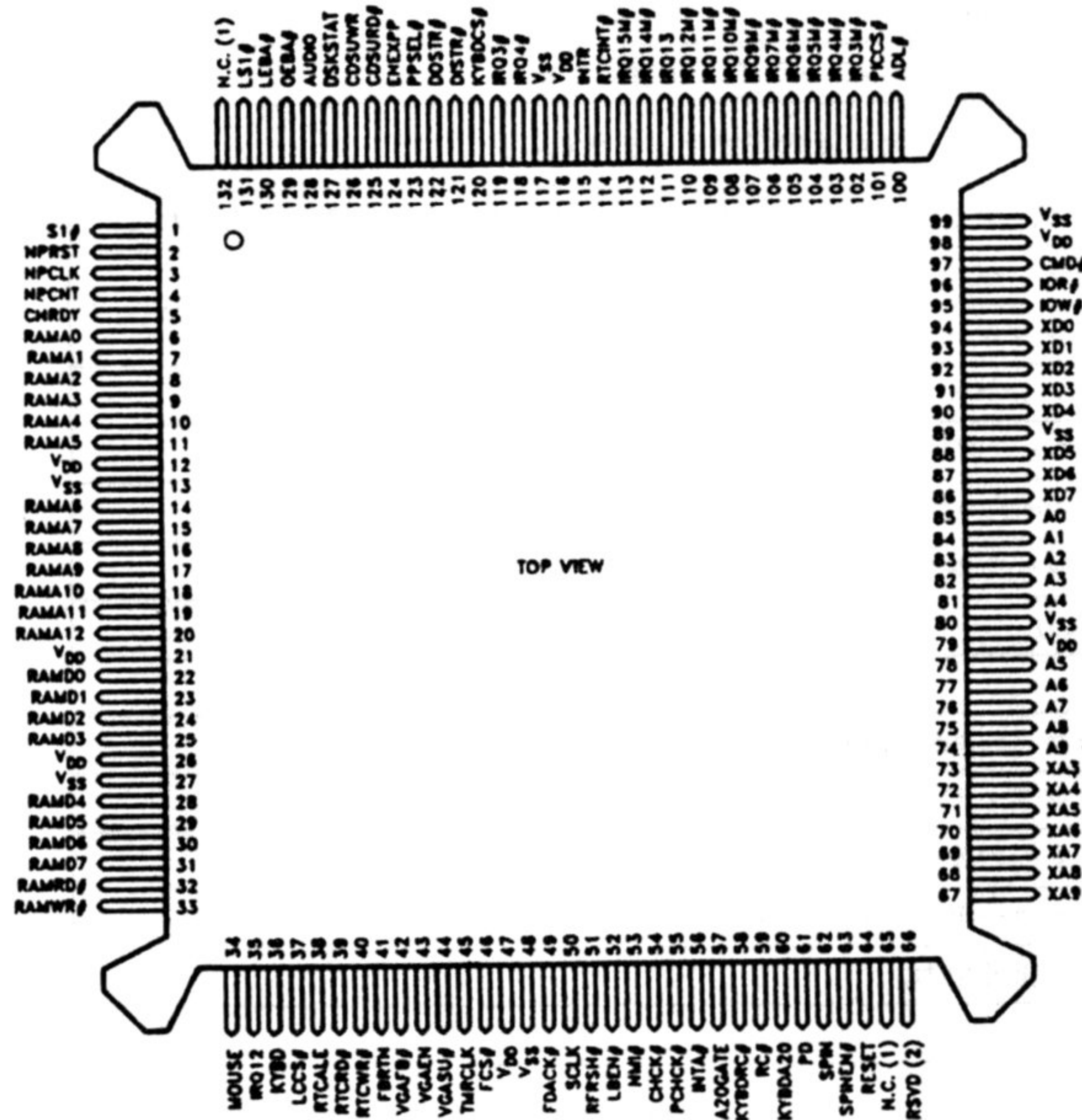
■DC特性

（T_a＝−0〜70℃，V_{CC}＝5 V±10％）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝4 mA	0.4	V
V_{OH}	I_{OH}＝4 mA	2.4*	V
I_{OFL}	V_{OUT}＝0〜V_{CC}	±10	μA
I_{IL}	V_{IN}＝0〜V_{CC}	±10	μA

■端子機能

端 子 名	ピン番号	入出力	機　　能
PWRUP #	82	入　力	パワー・オン・リセット入力．82303をイニシャライズ状態にする．
A0～A2，A10～A23	9～12，22～25 27，30～37	入　力	マイクロ・チャネル・アドレス入力．これらは内部でラッチされる．
XA0～XA2，XA10～XA23	90～98，1～8	出　力	周辺デバイス用バス・アドレス．マイクロ・チャネル・アドレス入力がラッチされ出力される．
XD0～XD7	14～21	入出力	周辺デバイス用の双方向データ・バス．
MIO #	39	入　力	マイクロ・チャネル MIO #インジケータ．
LMIO #	66	出　力	マイクロ・チャネル MIO #インジケータのラッチ出力．
VGAMS #	38	入　力	VGA メモリ・バッファ・デコード信号入力．
LVGAMS #	65	出　力	VGA メモリ・バッファ・デコードのラッチ出力．
IOR #，IOW #	49，48	入　力	82303のリード/ライト・ストローブ信号入力．
ADL #	88	入　力	マイクロ・チャネル ADL #入力．
PD	46	入　力	POS デコード信号入力．
ABCPD	58	出　力	アドレス・バス・コントローラ（82309）POS デコード信号出力．
P101RD #，P103RD #，P103WR #	57，56，55	出　力	システム・ボードのセットアップ・ポート用リード/ライト・ストローブ信号出力．
CDSU # 1～8	67～74	出　力	マイクロ・チャネル・スロットへのカード・セットアップ信号出力．
CDEN #	79	入　力	カード・セットアップ信号のデコード・イネーブル信号入力．
PORTRST	75	出　力	マイクロ・チャネル・リセット信号出力．
M60STR #	83	入　力	モデル60ストラップ．
CDSUWR	80	入　力	ポート96～97H　ライト・ストローブ．
CDSURD #	81	入　力	ポート96～97H　リード・ストローブ．
STROBE #，AUTOFC # SLCTIN #，INIT #	84，87 86，85	入　力	パラレル・ポート・コントロール信号入力．
STROBE, AUTOFC, SLCTIN, INIT	59，64，63，60	出　力	パラレル・ポート・コントロール信号出力．
IRQ7 #	51	出　力	パラレル・ポート割り込み要求信号出力．
ACK #, ERROR #, BUSY, PE, SLCT	43, 41, 47, 42, 40	入　力	パラレル・ポート・ステータス信号入力．
ENEXPP	44	入　力	パラレル・ポート拡張モード・イネーブル信号入力．
PPSEL #	45	入　力	パラレル・ポート・チップ・セレクト信号入力．
PPDREN #	52	出　力	外部‘652パラレル・ポート・データ・バッファを双方向使用可にする．
PPDWR #，PPDRD #	54，53	出　力	パラレル・ポート・データ・バッファ・ライト/リード・ストローブ信号出力．

LIO (Local I/O Support Chip)

■ ピン接続

TOP VIEW

■ DC 特性

($T_a=0\sim70°C$, $V_{CC}=5\ V\pm10\ \%$)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	$I_{OL}=4\ mA$	0.4	V
V_{OH}	$I_{OH}=4\ mA$	2.4*	V
I_{OFL}	$V_{OUT}=0\sim V_{CC}$	±10	μA
I_{IL}	$V_{IN}=0\sim V_{CC}$	±10	μA

■ ブロック図

バス・インターフェース＆コントロール

タイマ

フロッピ・ディスク・サポート

カード・セットアップポート・サポート

システム・ステータス＆コントロール・ファンクション

割り込みコントロール

リアル・タイム・クロック＆コンフィグRAMサポート

シリアル・ポート＆パラレル・ポート・サポート

VGAサポート

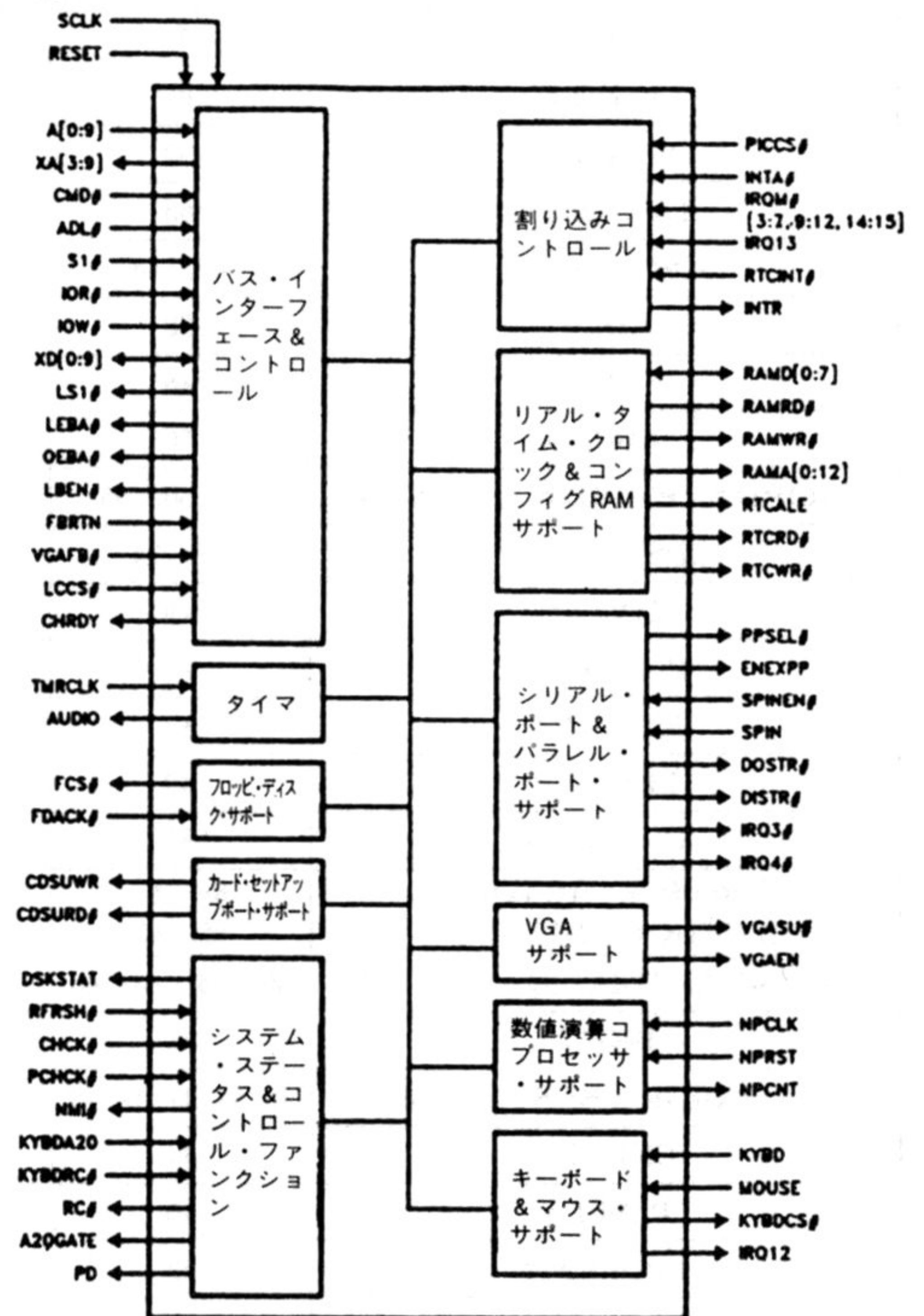
数値演算コプロセッサ・サポート

キーボード＆マウス・サポート

■ 特　徴

- ８２３０３、８２０７７（ＦＤＣ）と組み合わせて使用し、ＩＢＭコンパチブルなシステムをコンパクトに構成できるローカルＩ／Ｏサポート・チップ
- キーボード／マウス・コントローラ、シリアル／パラレル・ポート、コンフィギュレーションＲＡＭ、リアル・タイム・クロックのＩ／Ｏサポート
- ８２５９（ＰＩＣ）２個分の機能と３個のプログラマブル・タイマ／カウンタ機能を内蔵
- ローカル・チャネルのＶＧＡコントロール機能をサポート

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.3	V
動作温度	T_{OPR}	−40〜85	℃
保存温度	T_{STG}	−65〜150	℃

■端子機能

端子名	ピン番号	入出力	機能
SCLK	50	入力	ホストCPUからのシステム・クロック入力.
RESET	64	入力	パワー・オン・リセット.
A0～A9	74～78 81～85	入力	マイクロ・チャネル・アドレス入力で，内部でラッチされる.
XA3～XA9	67～73	出力	ペリフェラル・バス・アドレスで，マイクロ・チャネル・アドレスのラッチ出力.
CMD	97	入力	マイクロ・チャネルのCMD入力.
ADL	100	入力	マイクロ・チャネルのADL入力.
S1	1	入力	マイクロ・チャネルのS1入力.
IOR	96	入力	リード・ストローブ.
IOW	95	入力	ライト・ストローブ.
XD0～XD7	86～88, 90～94	入出力	双方向のデータ・バス.
LS1	131	出力	マイクロ・チャネルのS1入力のラッチ出力.
LEBA, OEBA	130, 129	出力	外部の74543データ・バッファのコントロール信号.
LBEN	52	出力	ローカル・ペリフェラル・バス・イネーブル信号.
FBRTN	41	入力	マイクロ・チャネル・スロットのシステム・フィードバック信号のOR入力.
VGAFB	42	入力	VGAフィードバック.
LCCS	37	入力	ローカル・チャネル・チップ・セレクト.
CHRDY	5	出力	チャネル・レディ信号出力.
TMRCLK	45	入力	システム・タイマ用の1.193MHzクロック入力.
AUDIO	128	出力	ポート61Hのビット1にコントロールされたシステム・タイマ2の出力信号.
FCS	46	出力	フロッピ・ディスク・コントローラ（82077）チップ・セレクト.
FDACK	49	入力	FDコントロール用DMAアクノリッジ.
VGASU	44	出力	VGAセットアップ用の出力.
VGAEN	43	出力	VGAイネーブル信号.
CDSUWR	126	出力	カード・セットアップ・ライト・ストローブ.
CDSURD	125	出力	カード・セットアップ・リード・ストローブ.
DSKSTAT	127	出力	固定ディスク・ステータス.
RFRSH	51	入力	リフレッシュ・サイクル・インジケータ.
CHCK	54	入力	マイクロ・チャネル・チェック・インジケータ.
PCHCK	55	入力	DRAMパリティ・エラー.
NMI	53	出力	CPUへのNMI要求.

端子名	ピン番号	入出力	機能
KYBDA20	60	入力	キーボード・コントローラのA20ゲート信号.
KYBDRC	58	入力	キーボード・コントローラのCPUリセット信号.
RC	59	出力	リセットCPU信号.
A20GATE	57	出力	A20ゲート信号.
PD	61	出力	POSデコード.
PICCS	101	入力	割り込みコントローラ8259用のチップ・セレクト.
INTA	56	入力	インタラプト・アクノリッジ.
IRQ3M～ IRQ7M IRQ9M～ IRQ12M IRQ14M, IRQ15M	102～110, 112～113	入力	マイクロ・チャネル・インタラプト入力.
IRQ13	111	入力	数値計算プロセッサのエラー発生割り込み入力.
RTCINT	114	入力	リアル・タイム・クロックからの割り込み入力.
INTR	115	出力	CPUへのマスク可能割り込み要求.
RAMD0～7	22～25 28～31	入出力	リアル・タイム・クロックとコンフィグレーションRAMデータ・バス.
RAMRD	32	出力	コンフィグレーションRAMリード・ストローブ.
RAMWR	33	出力	コンフィグレーションRAMライト・ストローブ.
RAMA 0～12	6～11, 14～20	出力	コンフィグレーションRAMアドレス・バス.
RTCALE	38	出力	リアル・タイム・クロックのアドレス・ラッチ・イネーブル.
RTCRD	39	出力	リアル・タイム・クロックのリード・ストローブ.
RTCWR	40	出力	リアル・タイム・クロックのライト・ストローブ.
PPSEL	123	出力	パラレル・ポート・チップ・セレクト.
ENEXPP	124	出力	パラレル・ポート拡張モード・イネーブル.
SPINEN	63	入力	シリアル・ポート割り込みイネーブル.
SPIN	62	入力	シリアル・ポート割り込み.
IRQ3, IRQ4	119, 118	出力	シリアル・ポート割り込み要求.
DOSTR, DISTR	122, 121	出力	シリアル・ポートのライト/リード・ストローブ.
NPCLK	3	入力	数値計算プロセッサのリセット・パルス・ストレッチャ用クロック.
NPRST	2	入力	数値計算プロセッサのリセット要求入力.
NPCNT	4	出力	数値計算プロセッサ・カウント.
KYBD	36	入力	キーボード・コントローラからの割り込み要求.

PMPP (Power Management PC Peripheral)

■ ピン接続

ピン	信号	ピン	信号
1	CLKX1 →	41	→ RTCCX2
2	CLKOUT ←	42	→ RTCOUT
3	GND	43	← RTC
4	SEL(0) →	44	← RI
5	SEL(1) →	45	← EXT
6	SEL(2) →	46	GND
7	SEL(3) →	47	→ PCLKOUT
8	*REFRQ ↔	48	← PCLKSYNC
9	*REFRSEL ←	49	↔ PCLK
10	*RAS ←	50	→ VPBIAS
11	CPUCLK ↔	51	← *VCS
12	GND	52	GND
13	A(0) ↔	53	↔ SD(7)
14	A(1) ↔	54	↔ SD(6)
15	A(2) ↔	55	↔ SD(5)
16	A(3) ↔	56	↔ SD(4)
17	A(4) ↔	57	↔ SD(3)
18	A(5) ↔	58	↔ SD(2)
19	A(6) ↔	59	↔ SD(1)
20	A(7) ↔	60	↔ SD(0)
21	A(8) ↔	61	↔ DRQ(0)
22	A(9) ↔	62	↔ DRQ(1)
23	LD(S) ↔	63	↔ DRQ(2)
24	ADDRSEL →	64	↔ DRQ(3)
25	LB	65	VP(0)
26	LLB	66	VP(1)
27	INMI	67	VP(2)
28	NMI	68	VP(3)
29	*S(2)	69	VP(4)
30	*S(1)	70	VP(5)
31	*S(0)	71	VP(6)
32	*READY	72	VP(7)
33	V_{CC}	73	V_{CC}
34	INTR	74	*RCRESET
35	*ADS	75	RES386
36	AEN	76	EXTACT
37	GPIO0	77	PWRGD
38	GPIO1	78	PWGOUT
39	GPIO2	79	ACPWR
40	RTCX1	80	CLKX2

■ 特　徴

- ＰＣコンパチブルなシステムの電源制御用デバイス
- 各種のパワー・セーブ・モードをサポート
  - 休止後0.125～14秒でDOZEモード に入る
  - 休止後1～15分でSLEEPモードに入る
  - ユーザ・コマンドまたは休止後5～75分でSUSPENDモードに入る
- ９本のパワー・コントロール出力で周辺デバイスのパワー・シャットダウンが可能
- ＣＰＵおよび周辺用クロック制御機能内蔵
- 押しボタン、ＲＴＣクロック・アラーム、モデムのベル検出信号でパワー・オン制御可能
- 多点バッテリ低下検出機能内蔵

■ ブロック図

バス・インターフェース: *ADS, A(9:0), SD(7:0), STATUS(2:0), CPUCLK, READY, *AEN, SEL(3:0), RES386

アクティビティ・モニタ: DRQ(3:0), *REFRQ, INTR, *VCS, LDS, EXTACT

パワー・コントロール: RI, RTC, EXT, PWGOUT, PWRGOOD, LB, LLB, *RCRESET, VP(7:0), ACPWR, VPBIAS

クロック・コントロール: 32 KHZIN, 32 KHZOUT, CLKX1/CLKX2, CLKOUT, PCLKSYNC, PCLK, PCLKOUT

割り込みロジック: INMI, NMI

汎用I/O: GPIO(2..0)

リフレッシュ・コントロール: *RAS, REFRSEL

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～7.0	V
入力電圧	V_{IN}	−0.3～V_{CC}+0.3	V
動作温度	T_{OPR}	−25～85	℃
保存温度	T_{STG}	−40～125	℃

■ DC 特性

(T_a=0～70℃, V_{CC}=5 V±5 %)

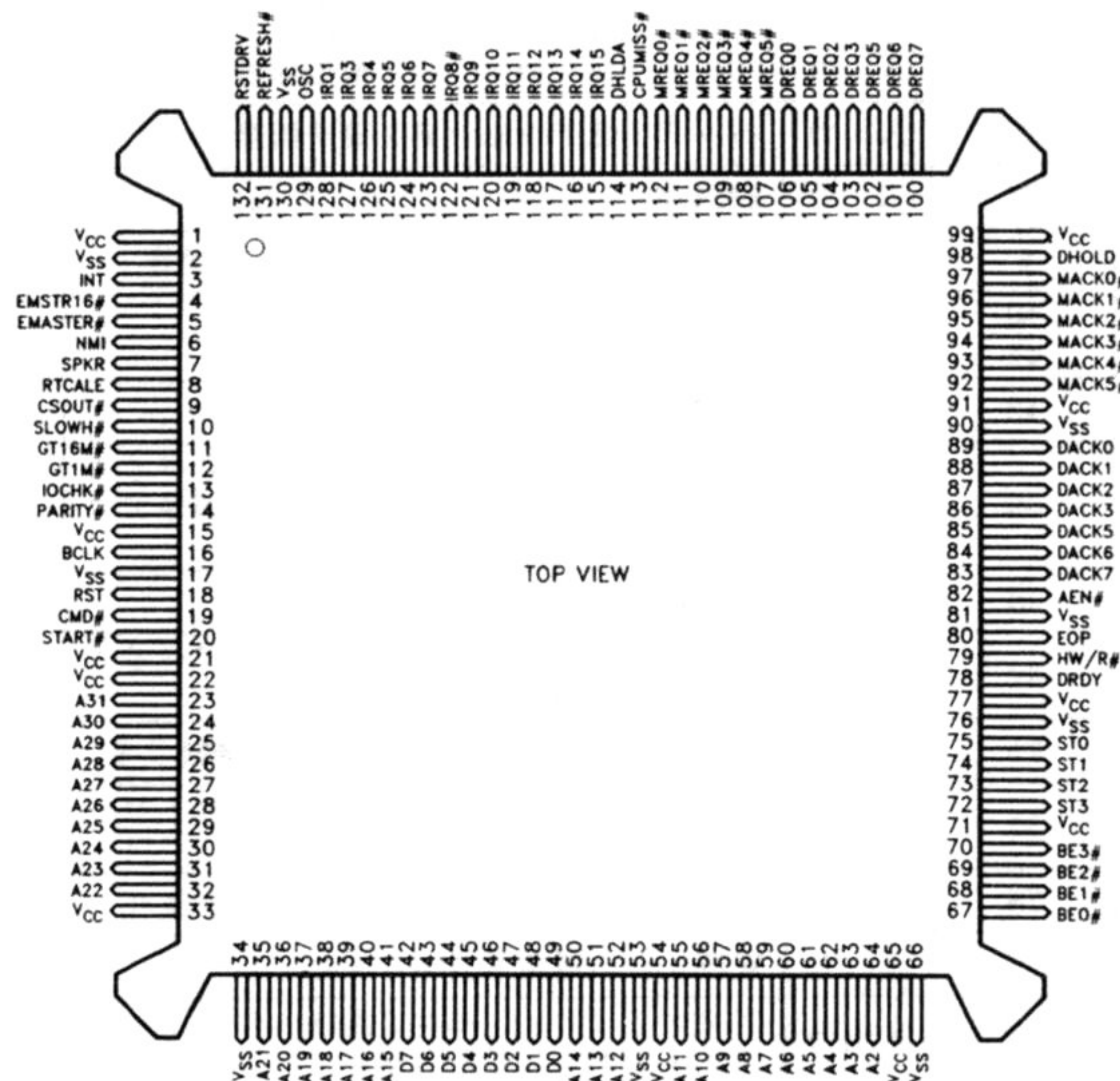
記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	TTL, CMOS	0.4	V
V_{OH}	TTL	2.4*	V
I_{OFL}		±10	μA
I_{IL}	V_{IN}=0～V_{CC}	±10	μA

■端子機能

端子名	ピン番号	入出力	機能
Ȧ(0)～(9)	13～22	入出力	プロセッサまたはシステム・バス接続用のアドレス・バス．
SD(0)～(7)	53～60	入出力	双方向3ステートのデータ・バス．
LD(5)	23	入出力	ローカルCPUデ→タ・バスのビット5．
$\overline{READY}$	32	入出力	CPUレディ入力．
$\overline{S(0)}$～$\overline{S(2)}$	29～31	入出力	CPUステータス入力．
CPUCLK	11	入出力	コア・チップ・セットとのCPUクロック入出力．
SEL(0)～(3)	4～7	入　力	CPUタイプと周波数選択のジャンパ端子．
ADDRSEL	24	入　力	82347インデックスとデータ・レジスタ用のI/Oアドレス・セレクト．
VP(0)	65	出　力	LCDパワー・コントロール端子．
VP(1)	66	出　力	LCD，ELバック・ライト・パワー・コントロール端子．
VP(2)～(7)	67～72	出　力	汎用のペリフェラル・パワー・コントロール端子．
VPBIAS	50	出　力	LCD表示部のバイアス電源コントロール端子．
$\overline{RAS}$	10	出　力	DRAMのROWアドレス・ストローブ．
$\overline{VCS}$	51	入　力	ビデオRAMチップ・セレクト端子．
AEN	36	入出力	コア・ロジック回路のAEN信号．
NMI	28	出　力	ノン・マスカブル・インタラプト出力．
INTR	34	入出力	8259の割り込み要求出力．
DRQ(0)～(3)	61～64	入出力	DMAリクエスト．
$\overline{REFRQ}$	8	入出力	DMAサイクル・リフレッシュを示す．
EXT	45	入　力	外部コマンド入力．プッシュ・ボタン・スイッチ用に使用する．
RI	44	入　力	モデムからのベル検出信号入力．
RTC	43	入　力	リアル・タイム・クロックのアラーム入力．
CLKX1	1	入　力	CPUクロックまたはクリスタル・クロックの入力．
CLKX2	80	出　力	CPUクリスタルの出力側端子．
CLKOUT	2	出　力	コア・チップ・セットへのクロック出力．

端子名	ピン番号	入出力	機能
BL	25	入　力	バッテリ低下検出（第1警告信号）．
LLB	26	入　力	バッテリ低下検出（第2警告信号）．
$\overline{RCRESET}$	74	入　力	82347のイニシャル・リセット入力．
$\overline{REFRSEL}$	9	出　力	DRAMへの82347$\overline{RAS}$のゲート用信号．
RTCX1 RTCX2	40 41	入　力 出　力	32.768kHzクリスタル端子．
PTCOUT	42	出　力	32.768kHz信号出力．
PCLK	49	入出力	82347にコントロールされる周辺デバイス用クロック入力．内部では，VPO信号でコントロールされている．
PCLPSYNC	48	入　力	PCLK用の同期信号．
PCLKOUT	47	出　力	82347にコントロールされた周辺デバイス用クロック出力．
RES386	75	入出力	Intel386DX/SXリセット入力に接続する．
$\overline{ADS}$	35	入出力	Intel386DX/SXからのアドレス・ストローブ信号．
PWGOUT	78	出　力	コア・チップ回路への電源正常信号出力．
PWGIN	77	入　力	電源からの電源正常信号入力．
EXTACT	76	入出力	アクティビティ・モニタ回路への汎用のアクティビティ信号入力端子．
ACPWR	79	入　力	AC電源が接続されていることを示す信号の入力端子．
GPIO0～ GPIO2	37～39	入出力	汎用の入出力端子．
INMI	27	入　力	コア・ロジック回路からのNMI入力端子．

Integrated System Peripheral

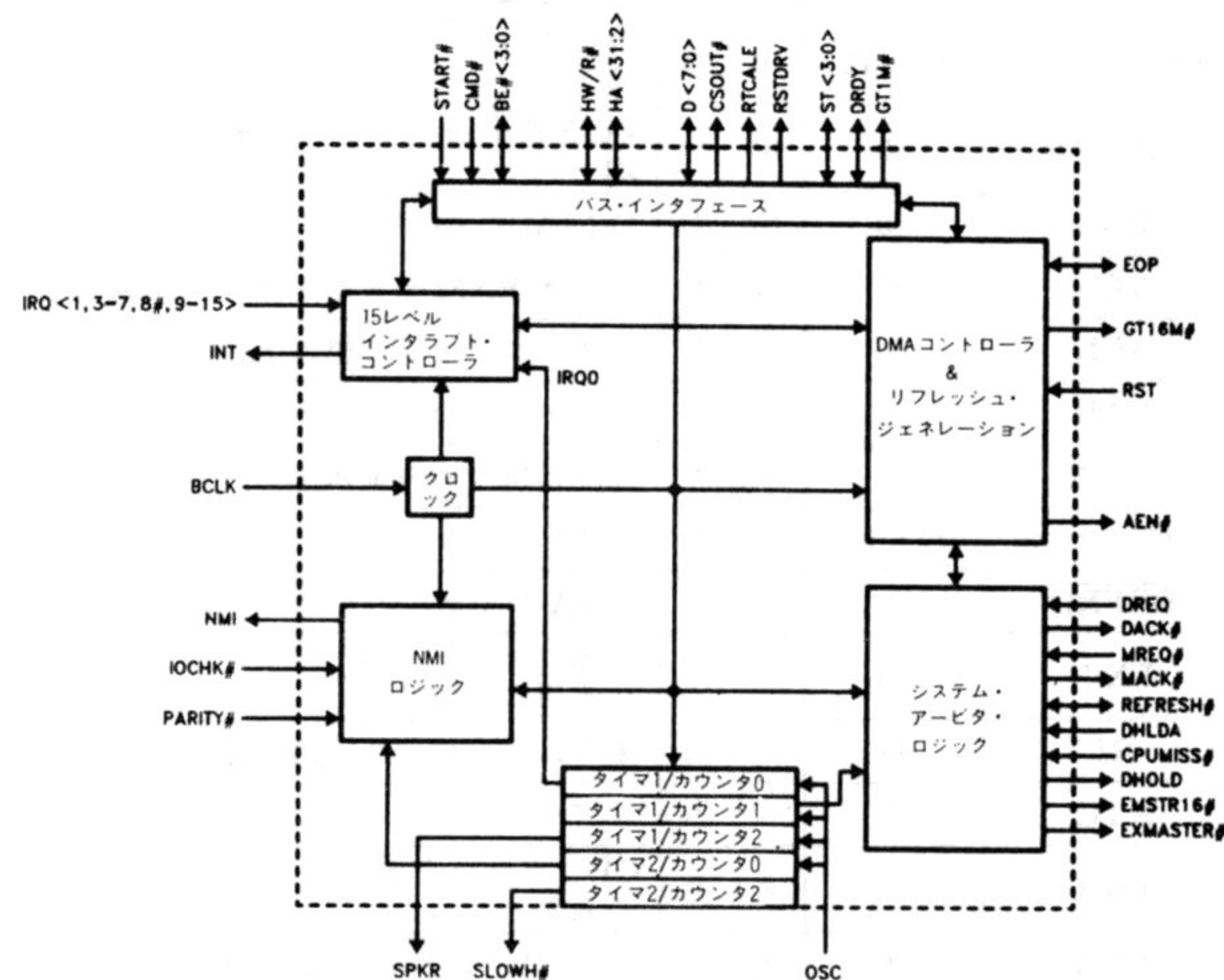
■ ピン接続

TOP VIEW

■ 特　徴

・ＤＭＡ機能
　－ＩＳＡ／ＥＩＳＡ　ＤＭＡコンパチブル・サイクル
　－３２ビット・アドレス可能
　－七つの独立したプログラマブル・チャネル
　－最大転送速度　３３Ｍバイト／秒
・ＣＰＵ，ＥＩＳＡ／ＩＳＡ　バス・マスタ，ＤＭＡチャネル，リフレッシュ用ハイ・パフォーマンス・アービトレーション
・２個の８２５９相当のインタラプト・コントローラ機能内蔵
・五つのプログラマブル１６ビット・カウンタ／タイマ
・ノン・マスカブル・インタラプトのジェネレーション／コントロール機能内蔵

■ ブロック図

82357 Internal Block Diagram

386™ and i486™ are Trademarks of Intel Corporation.

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜+6.5	V
入力電圧	V_{IN}	−0.5〜V_{CC}+0.5	V
動作温度	T_{OPR}	0 〜 +85	℃
保存温度	T_{STG}	−65〜+150	℃

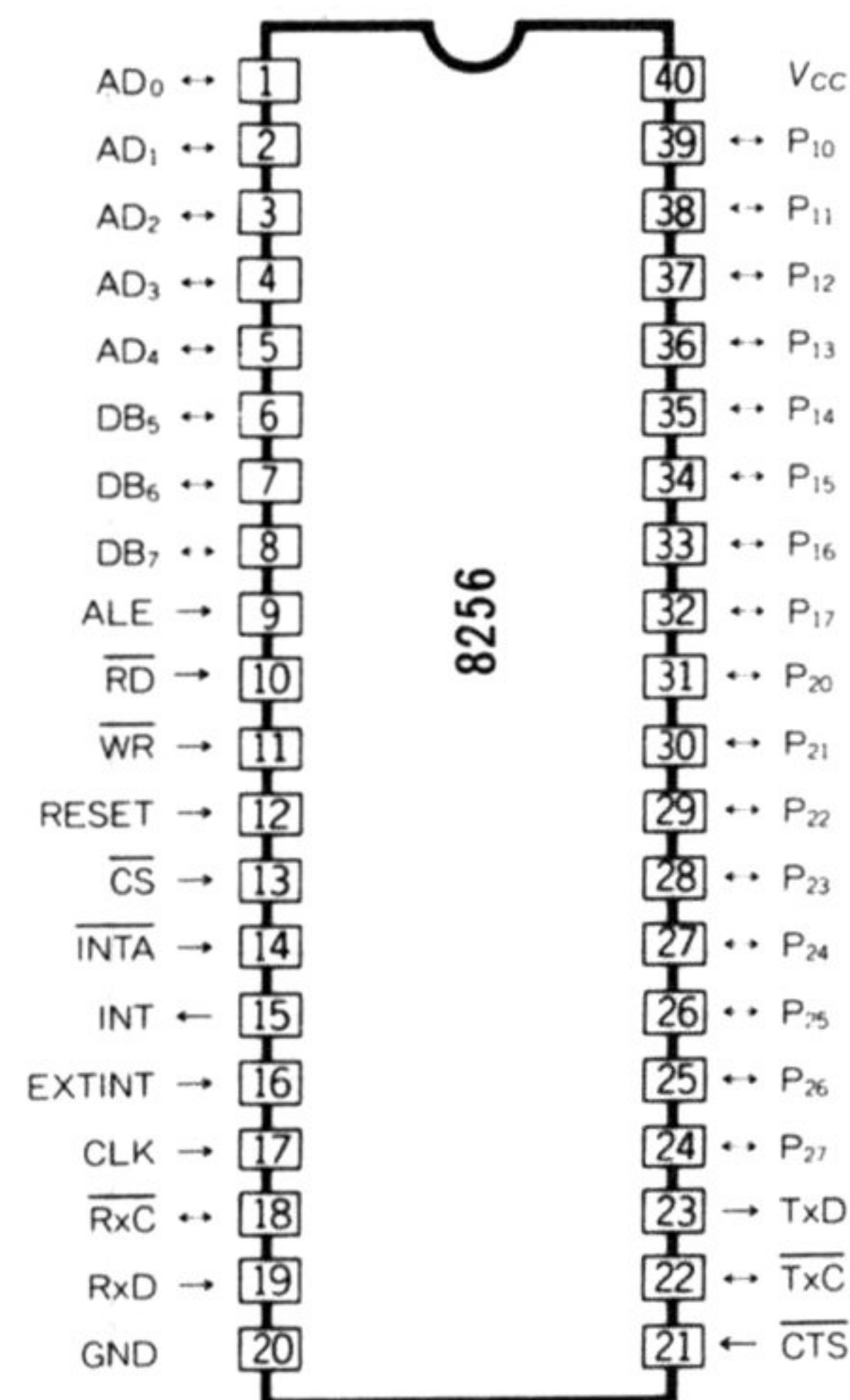
■ DC 特性

（T_a=0〜85℃，V_{CC}=5 V±5 %）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=5 mA	0.45	V
V_{OH}	I_{IL}=1 mA	2.4*	V
I_{OL}	V_{OUT}=0.45〜V_{CC}	±15	μA
I_{IL}	V_{IN}=0〜V_{CC}	±15	μA
C_{IN}	f=1 MHz	12	pF

■端子機能

端子名	ピン番号	入出力	インターフェース	機能
DREQ7～5	100～102	入力	EISA	DMA リクエスト・ライン
DREQ3～0	103～106	入力	EISA	DMA リクエスト・ライン
DACK7#～5#	83～85	出力	EISA	DMA アクノリッジ・ライン
DACK3#～0#	86～89	出力	EISA	DMA アクノリッジ・ライン
MREQ5#～0#	107～112	入力	EISA	マスタ・リクエスト・ライン
MACK5#～0#	92～97	出力	EISA	マスタ・アクノリッジ・ライン
REFRESH#	131	入出力	EISA	リフレッシュ・コントロール（24mA）
DHLDA	114	入力	ホスト	CPU ホールド・アクノリッジ
CPUMISS#	113	入力	ホスト	CPU キャッシュ・ミス
DHOLD	98	出力	EBC	CPU ホールド・リクエスト
EMSTR16#	4	出力	EBC	バス・コントローラ82358への16ビット ISA マスタのアーリィ・インディケーション信号
EXMASTER#	5	出力	EBC	EISA バス・マスタ・アクセス・コントロール
START#	20	入力	EISA	EISA バスからのスタート信号
CMD#	19	入力	EISA	EISA バスからのコマンド信号
EOP	80	入出力	EISA	エンド・オブ・プロセス入出力信号
BE3#～0#	70～67	入出力	EISA	バイト・イネーブル（BE13 は出力専用）
HA11～2	55～64	入出力	ホスト	アドレス・バス
HA14～12	50～52	入出力	ホスト	アドレス・バス
HA21～15	35～41	入出力	ホスト	アドレス・バス（A16～A19 は出力専用）
HA31～22	23～32	入出力	ホスト	アドレス・バス
HW/R#	79	入出力	ホスト	ライト/リード・ステータス
GT16M#	11	出力	EBC	16M バイト以下のアドレス
GT1M#	12	出力	EBC	1M バイト以下のアドレス
RST	18	入力	EBC	システム・リセット
ST3～0	72～75	入出力	EBC	ISP/EBC 間の双方向ステータス信号
DRDY	78	入出力	EBC	EBC からのマスタ・モード・レディと EBC へのスレーブ・モード・レディ
D7～0	42～49	入出力	その他	データ・バス
CSOUT#	9	出力	その他	スレーブ・モードでの ISP 選択
AEN#	82	出力	その他	DMA からのアドレス・イネーブル出力
IRQ1	128	入力	EISA	割り込み要求
IRQ15～3	115～127	入力	EISA	割り込み要求
INT	3	出力	ホスト	CPU への割り込み出力
OSC	129	入力	EISA	タイマ用の14.31818MHz クロック
IOCHK#	13	入力	EISA	バス・エラー信号
RSTDRV	132	出力	EISA	システム・バス・リクエスト
PARITY#	14	入力	ホスト	メイン・メモリのパリティ・エラー
SLOWH#	10	出力	ホスト	CPU へのスロー・ダウン・タイマ
NMI	6	出力	ホスト	NMI ロジックからの信号出力
SPKR	7	出力	その他	スピーカ・ドライブ信号（24mA ドライブ）
PTCALE	8	出力	その他	リアル・タイム・クロック・アドレス・ラッチ・イネーブル
BCLK	16	入力	その他	動作用クロック入力

UART [Universal Asynchronous Receiver Transmitter]

■ ピン接続

■ 特　徴

- ５，６，７，８ビットの非同期通信が可能なＵＡＲＴ内蔵
- １９．２ＫＢＰＳまで１３種類の設定が可能なボーレート・ジェネレータ内蔵
- 五つの８ビット・カウンタ／タイマをもち，四つは二つの６ビット・カウンタ／タイマとして使用可能
- 二つの８ビット・プログラマブルＩ／Ｏを内蔵
- ８レベルの割り込みコントローラ

■ DC特性

（T_a＝0～70℃，V_{CC}＝5V±10%）

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝2.5mA	0.45	V
V_{OH}	I_{OH}＝400μA	2.4*	V
I_{OL}	V_{OUT}＝0.45V, V_{CC}	±10	μA
I_{IL}	V_{IN}＝0V, V_{CC}	±10	μA
C_{IN}		10	pF
$C_{I/O}$		20	pF

■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～7.0	V
入力電圧	V_{IN}	−0.5～7.0	V
消費電力	P_D	1	W
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−65～150	℃

■端子機能

端子名	名　称	ピン番号	入出力	機　能
AD_0~AD_4, DB_5~DB_7	アドレス/データ	1～5, 6～8	入出力	3ステート・アドレス/データ・ライン．CPUのマルチプレクス・アドレス/データ・バスの下位8ビットに接続される
ALE	アドレス・ラッチ・イネーブル	9	入　力	AD_0～AD_4上の5アドレス・ラインをラッチする
$\overline{RD}$	リード	10	入　力	内部レジスタの読み出しストローブ
$\overline{WR}$	ライト	11	入　力	内部レジスタへの書き込みストローブ
RESET	リセット	12	入　力	イニシャル・リセット信号
$\overline{CS}$	チップ・セレクト	13	入　力	データのリード/ライト時のチップ・セレクト信号
$\overline{INTA}$	インタラプト・アクノリッジ	14	入　力	CPUからの割り込み要求受付け信号
INT	割り込み要求	15	出　力	割り込み要求信号の出力端子
EXT INT	外部割り込み要求	16	入　力	外部デバイスは，この端子を通して，割り込み要求をCPUに伝達できる
CLK	クロック	17	入　力	ボーレイト・ジェネレータ，内部タイマ用のシステム・クロック入力
RxC	レシーブ・クロック	18	入出力	外部クロックを使用するときは，レシーバ・クロック入力．内部クロックのときはレシーバ・クロック出力
RxD	レシーブ・データ	19	入　力	シリアル・データ入力
GND	グラウンド	20	—	グラウンド
$\overline{CTS}$	クリア・トゥ・センド	21	入　力	送信可を示す信号．トランスミッタのコントロールに使用される
TxC	トランスミッタ・クロック	22	入出力	外部クロック使用のときは，トランスミッタ・クロック入力．内部クロックのときはトランスミッタ・クロック出力
TxD	トランスミット・データ	23	出　力	シリアル・データ出力
P_{27}～P_{20}	パラレル・ポート2	24～31	入出力	汎用の8ビット入出力ポート
P_{17}～P_{10}	パラレル・ポート1	32～39	入出力	汎用の8ビット入出力ポート
V_{CC}	電源	40	—	5V電源端子

DMAC & INT & PIT

■ ピン接続

M5M82C800

NC：無接続

NU：使用不可

■ 最大定格

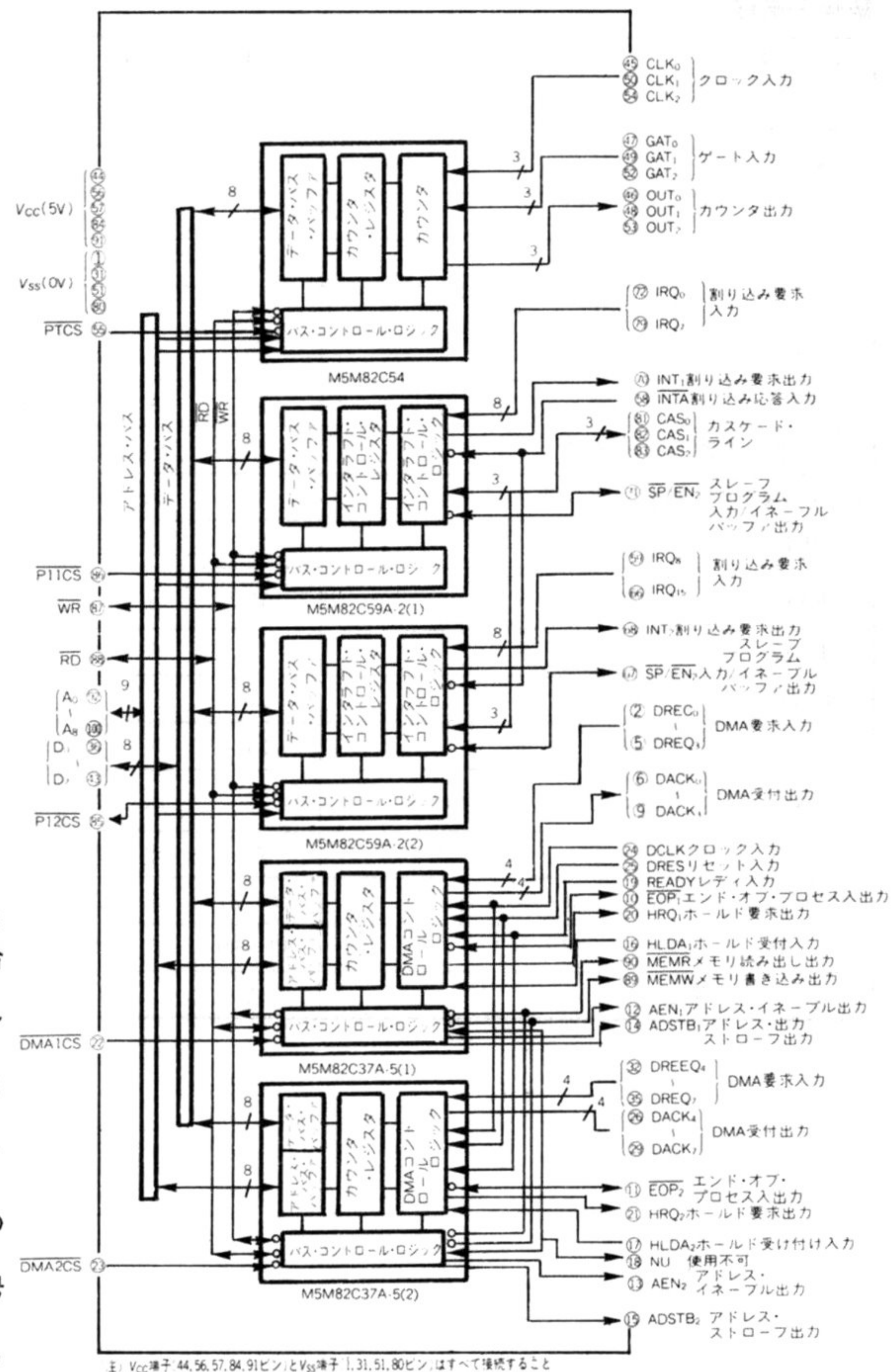
項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.3	V
動作温度	T_{OPR}	−20〜75	℃
保存温度	T_{STG}	−65〜150	℃

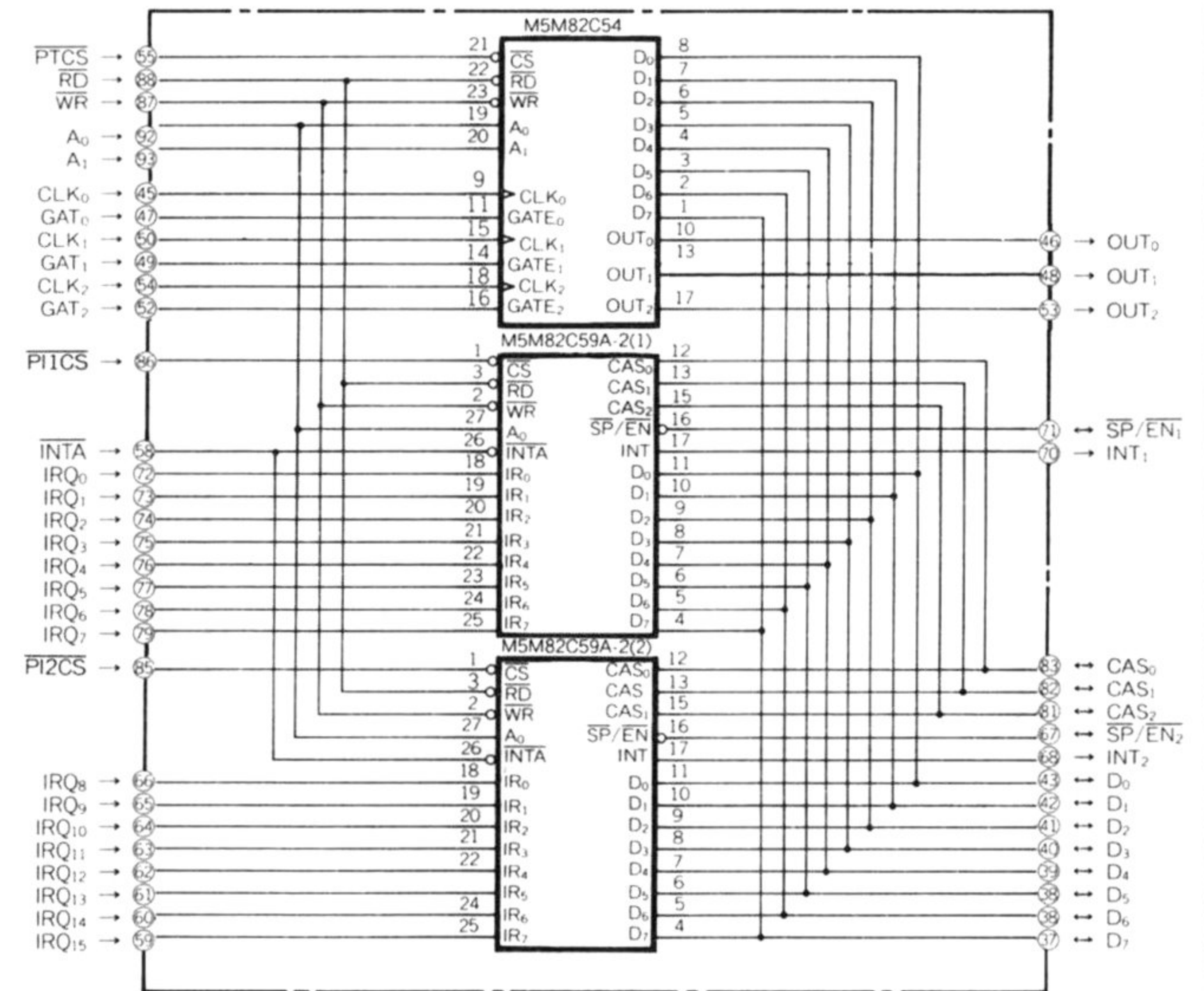
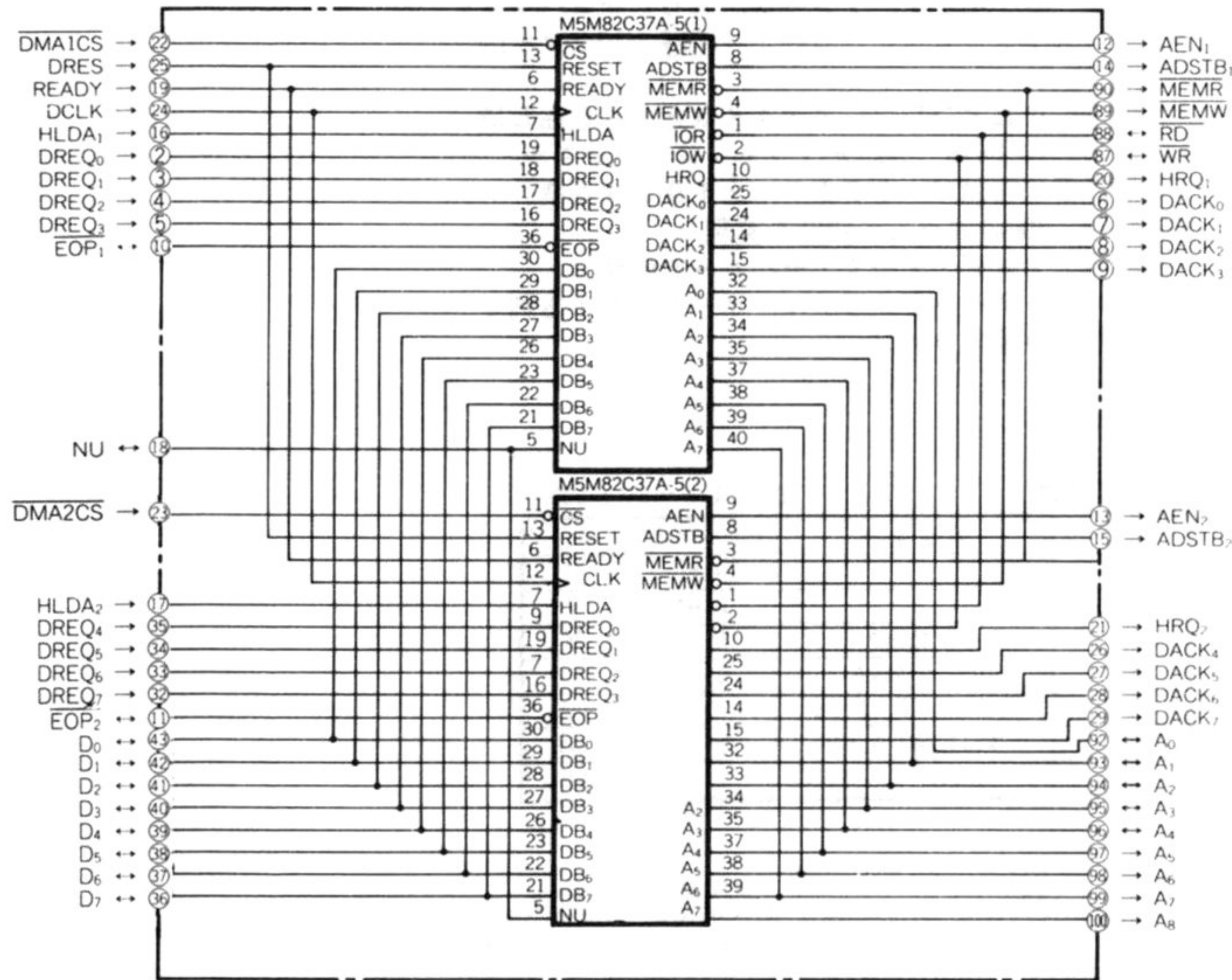
■ DC特性

(T_a＝−20〜75℃，V_{CC}＝5V±10%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝2mA	0.45	V
V_{OH}	I_{OH}＝200μA (82C37)	2.4*	V
I_{OL}	V_{OUT}＝0〜V_{CC}	±10	μA
I_{IL}	V_{IN}＝0〜V_{CC}	±10	μA

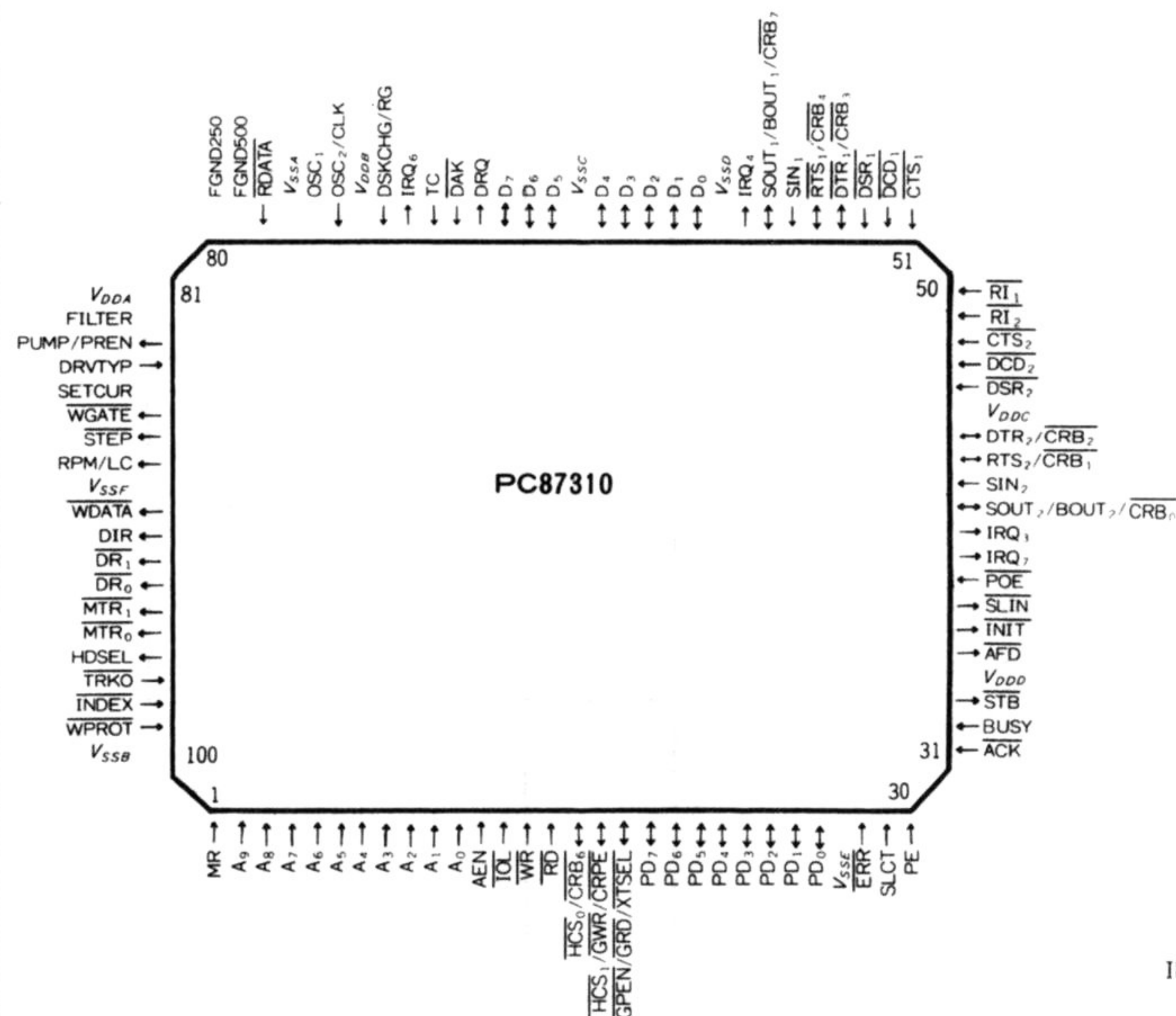
■ 特　徴

- 割り込みコントローラ，ＤＭＡコントローラ，プログラマブル・インターバル・タイマを内蔵した複合ＬＳＩ
- ８レベルまで優先割り込みを管理する割り込みコントローラ（８２５９Ａ相当）を２個内蔵
- 独立した４個のＤＭＡチャネルをもつコントローラ（８２３７Ａ相当）を２個内蔵
- 独立した３個のカウンタをもつプログラマブル・インターバル・タイマ（８２５４相当）を１個内蔵
- ５個のＬＳＩの機能を１チップ化したためボードの小型化が可能
- データ・バス，アドレス・バス，コントロール信号を共通化
- リセット端子，割り込み入力端子にはノイズ・キャンセラ回路を内蔵

(注) V_{CC}端子 44, 56, 57, 84, 91ピンとV_{SS}端子 1, 31, 51, 80ピンはすべて接続すること

■ 内部結線図

(注) 内部の各ICの端子機能については
8237, 8253/8254, 8279を参照

MFP (Multi Function Peripheral)

■ ピン接続

PC87310

〈注〉ピンの入出力状態はモードにより異なるため
"端子機能"参照.

■ 最大定格

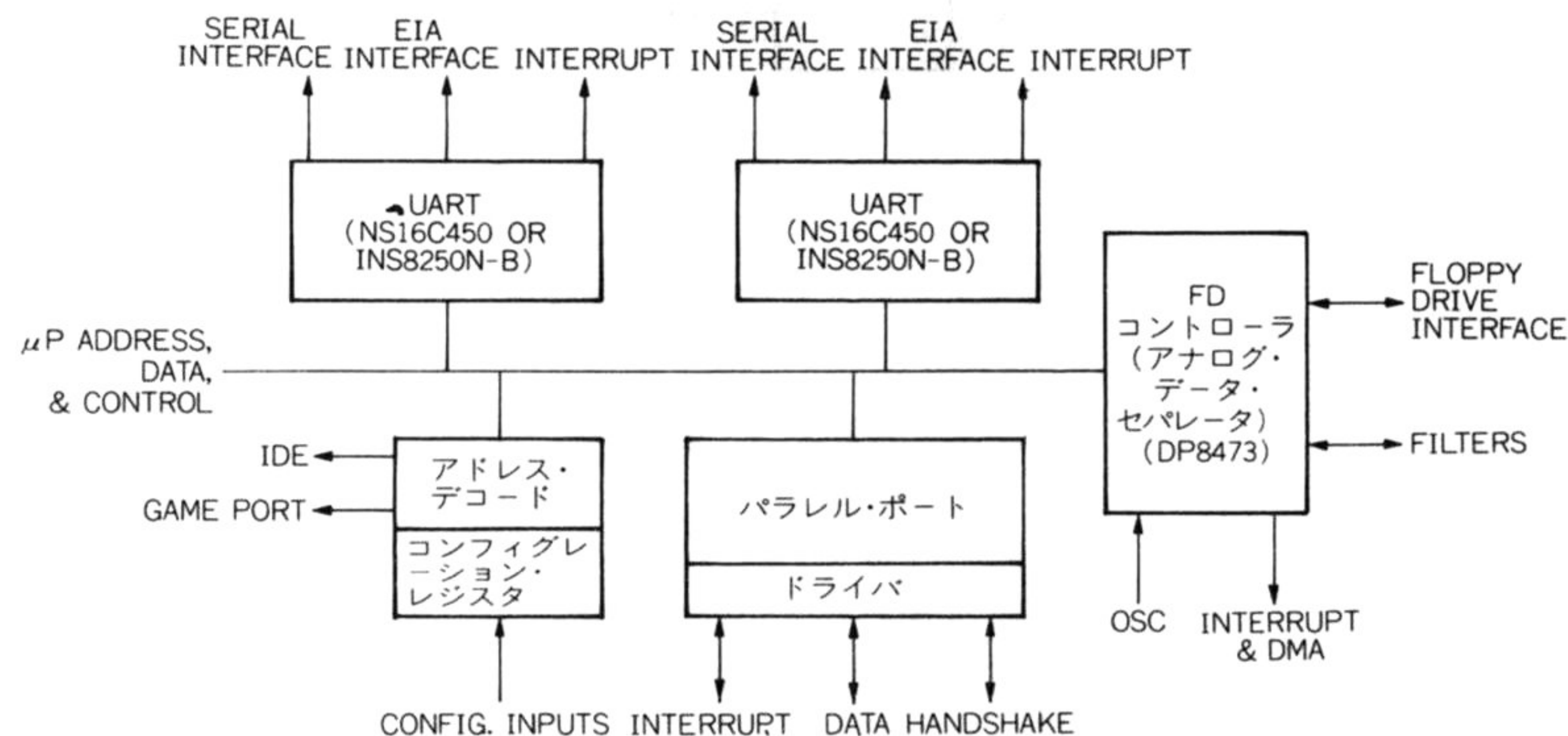
項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜V_{CC}+0.5	V
消費電力	P_D	750	mW
動作温度	T_{OPR}	0〜70	°C
保存温度	T_{STG}	−65〜150	°C

■ 特　徴

・フル機能を備えた二つのＵＡＲＴ，データ・セパレータを内蔵したＦＤコントローラ，パラレル・ポート，ゲーム・ポート・デコーダ，ＨＤＣデコーダ，ＸＴ／ＡＴアドレス・デコーダ，各種レジスタを内蔵
・IBM PC, XTおよびATアーキテクチャと１００％互換
・INS8250, NS16450 UARTとソフト・コンパチブル
・業界標準の765Aアーキテクチャと１００％互換
・DP8473 FDCのすべての機能を実現
・高精度アナログ・データ・セパレータ内蔵
・パラレル・ポートとシリアル・ポートに対する別々の割り込み要求ライン

■ DC特性

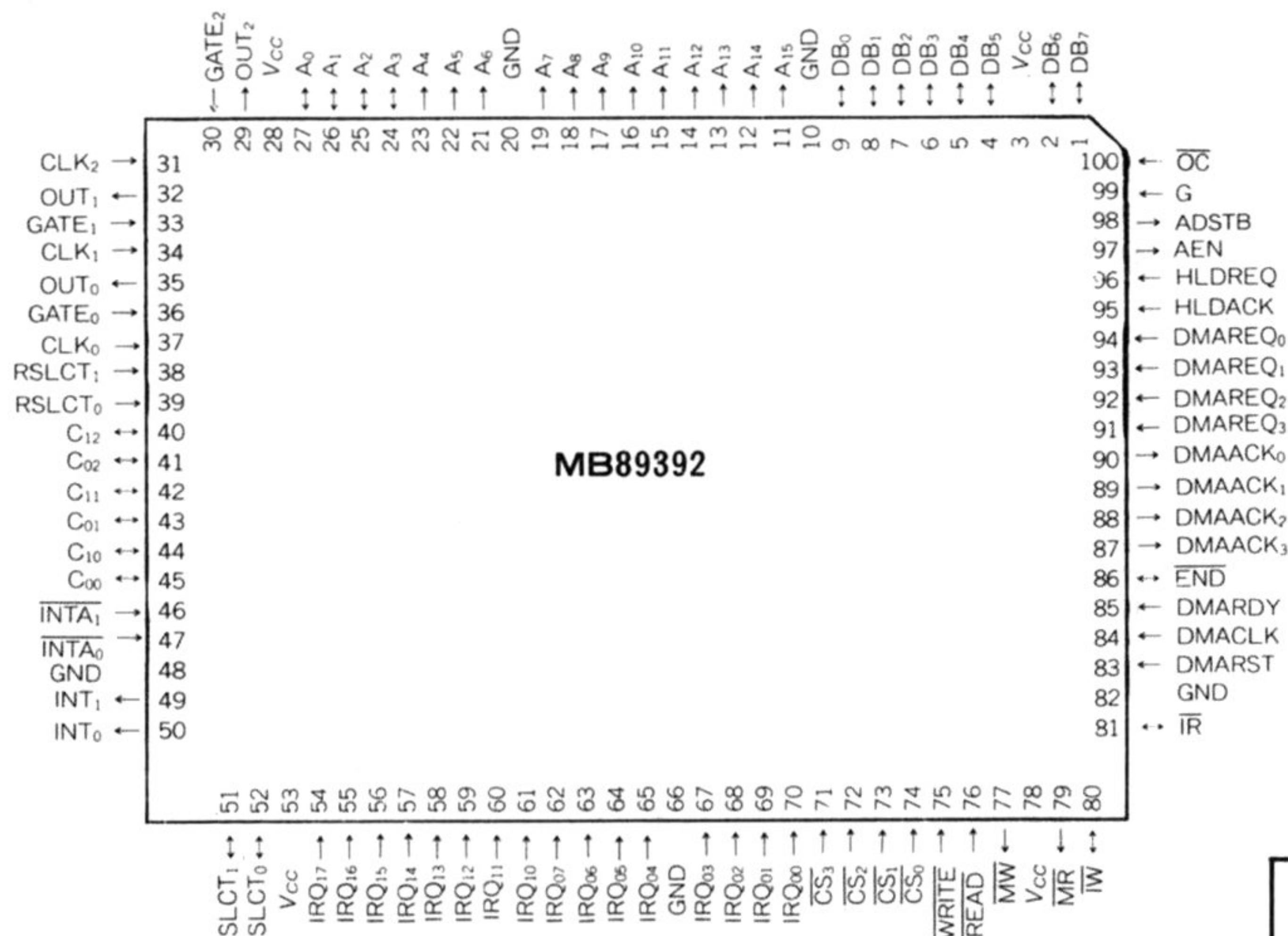
（T_a＝0〜70°C，V_{CC}＝5V±10%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝12mA	0.4	V
V_{OH}	I_{OH}＝0.2mA	2.4*	V
I_{OL}	V_{OUT}＝0，5.5V	±20	μA
I_{IL}	V_{IN}＝0，5.5V	±10	μA
C_{IN}	f＝1MHz，T_a＝25°C	7	pF

■端子機能

端 子 名	ピン番号	入 出 力	機　　　能
$A_0 \sim A_9$	11～2	入　力	アドレス信号
$\overline{ACK}$	31	入　力	プリンタで"L"にセットされ，データを受信したことを示す
AEN	12	入　力	"H"のとき，アドレス信号（$A_0 \sim A_9$）による機能選択をディセーブルする
$\overline{AFD}$	35	出　力	"L"のとき，プリンタは行のプリント後に自動的に行送りを行う
$BOUT_{1,2}$	57，41	出　力	10(HEX)のデーマがTCRに書き込まれた後に，関連するシリアル・チャネルのボーレートを出力する
BUSY	32	入　力	別のキャラクタを受信できない時に，プリンタで"H"にセットされる
$\overline{CRPE}$	17	入　力	コンフィギュレーション・レジスタのセットをハード／ソフトのいずれで行うかを選択する
$\overline{CRB}_{0-4,6,7}$	41，43，44，54，55，16，17	入　力	コンフィギュレーション・レジスタ・ビットの状態を決定する
$\overline{CTS}_{1,2}$	51，48	入　力	MODEMまたはデータ・セットがレディであることを示す
$D_0 \sim D_7$	60～64，66～68	入出力	入出力データ・バス
$\overline{DAK}$	70	入　力	DMA要求，$\overline{RD}$，$\overline{WR}$をイネーブルにする入力
$\overline{DCD}_{1,2}$	52，47	入　力	データ・キャリア検出入力
DIR	91	出　力	ヘッドの移動方向を示す
$\overline{DR}_{0,1}$	93，92	出　力	ドライブ0，1の選択出力
DRQ	69	出　力	DMAリクエスト出力
DRVTYP	84	入　力	300kb/sモードをイネーブルにする
DSKCHG/RG	73	入　力	ディスク・ドライブのドアが開けられたことを示す
$\overline{DSR}_{1,2}$	53，46	入　力	データ・セット・レディ信号
$\overline{DTR}_{1,2}$	54，44	出　力	データ・ターミナル・レディ信号
$\overline{ERR}$	28	入　力	テラー検出時，プリンタで"L"にセットする
FILTER	82	出　力	チャージ・ポンプの出力でVCOの入力となる
$\overline{GPEN}$	18	出　力	I/Oアドレス201(HEX)検出し，$\overline{XTSEL}$がリセット中に"H"のとき，"L"を出力する
$\overline{GRD}$	18	出　力	I/Oアドレス201(HEX)検出し，$\overline{XTSEL}$がリセット中に"L"のとき，"L"を出力する
$\overline{GWR}$	17	出　力	I/Oアドレス201(HEX)検出し，$\overline{XTSEL}$がリセット中に"L"のとき，"L"を出力する
$\overline{HSC}_{0,1}$	16，17	出　力	ハード・ディスク・チップ・セレクト出力

端 子 名	ピン番号	入 出 力	機　　　能
HDSEL	96	出　力	どのディスク・ドライブのヘッドをアクティブにするかを決める
$\overline{IOL}$	13	入　力	I/Oアドレス・ビット10～15がすべて"L"のとき，"L"を入力しなければならない
$\overline{INIT}$	36	出　力	プリンタ・イニシャライズ出力
$\overline{INDEX}$	98	入　力	トラックのスタートを示す
$IRQ_{3,4}$	40，58	出　力	シリアル・ポート割り込み出力
IRQ_6	72	出　力	フロッピ・ディスク・コントローラの割り込み出力
IRQ_7	39	出　力	パラレル・ポート割り込み出力
MR	1	入　力	マスタ・リセット入力
$\overline{MTR}_{0,1}$	95，94	出　力	ドライブ0，1のモータ・イネーブル出力
$OSC_{1,2}$	76，75	—	水晶振動子接続端子
$PD_0 \sim PD_7$	26～19	入出力	周辺データ・バスとの間のデータ送・受信用ポート
PE	30	入　力	用紙の終りを示す信号を入力する
$\overline{POE}$	38	入　力	ポート出力($PD_{0\sim7}$)をイネーブルにする入力信号
PUMP/PREN	83	出　力	チャージ・ポンプが補正を行っている状態を出力する
$\overline{RD}$	15	入　力	リード入力信号
$\overline{RDATA}$	78	入　力	ディスクからの読み出しデータを入力する
$\overline{RI}_{1,2}$	50，49	入　力	モデムのステータス信号
RPM/LC	88	出　力	毎分回転数，モータ・ドライブの低電流化指示を示す出力信号
$\overline{RST}_{1,2}$	55，43	出　力	送信要求
SETCUR	85	入　力	外部フィルタを駆動するチャージ・ポンプ電流設定用端子
$SIN_{1,2}$	56，42	入　力	シリアル・データ入力
SLCT	29	入　力	プリンタ選択入力
$\overline{SLIN}$	37	出　力	"L"出力のとき，プリンタを選択する
$SOUT_{1,2}$	57，41	出　力	シリアル出力
$\overline{STB}$	33	出　力	周辺デバイス用データ・ストローブ
$\overline{STEP}$	87	出　力	ヘッドを移動するためのステップ・パルス出力
TC	71	入　力	DMA転送の終了を示す信号入力
$\overline{TRK}_0$	97	入　力	ヘッドがトラック0にあることを示す信号入力
$\overline{WDATA}$	90	出　力	ディスク・ドライブ書き込み用のシリアル・データ出力
$\overline{WGATE}$	86	出　力	ディスク・ドライブの書き込みイネーブル出力
$\overline{WPROT}$	99	入　力	ディスクのライト・プロテクト入力
$\overline{WR}$	14	入　力	ライト信号
$\overline{XSEL}$	18	入　力	XT互換モード選択入力

DMAC & PIT/PIC

■ ピン接続

MB89392

■ 特　徴

- 割り込みコントローラ，DMAコントローラ，プログラマブル・インターバル・タイマを内蔵した複合LSI
- 8レベルまで優先割り込みを管理する割り込みコントローラ（8259A相当）を2個内蔵
- 独立した4個のDMAチャネルをもつコントローラ（8237A相当）を内蔵
- 独立した3個のカウンタをもつプログラマブル・インターバル・タイマ（8254相当）を内蔵
- DMAコントローラのデータ／アドレスを分離するアドレス・ラッチを内蔵
- 8085系の周辺LSIを用いているため従来のソフトウェアがそのまま使用できる
- C−MOSプロセスのため低消費電力

■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.3	V
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−55〜150	℃

■ DC特性

（T_a=0〜70℃，V_{CC}=5.0±10%）

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}=2.5mA	0.45	V
V_{OH}	I_{OH}=2.5mA	3.5*	V
I_{OL}	V_{OUT}=0〜V_{CC}	±10	μA
I_{IL}	V_{IN}=0〜V_{CC}	±10	μA
C_{IN}		20	pF

■端子機能

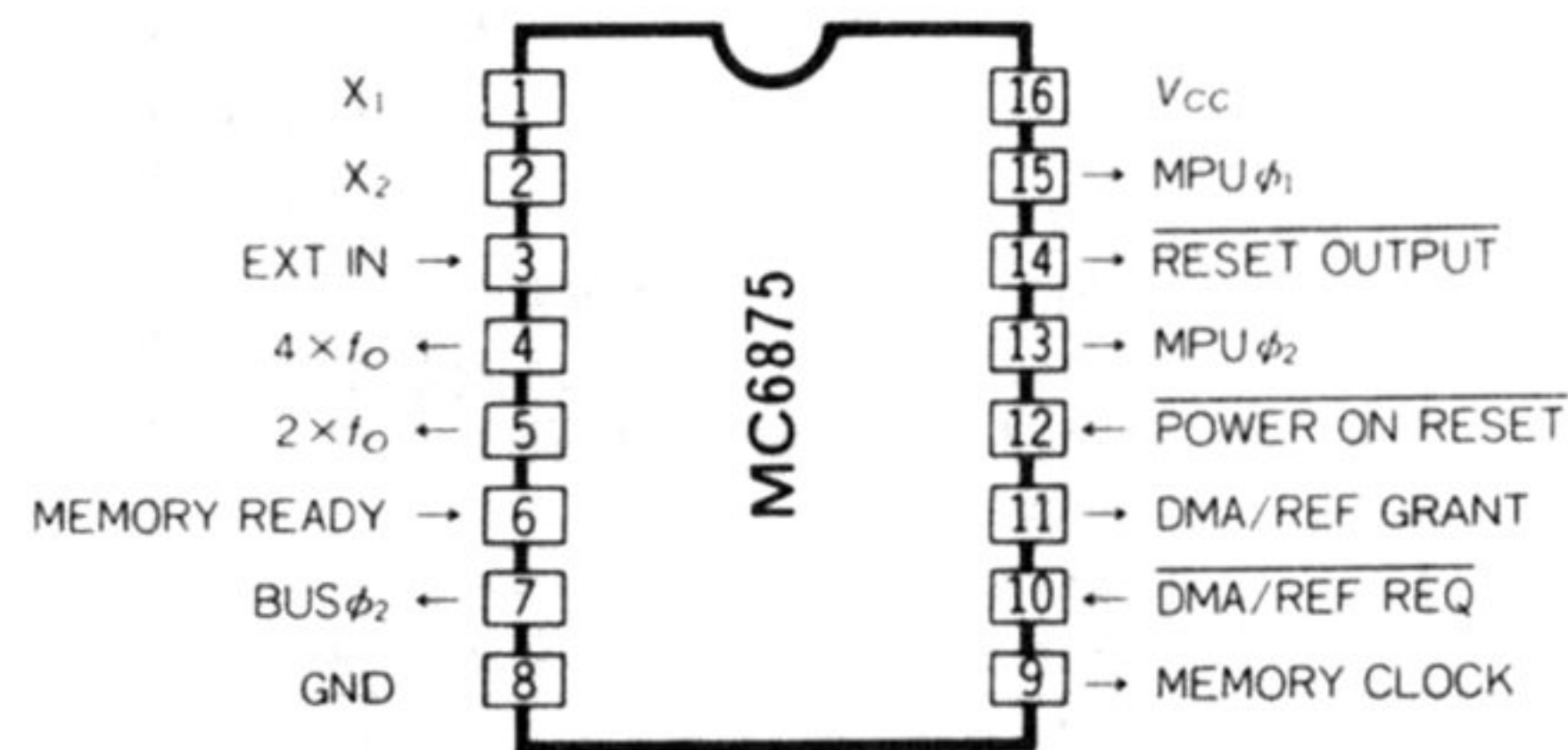
端子名	名称	ピン番号	入出力	機能
DB_7～DB_0	データ・バス	1，2 4～9	入出力	システム・データ・バスに接続される双方向3ステートのデータ・バス
$\overline{CS_0}$～$\overline{CS_3}$	チップ・セレクト	71～74	入　力	ブロックを選択するための信号
$\overline{WRITE}$	ライト・イネーブル	75	入　力	割り込みコントローラ0，1，インターバル・タイマ共通の書き込みイネーブル信号
$\overline{READ}$	リード・イネーブル	76	入　力	割り込みコントローラ0，1，インターバル・タイマ共通の読み出しイネーブル信号
V_{CC}	電源	3，28， 53，78	入　力	電源端子
GND	グラウンド	10，20， 48，66，82	入　力	グラウンド
A_0～A_{15}	アドレス・バス	11～19， 21～23， 24～27	出　力 入出力	システムのアドレス・バスに接続される3ステートのアドレス・バス
G	ゲート	99	入　力	アドレス・バスの上位8ビット(A_{15}～A_8)に挿入されたアドレス/データ分離用のアドレス・ラッチのラッチ信号
$\overline{OC}$	出力コントロール	100	入　力	アドレス・バスの上位8ビット(A_{15}～A_8)に挿入されたアドレス/データ分離用のアドレス・ラッチの出力コントロール信号
$RSLCT_0$， $RSLCT_1$	レジスタ選択	38， 39	入　力	割り込みコントロール0，1，それぞれの読み出しレジスタ，書き込みレジスタの選択信号
C_{02}，C_{01}，C_{00}	カスケード	41，43，45	入出力	割り込みコントローラ0のカスケード制御信号
C_{12}，C_{11}，C_{10}	カスケード	40，42，44	入出力	割り込みコントローラ1のカスケード制御信号
$\overline{INTA_0}$， $\overline{INTA_1}$	割り込み認知	46，47	入　力	割り込みコントローラ0，1，それぞれの割り込み認知信号
INT_0， INT_1	割り込み要求	49，50	出　力	割り込みコントローラ0，1，それぞれのCPUに対する割り込み要求出力信号
$SLCT_{0,1}$	セレクト	51，52	入出力	二つの機能をもつ選択信号
IRQ_{00}～IR_{07}， IRQ_{10}～IRQ_{17}	割り込み要求	54～65， 67～70	入　力	割り込みコントローラ0，1それぞれの外部からの割り込み要求信号
$\overline{MW}$	メモリ・ライト	77	出　力	メモリの書き込みを行う出力信号
$\overline{MR}$	メモリ・リード	79	出　力	メモリの読み出しを行う出力信号

端子名	名称	ピン番号	入出力	機能
$\overline{IW}$	I/Oライト	80	入出力	双方向3ステート・ライト・イネーブル信号
$\overline{IR}$	I/Oリード	81	入出力	双方向3ステート・リード・イネーブル信号
DMARST	DMAリセット	83	入　力	DMAコントローラを初期設定する信号
DMACLK	DMAクロック	84	入　力	DMAコントローラの内部動作とDMA転送速度を制御するクロック信号
DMARDY	DMAレディ	85	入　力	DMAサイクルにおいて，データ転送が終了したことを示す信号
$\overline{END}$	DMA終了	86	入出力	DMA転送の終了に関する入出力信号
$DMAACK_0$ ≀ $DMAACK_3$	DMA許可	87～90	出　力	DMAサービスを要求した周辺デバイスにDMAリクエストが許可されたことを通知する信号
$DMAREQ_0$ ≀ $DMAREQ_3$	DMA要求	91～94	入　力	DMAコントローラに対して周辺デバイスがDMAサービスを要求する信号
HLDACK	ホールド・アクノリッジ	95	入　力	バス・ホールド要求をCPUが受け付けたことを示す信号
HLDREQ	ホールド要求	96	出　力	ホールド・リクエスト信号で，システム・バスの制御を要求するための信号
AEN	アドレス・イネーブル	97	出　力	DMA用のアドレス上位8ビットを保持するアドレス・ラッチをイネーブルにし，システムのアドレス・バスに出力する信号
ADSTB	アドレス・ストローブ	98	出　力	アドレスの上位バイトをアドレス・ラッチにセットするためのストローブ信号
OUT_2	出力2	29	出　力	カウンタ2からの出力信号
$GATE_2$	ゲート2	30	入　力	カウンタ2をコントロールする入力信号
CLK_2	クロック2	31	入　力	カウンタ2に供給するクロックの入力信号
OUT_1	出力1	32	出　力	カウンタ1からの出力信号
$GATE_1$	ゲート1	33	入　力	カウンタ1をコントロールする入力信号
CLK_1	クロック1	34	入　力	カウンタ1に供給するクロックの入力信号
OUT_0	出力0	35	出　力	カウンタ0からの出力信号
$GATE_0$	ゲート0	36	入　力	カウンタ0をコントロールする入力信号
CLK_0	クロック0	37	入　力	カウンタ0に供給するクロックの入力信号

CG〔Clock Generator〕

■ ピン接続

	ピン	ピン	
X_1	1	16	V_{CC}
X_2	2	15	→ MPU ϕ_1
EXT IN →	3	14	→ $\overline{\text{RESET OUTPUT}}$
$4\times f_O$ ←	4	13	→ MPU ϕ_2
$2\times f_O$ ←	5	12	← $\overline{\text{POWER ON RESET}}$
MEMORY READY →	6	11	→ DMA/REF GRANT
BUS ϕ_2 ←	7	10	← $\overline{\text{DMA/REF REQ}}$
GND	8	9	→ MEMORY CLOCK

MC6875

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	0～7.0	V
入力電圧	V_{IN}	0～5.5	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	－65～150	℃

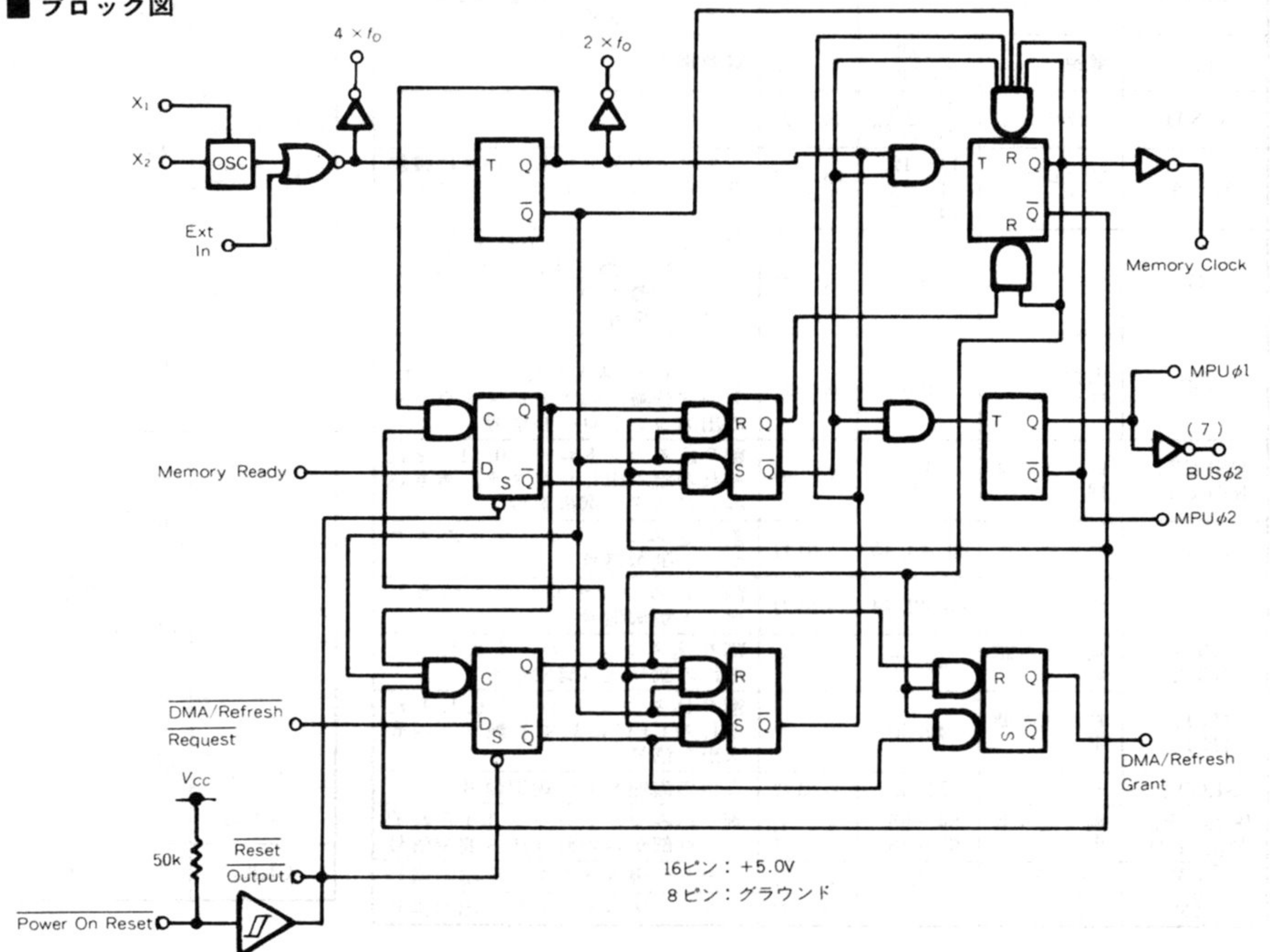
■ DC特性

（T_a＝0～70℃，V_{CC}＝5V±5%）

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝3.2mA (RESET)	0.5	V
V_{OH}	I_{OH}＝100μA (RESET)	2.4*	V
V_{ILH}	リセット入力"L"→"H"	3.6	V
V_{IHL}	リセット入力"H"→"L"	0.8*	V
I_{IH}	V_{IH}＝5V	25	μA
I_{IL}	V_{IL}＝0.5V	－250	μA

■ 特　徴

・６８００ＣＰＵシステム用クロック・ジェネレータ
・ＣＰＵに必要な二相信号Φ1，Φ2を発生する
・クロック・ソースとして水晶振動子，ＣＲ，外部クロックが使用できる
・Φ2に同期したメモリ用クロックおよびデータ・ストローブ信号の発生
・クロック周波数の２倍，４倍のタイミング信号を発生する
・メモリからの割り込み（リフレッシュ・リクエスト，メモリ・レディ）時のクロックの処理および割り込

■ ブロック図

■端子機能

端子名	名称	ピン番号	入出力	機能
X_1, X_2	水晶振動子	1，2	入出力	発振用水晶振動子接続端子．*CR* 発振の場合は，X_1，X_2間に*R*を接続し，X_2とグラウンドとの間に*C*を接続する
EXT IN	外部クロック入力	3	入　力	外部クロック入力端子．外部クロック使用のときは，X_1はオープン，X_2はグラウンドへ接続する
4 × *fo*	4倍クロック	4	出　力	接続された水晶振動子の周波数（4 × *fo*）がそのまま出力される
2 × *fo*	2倍クロック	5	出　力	水晶振動子の周波数を2分周した信号が出力される
MEMORY READY	メモリ・レディ	6	入　力	アクセス・タイムの遅いメモリを使用するときに使用するメモリ・レディ信号
BUS ϕ_2	バス ϕ_2	7	出　力	ϕ_2とほぼ同位相の信号で，バス，周辺 LSI 用として使う
MEMORY CLOCK	メモリ・クロック	9	出　力	メモリ用のクロック信号で，MPU ϕ_2とほぼ同相の信号
$\overline{\text{DMA/REF REQ}}$	DMA/リフレッシュ・リクエスト	10	入　力	DMA/リフレッシュ時にクロックを制御するための入力信号
DMA/REF GRANT	DMA/リフレッシュ・グラント	11	出　力	$\overline{\text{DMA/REF REQ}}$に対する確認出力信号
$\overline{\text{POWER ON RESET}}$	リセット	12	入　力	パワーオン・リセット信号で，内部状態を初期状態にする
MPU ϕ_1, ϕ_2	CPU クロック ϕ_1，ϕ_2	15, 13	出　力	CPU（6800）用のクロック信号で，互いに重ならないよう制御された二相クロックが出力される
$\overline{\text{RESET OUTPUT}}$	リセット出力	14	出　力	$\overline{\text{POWER ON RESET}}$に入力された信号が，シュミット回路を通し出力される
GND	グラウンド	8	—	グラウンド
V_{CC}	電源	16	—	電源

CG (Clock Generator)

■ ピン接続

μPD71611

ピン	信号	ピン	信号
1	READY ←	20	V_{CC}
2	SRDY →	19	→ CLK
3	$\overline{\text{SREN}}$ →	18	→ PRCLK
4	ARDY →	17	→ RESET
5	$\overline{\text{AREN}}$ →	16	← $\overline{\text{RESIN}}$
6	WAIT_0 →	15	← F/$\overline{\text{X}}$
7	WAIT_1 →	14	← EXFS
8	WAIT_2 →	13	→ X_2
9	$\overline{\text{BCY}}$ →	12	← X_1
10	V_{SS}	11	NC

■ 特　徴

・V60CPUシステム・サポート用クロック・ジェネレータ・ドライバ
・32MHz原発振を2分周し最大システム・クロック周波数16MHzを発生
・プログラマブル・ウェイト信号発生回路によりレディ信号出力タイミングを制御
・シュミット・トリガ回路によるリセット信号出力

■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−1.0〜V_{CC}+1.0	V
消費電力	P_D	0.5	W
動作温度	T_{OPR}	−40〜85	℃
保存温度	T_{STG}	−65〜150	℃

■ DC特性

(T_a=−40〜85℃, V_{CC}=5V±5%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}=4mA	0.45	V
V_{OH}	I_{OH}=4mA	V_{CC}−0.8*	V
I_{IL}		±1	μA
C_{IN}		10	pF

■端子機能

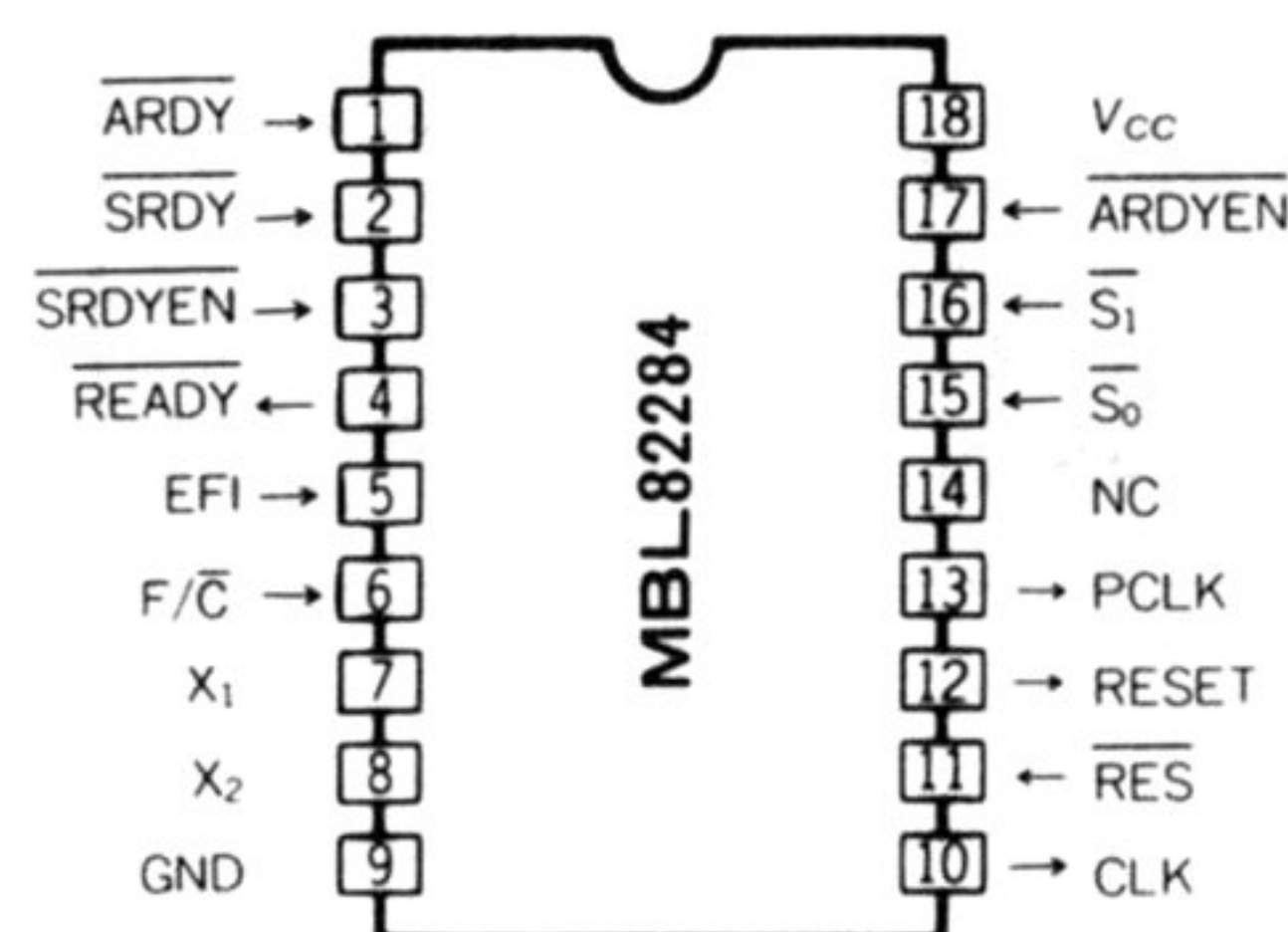
端子名	名称	ピン番号	入出力	機能
X_1 X_2	水晶振動子入力	12 13	入力 出力	水晶振動子接続端子．所要CLK周波数の2倍の基本発振周波数の水晶振動子を接続する． 外部クロックを使用する場合は，X_1，X_2端子を“H”レベルに固定する
EXFS	外部発振入力	14	入力	外部クロック入力端子．所要CLK周波数の2倍のクロックを供給する
F/$\overline{X}$	外部入力/水晶選択	15	入力	発振源選択信号．“H”で外部クロックを，“L”で水晶振動子を発振源に選択．また“H”のとき水晶振動子発振を停止
CLK	CPUクロック用出力	19	出力	CPUシステム・クロック出力端子
PRCLK	周辺LSI用クロック出力	18	出力	周辺システム用クロック出力端子
$\overline{\text{RESIN}}$	リセット入力	16	入力	リセット入力端子（シュミット入力）
RESET	リセット出力	17	出力	リセット出力端子
ARDY	非同期レディ入力	4	入力	非同期レディ信号入力端子
$\overline{\text{AREN}}$	非同期レディ・イネーブル	5	入力	ARDY入力の許可信号入力端子
SRDY	同期レディ入力	2	入力	同期レディ信号入力端子
$\overline{\text{SREN}}$	同期レディ・イネーブル	3	入力	SRDY入力の許可信号入力端子
$\overline{\text{BCY}}$	CPUバス・サイクル・ステート・シグナル	9	入力	CPUからのバス・サイクル信号入力端子
$WAIT_0$ $WAIT_1$ $WAIT_2$	ウェイト・モード・コントロール	6 7 8	入力	ウェイト・モード選択入力端子．READY信号出力を0から最大8クロック分遅らせる
$\overline{\text{READY}}$	レディ出力	1	出力	レディ信号出力端子
V_{CC}	電源	20	—	＋5V電源を接続する
V_{SS}	グラウンド	10	—	グラウンド

CG (Clock Generator)

■ ピン接続

信号	ピン		ピン	信号
$\overline{ARDY}$ →	1	MBL82284	18	V_{CC}
$\overline{SRDY}$ →	2		17	← $\overline{ARDYEN}$
$\overline{SRDYEN}$ →	3		16	← $\overline{S_1}$
$\overline{READY}$ ←	4		15	← $\overline{S_0}$
EFI →	5		14	NC
F/$\overline{C}$ →	6		13	→ PCLK
X_1	7		12	→ RESET
X_2	8		11	← $\overline{RES}$
GND	9		10	→ CLK

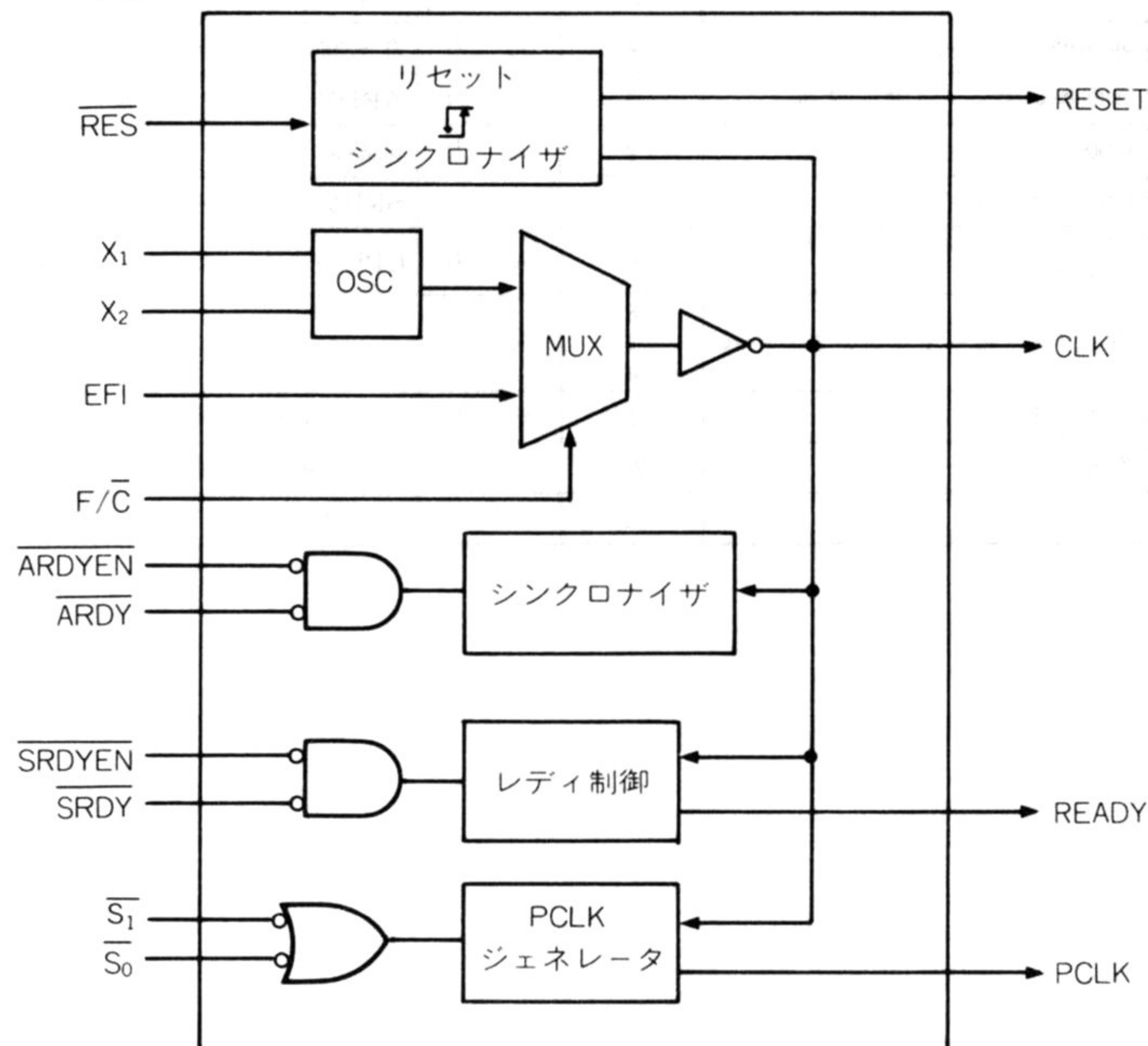
■ 特　徴

- ８０２８６ＣＰＵシステム・サポート用クロック・ジェネレータ・ドライバ
- 発振源として水晶または外部ＴＴＬ信号を使用する
- プログラマブル・ウェイト信号発生回路によりレディ信号出力タイミングを制御
- ローカル・レディとマルチバス・レディの同期化が可能
- シュミット・トリガ回路によるリセット信号出力

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～7.0	V
入力電圧	V_{IN}	−1.0～5.5	V
消費電力	P_D	1	W
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−65～+150	℃

■ ブロック図

■ DC特性

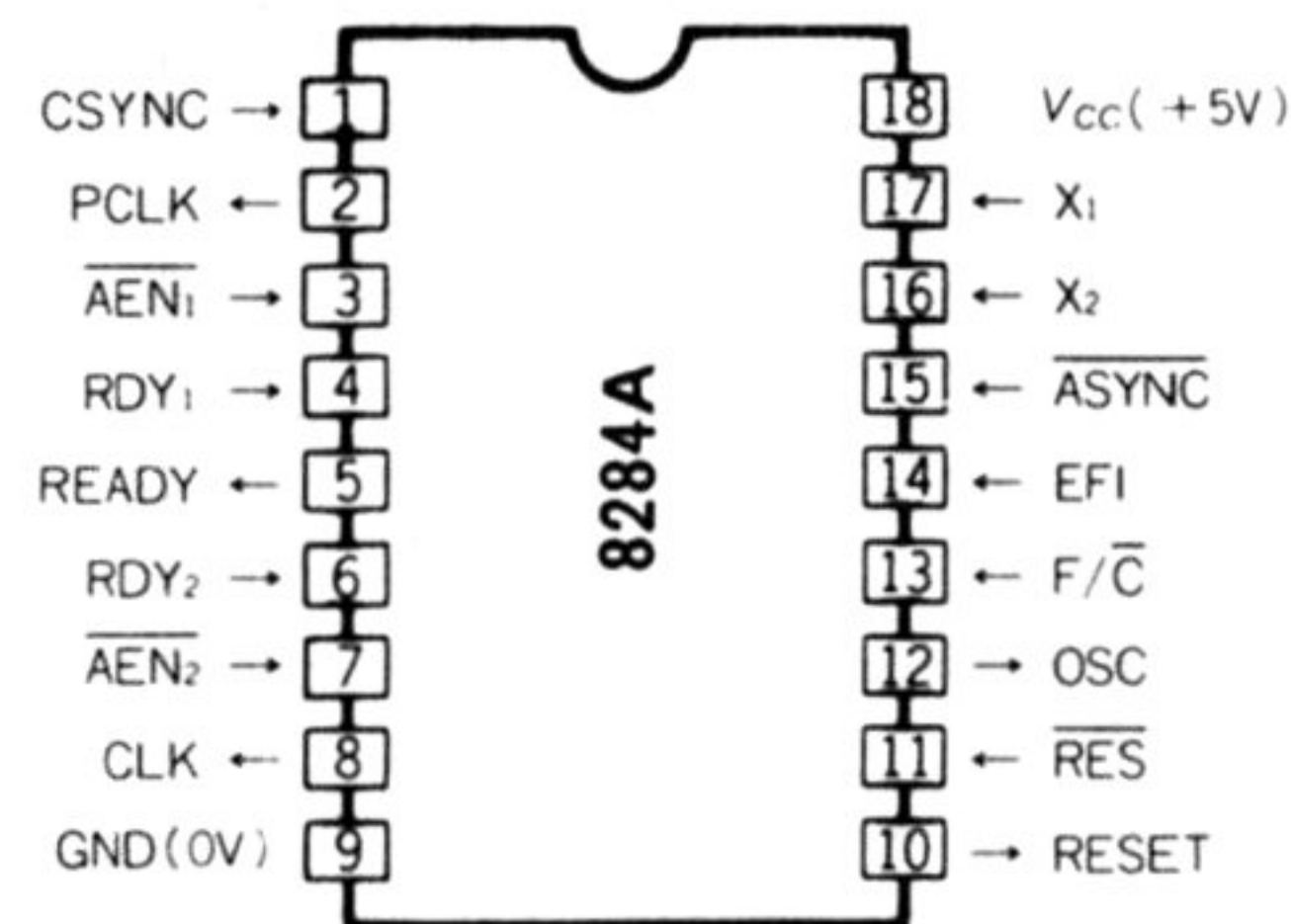
記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=5mA	0.45	V
V_{OH}	I_{OH}=1mA	2.4*	V
I_{IL}	V_{IN}=V_{CC}	50	μA
C_{IN}		10	pF

■端子機能

端 子 名	名　　称	ピン番号	入 出 力	機　　能
EFI	外部周波数	5	入　力	外部周波数入力．F/$\overline{\mathrm{C}}$ 入力が“H”に固定されている場合に，この入力によってCLKがドライブされる
PCLK	周辺クロック	13	出　力	周辺クロック．CLKの1/2の周波数でデューティ比50%のクロックを出力
$\overline{\mathrm{ARDYEN}}$	非同期レディ・イネーブル	17	入　力	非同期 Ready イネーブル．$\overline{\mathrm{ARDY}}$ 入力を可能にするアクティブ“L”の入力
$\overline{\mathrm{ARDY}}$	非同期レディ	1	入　力	非同期 Ready．現在のバス・サイクルを終了させるために用いるアクティブ“L”の入力
$\overline{\mathrm{SRDYEN}}$	同期レディ・イネーブル	3	入　力	同期 Ready イネーブル．$\overline{\mathrm{SRDY}}$ を許可するアクティブ“L”の入力
$\overline{\mathrm{SRDY}}$	同期レディ	2	入　力	同期 Rady．現在のバス・サイクルを終了させるために用いるアクティブ“L”の入力
$\overline{\mathrm{READY}}$	レディ	4	出　力	Ready．現在のバス・サイクルが終了することを示すアクティブ“L”の出力
$\overline{S_0}$，$\overline{S_1}$	ステータス入力	15，16	入　力	ステータス．82284に次のバス・サイクルを知らせる入力．$\overline{S_0}$および$\overline{S_1}$によってPCLKが内部プロセッサ・クロックに同期されREADYが制御される
RESET	リセット出力	12	出　力	リセット．RES入力から生成されるアクティブ“H”の出力．RESETによってシステムは強制的に初期状態にされる
$\overline{\mathrm{RES}}$	リセット入力	11	入　力	リセット入力．システム・リセット信号RESETを発生するアクティブ“L”の入力．$\overline{\mathrm{RES}}$への入力をCLKに同期させる必要はない
V_{CC}	電源	18	—	＋5V電源
GND	グラウンド	9	—	グラウンド
F/$\overline{\mathrm{C}}$	クロック・ソース	6	入　力	クロック・ソースの選択信号
X_1, X_2	クリスタル	7,8	—	クリスタル接続端子

CG (Clock Generator)

■ ピン接続

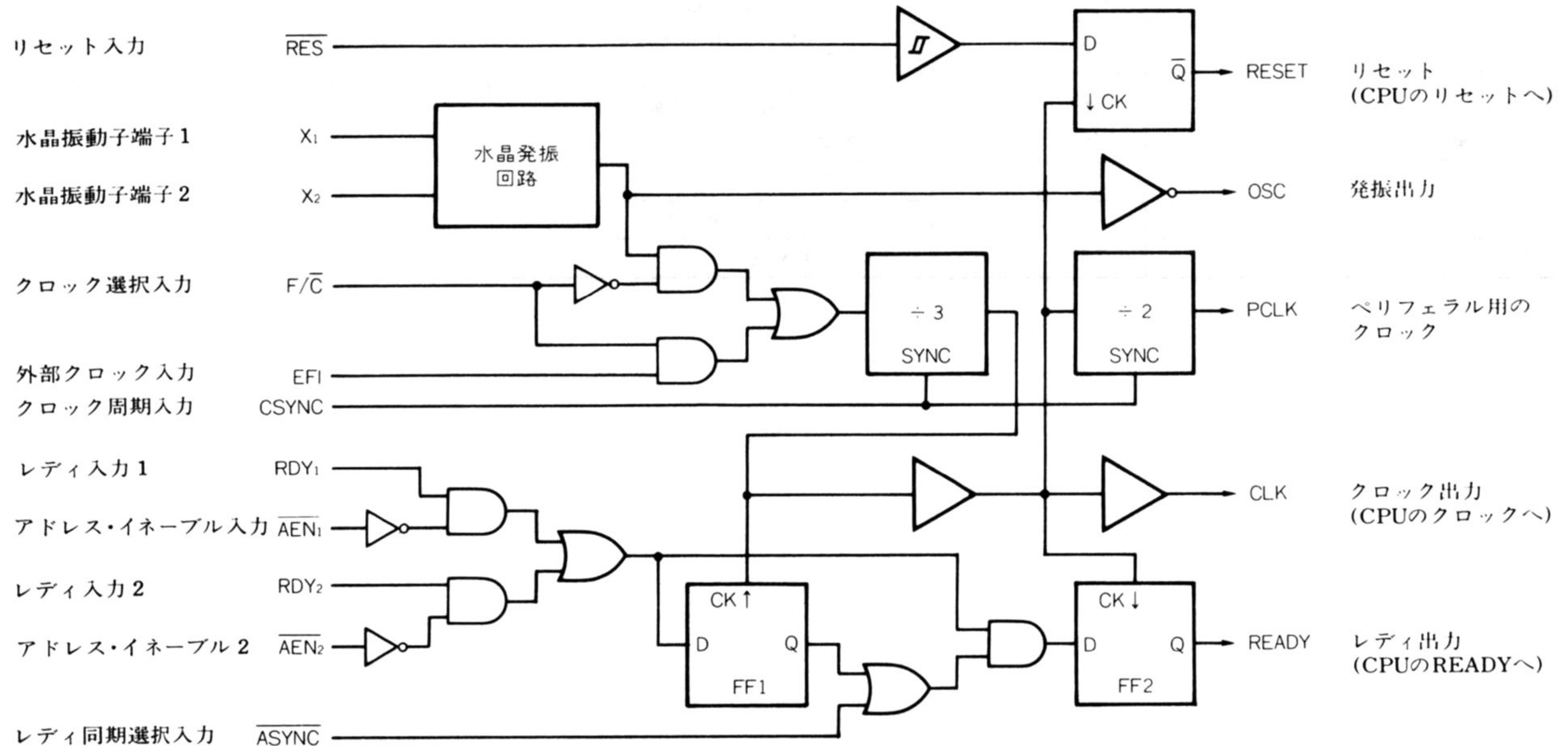
8284A

入出力	ピン	ピン	入出力
CSYNC →	1	18	V_{CC}(+5V)
PCLK ←	2	17	← X_1
$\overline{AEN_1}$ →	3	16	← X_2
RDY_1 →	4	15	← $\overline{ASYNC}$
READY ←	5	14	← EFI
RDY_2 →	6	13	← F/$\overline{C}$
$\overline{AEN_2}$ →	7	12	→ OSC
CLK ←	8	11	← $\overline{RES}$
GND(0V)	9	10	→ RESET

■ 特 徴

・８０８６／８０８８のクロック・ジェネレータ
・発振源として水晶振動子による内部発振，または外部よりのＴＴＬレベル・クロック信号を使用可能
・２系統のバスのレディ制御信号を発生
・ほかのクロック・パルス・ジェネレータとのクロック・パルス同期化が可能

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜+7.0	V
入力電圧	V_{IN}	−1.0〜+5.5	V
動作温度	T_{OPR}	0〜+70	℃
保存温度	T_{STG}	−65〜+150	℃

■ ブロック図

■ DC特性

（T_a=0～+70℃，V_{CC}=5V±10%）

項目		記号	測定条件	min	max	単位
入力順電流	($\overline{ASYNC}$)	I_F	V_F=0.45V		−1.3	mA
	(その他)		V_F=0.45V		−0.5	mA
入力逆電流	($\overline{ASYNC}$)	I_R	V_R=V_{CC}		50	μA
	(その他)		V_R=5.25V		50	μA
入力順方向クランプ電圧		V_C	I_C=−5mA		−1.0	V
入力"L"電圧		V_{IL}			0.8	V
入力"H"電圧		V_{IH}		2.0		V
リセット"H"入力		V_{IHR}		2.6		V
出力"L"電圧		V_{OL}	5mA		0.45	V
出力"H"電圧	(CLK)	V_{OH}	−1mA	4		V
	(その他)		−1mA	2.4		V
$\overline{RES}$入力ヒステリシス		$V_{IHR}-V_{ILR}$		0.25		V

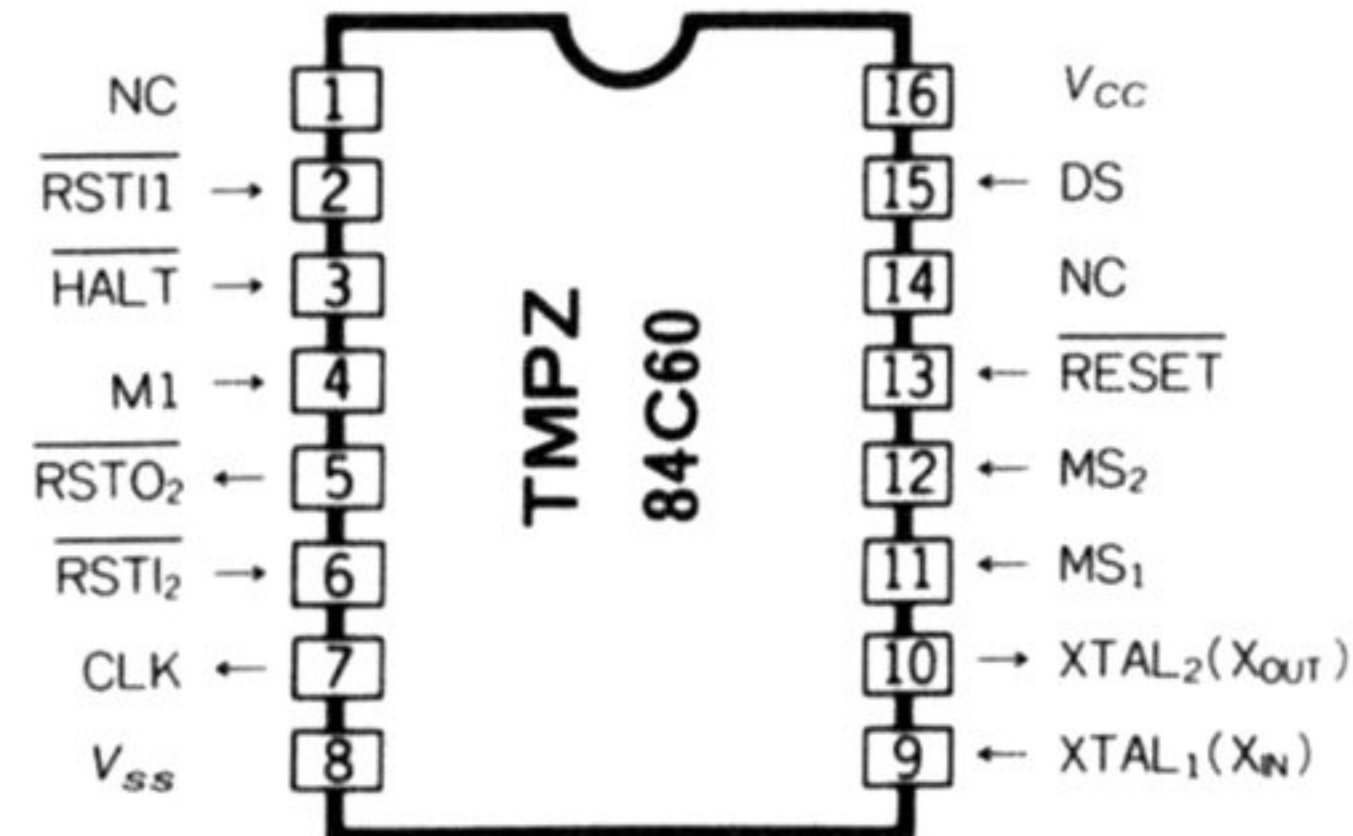
■端子機能

端子名	名称	ピン番号	入出力	機能
CSYNC	クロック同期	1	入力	複数の8284が同相のクロックを出力し，同期をとる信号．アクティブ"H"
PCLK	周辺用クロック	2	出力	周辺回路用のクロック出力
$\overline{AEN_1}$, $\overline{AEN_2}$	アドレス・イネーブル	3，7	入力	レディ出力を有効にするための信号．アクティブ"L"
RDY_1, RDY_2	レディ入力	4，6	入力	システム・バスのデバイスが受信完了したことを示す
READY	レディ出力	5	出力	RDYを同期化した信号．アクティブ"H"
CLK	クロック出力	8	出力	クロック出力．MOSデバイスをドライブするため，高電圧出力
RESET	リセット	10	出力	CPUをリセットする信号．アクティブ"H"
$\overline{RES}$	リセット入力	11	入力	RESET信号を発生するために用いる．アクティブ"L"
OSC	発振出力	12	出力	水晶振動子と同一周波数の出力端子
F/$\overline{C}$	クロック選択	13	入力	CLKのソースを選択する．"H"のとき外部，"L"のとき水晶振動子
EFI	外部クロック	14	入力	F/$\overline{C}$が"H"のときの外部クロック入力端子
$\overline{ASYNC}$	レディ同期選択	15	入力	READY信号発生回路の同期モードを選択する
X_1, X_2	水晶端子	16，17	入力	水晶振動子への接続端子

CG (Clock Generator)

■ ピン接続

TMPZ 84C60

左側	ピン	ピン	右側
NC	1	16	V_{CC}
RSTI1 →	2	15	← DS
HALT →	3	14	NC
M1 →	4	13	← RESET
RSTO2 ←	5	12	← MS_2
$RSTI_2$ →	6	11	← MS_1
CLK ←	7	10	→ $XTAL_2(X_{OUT})$
V_{SS}	8	9	← $XTAL_1(X_{IN})$

■ 特　徴

・Ｚ８０システム用クロック・ジェネレータ・コントローラ
・ホルト命令実行時に三つのモード選択可能
　ＲＵＮモード
　クロックを継続出力
　ＩＤＬＥモード
　クロック出力を停止し，発振回路は動作する
　ＳＴＯＰモード
　発振回路を含め，動作を完全に停止する
・システム・クロック停止からのリスタートは３種類の選択が可能
　レベル・トリガ入力（ＲＳＴＩ１）
　エッジ・トリガ入力（ＲＳＴＩ２）
　リセット入力（リセット）

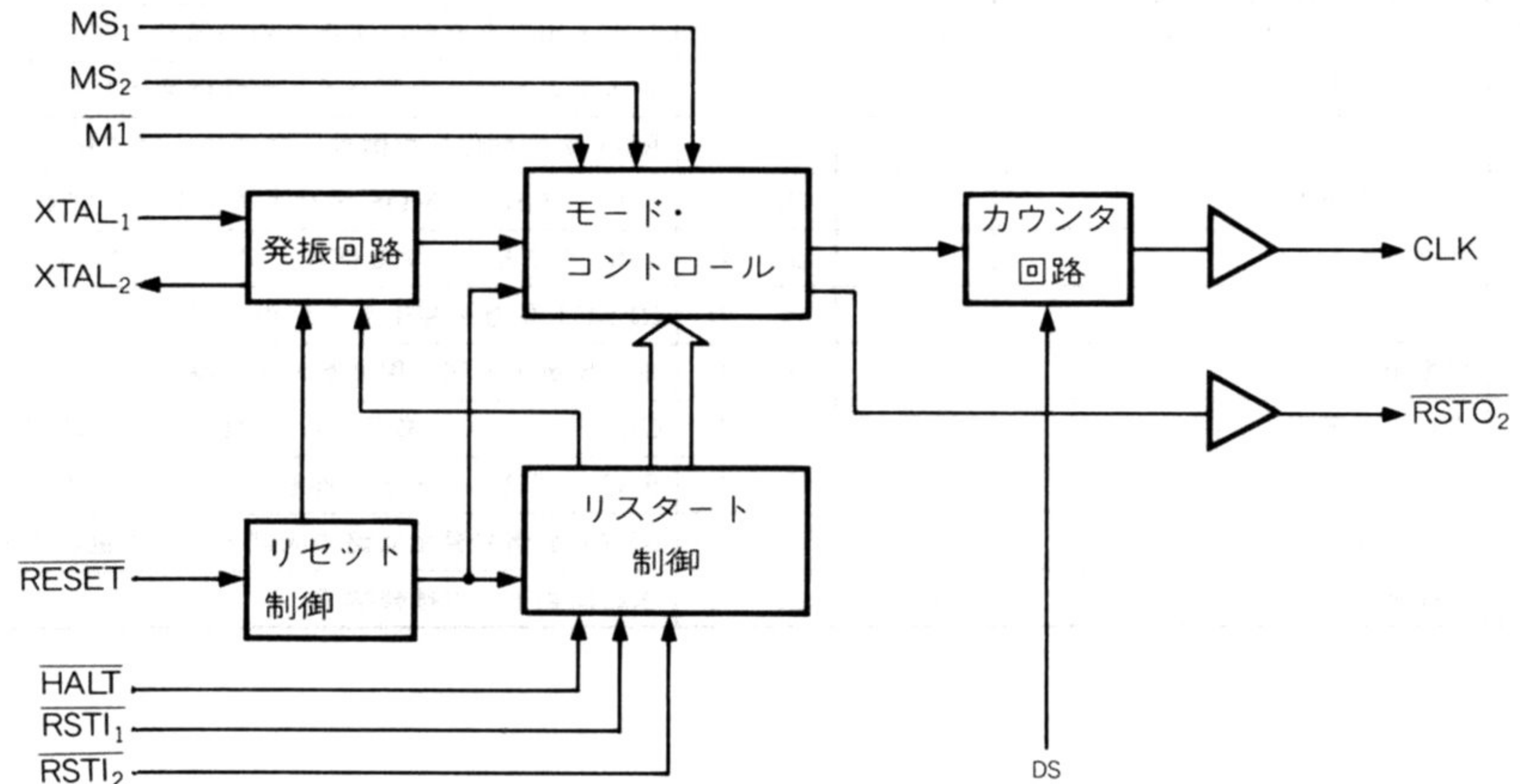
■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～7.0	V
入力電圧	V_{IN}	−0.5～V_{CC}+0.5	V
消費電力	P_D	0.25	W
動作温度	T_{OPR}	−40+85	℃
保存温度	T_{STG}	−65+150	℃

■ DC特性

（T_a＝−40～＋85℃，V_{CC}＝5V±10%）

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝2.0mA	0.4	V
V_{OH}	I_{OH}＝1.6mA	2.4*	V
I_{IL}	V_{IN}＝0～V_{CC}	±1	μA
C_{IN}		15	pF

■ ブロック図

■端子機能

端子名	名　　称	ピン番号	入出力	機　　能
$\overline{RSTI_1}$	リスタート入力1	2	入　力	クロック(CLK)停止状態からのリスタート信号．MPU の $\overline{INT}$ 端子と接続する(レベル・トリガ入力)
$\overline{HALT}$	ホルト	3	入　力	ホルト信号($\overline{HALT}$)入力．MPU の $\overline{HALT}$ 端子と接続する
$\overline{M1}$	マシン・サイクル	4	入　力	マシン・サイクル($\overline{M1}$)信号入力．MPU の $\overline{M1}$ 端子と接続する
$\overline{RSTO_2}$	リスタート出力	5	出　力	リスタート信号 $\overline{RSTI_2}$ の出力．MPU の $\overline{NMI}$ 端子と接続する
$\overline{RSTI_2}$	リスタート入力2	6	入　力	クロック(CLK)停止状態からのリスタート信号(エッジ・トリガ入力)
CLK	クロック	7	出　力	単相のクロック出力． STOP モードでのホルト命令の実行により MPU は動作を停止し，クロック出力を"0"レベルに保持する
DS	カウンタ選択	15	入　力	カウンタ出力段数選択用入力． STOP モードでクロック停止状態からのリスタート時ウォーミング・アップ時間を設定するための入力である
$\overline{RESET}$	リセット	13	入　力	リセット信号．MPU の $\overline{RESET}$ 端子と接続． クロック(CLK)停止状態からのリスタート信号(レベル・トリガ入力)
MS_1, MS_2	モード選択	11, 12	入　力	モード選択入力． この二つのピンの状態により，三つのモード(RUN,IDLE,STOP)のいずれか一つが選択される
$XTAL_1$ (XIN), $XTAL_2$ (XOUT)	水晶接続	9， 10	入　力 出　力	水晶振動子接続端子

CG [Clock Generator]

■ ピン接続

入出力	ピン		ピン	入出力
XTL_{1A} →	1	Z8581	18	← $\overline{RSTI}$
XTL_{1B} ←	2		17	→ $\overline{RSTO}$
$\overline{STRH}$ →	3		16	→ OSC
$\overline{INH}$ →	4		15	→ ZCLK
V_{CC}(+5V)	5		14	GND(0V)
$\overline{ADD_1}$ →	6		13	→ TCLK
$\overline{ADD_2}$ →	7		12	← XTL_{2A}
$\overline{STRT}$ →	8		11	→ XTL_{2B}
C_0 ←	9		10	→ C_1

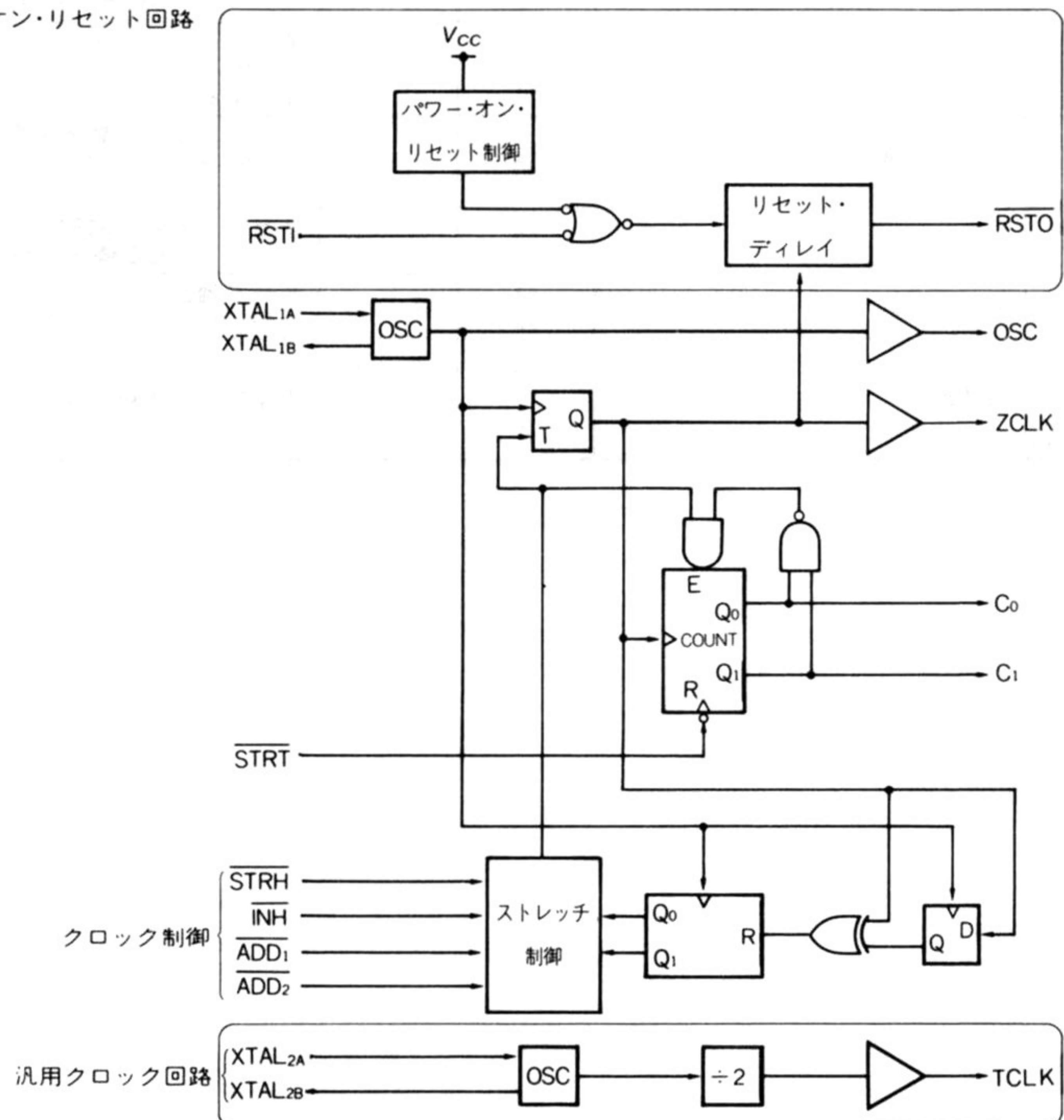
■ 最大定格

項 目	記号	定 格	単位
電源電圧	V_{CC}	−0.3〜+7.0	V
入力電圧	V_{IN}	−0.3〜+7.0	V
動作温度	T_{OPR}	0+70	℃
保存温度	T_{STG}	−65+150	℃

■ DC特性

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	$I_{OL}=2.0$mA	0.4	V
V_{OH}	$I_{OH}=250\mu$A	2.4*	V
I_{IL}	$V_{IN}=0.4$〜2.4V	±10	μA

■ 特　徴

・２０ＭＨｚまでの能力をもった二つの独立した発振回路をもっている
・ＮＭＯＳのマイクロプロセッサのクロック入力に適合するドライブ能力をもっている
・クロックを外部からの制御によって任意に引き延ばし，タイミングの異なる素子とのインターフェースの設計を容易にしている
・電源投入時のリセットを確実にするために，３０ｍｓ以上確保されたリセット出力をもっている
・外部からの入力により，システム・クロックに同期したリセット出力を出せる

■ ブロック図

■端子機能

端子名	名　　称	ピン番号	入出力	機　　　能
$XTAL_{1A}$, $XTAL_{1B}$	システム・クロック・ソース	1, 2	入　力 出　力	システム・クロック用水晶振動子接続端子．内部回路動作用クロックを生成する
$XTAL_{2A}$, $XTAL_{2B}$	汎用クロック・ソース	12, 11	入　力 出　力	汎用クロック用水晶振動子接続端子．外部への汎用クロック信号(TCLK)を生成する
ZCLK	システム・クロック	15	出　力	システム・クロック出力で，$\overline{STRH}$ で制御される
TCLK	汎用クロック	13	出　力	汎用クロック・ソースの 1/2 の周波数クロックが出力される
$\overline{STRH}$	ZCLK ディレイ	3	入　力	ZCLK 信号の出力を遅延制御する
OSC	クロック出力	16	出　力	システム・クロック・ソースの周波数の信号を出力する
$\overline{ADD_1}$, $\overline{ADD_2}$	ディレイ 1，2	6，7	入　力	ZCLK 信号の出力遅延を，1～3 周期のいずれにするかを決める
C_0，C_1	ZCLK カウント 0，1	9，10	出　力	$\overline{STRT}$ 入力後の ZCLK のカウント数をバイナリで出力する
$\overline{INH}$	遅延禁止	4	入　力	$\overline{ADD_1}$，$\overline{ADD_2}$の入力を無効にする
$\overline{RSTI}$	リセット入力	18	入　力	リセット入力端子で，システム・クロックに同期した信号($\overline{RSTO}$)を生成する
$\overline{RSTO}$	リセット出力	17	出　力	パワー・オンまたは $\overline{RSTI}$ 入力によって生成されたシステム・リセット信号を出力する
$\overline{STRT}$	スタート・カウント	8	入　力	2 ビットの ZCLK カウンタをリセットし，C_0，C_1を 0 にする

CG (Clock Generator)

■ ピン接続

MB8867

左側	ピン	ピン	右側
GND	1	24	V_{CC}
$\overline{\text{R.REQ}}$ →	2	23	← XT_1
R.GRANT ←	3	22	→ XT_2
M.GRANT ←	4	21	← $\overline{\text{INH}}$
$\overline{\text{M.RDY}}$ →	5	20	← EXT IN
4M ←	6	19	← R.SEL
2M ←	7	18	← RESIN
M.CLK ←	8	17	← $\overline{\text{RESIN}}$
D.STB ←	9	16	← RC
ϕ_1TTL ←	10	15	→ $\overline{\text{RESET}}$
ϕ_2TTL ←	11	14	→ ϕ_2
GND	12	13	→ ϕ_1

■ 特　徴

- ６８００ＣＰＵシステム用クロック・ジェネレータ
- ＣＰＵに必要な信号をすべて発生する
- 水晶発振により安定な２相クロックの発生
- Φ2に同期したメモリ用クロックおよびデータ・ストローブ信号の発生
- クロック周波数の２倍，４倍のタイミング信号
- メモリからの割り込み（リフレッシュ・リクエスト，メモリ・レディ）時のクロックの処理および割り込み確認信号の発生
- 電源投入時の自動リセットおよび手動リセット信号の発生

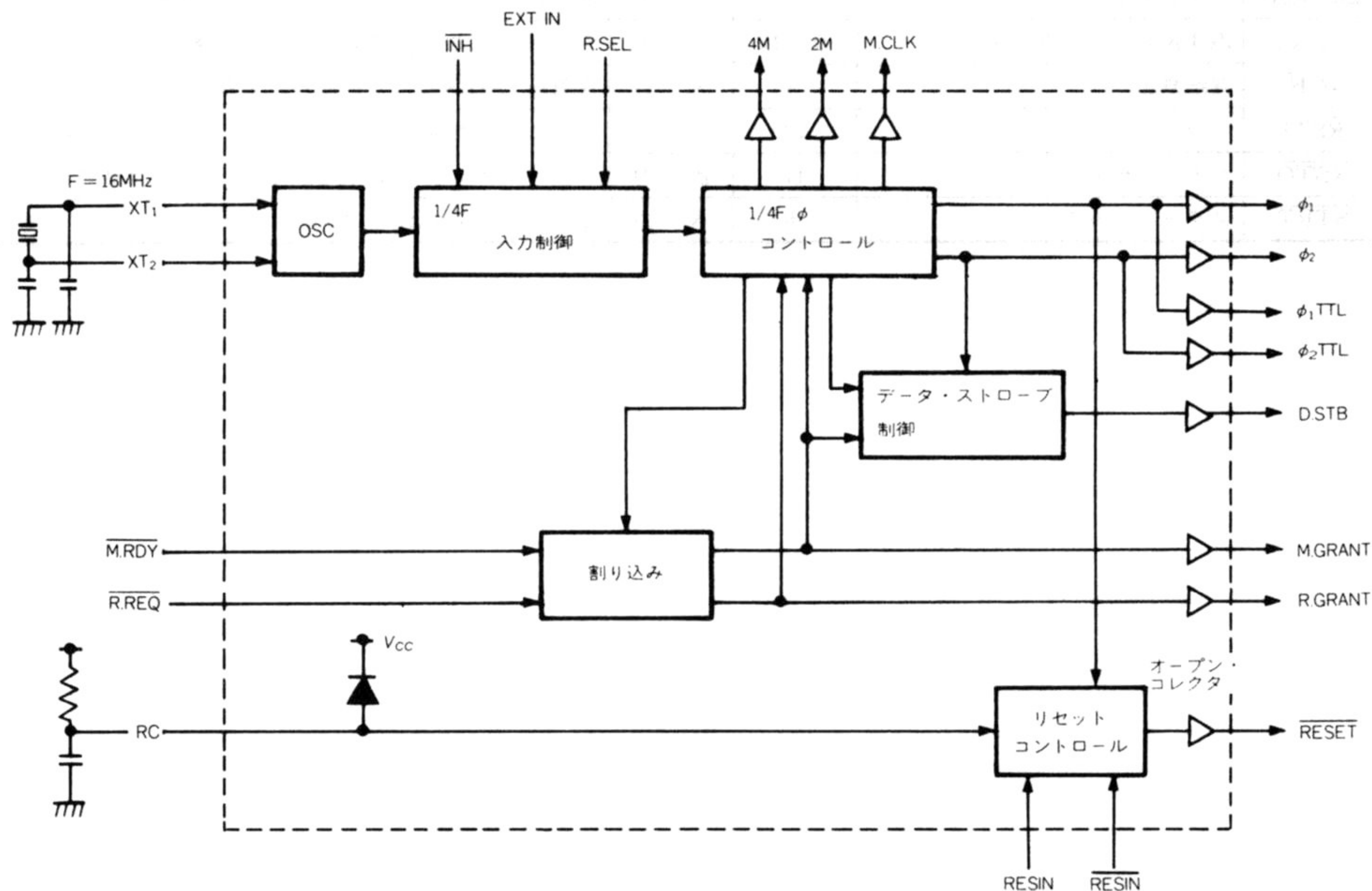
■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	0～7.0	V
入力電圧	V_{IN}	−0.5～5.5	V
動作温度	T_{OPR}	−25＋125	℃
保存温度	T_{STG}	−55＋150	℃

■ DC特性

（T_a＝0～＋70℃，V_{CC}＝5V±5%）

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝16mA	0.4	V
V_{OH}	I_{OH}＝0.4mA	2.4*	V

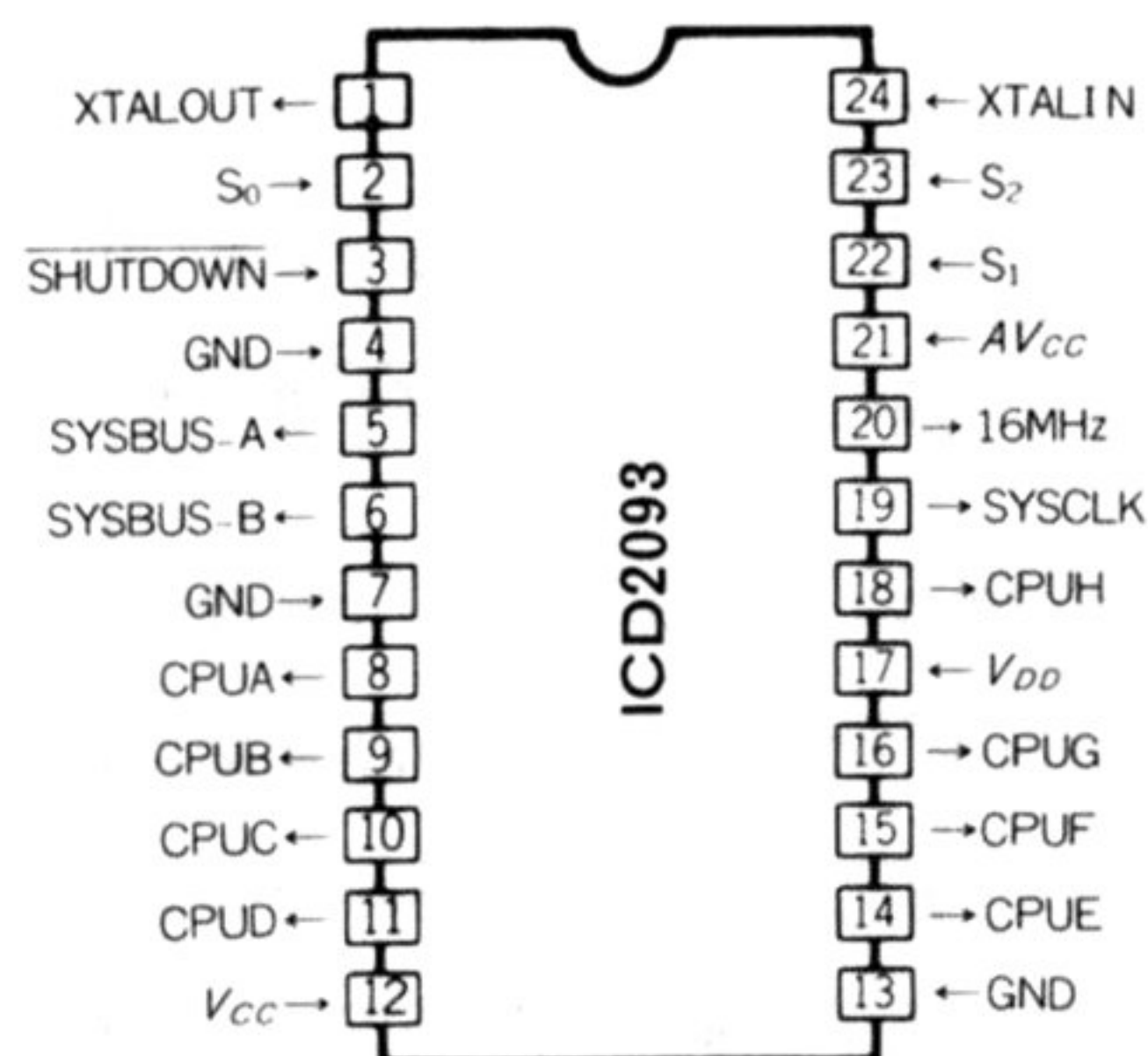
■ ブロック図

■端子機能

端子名	名　　称	ピン番号	入出力	機　　能
XT_1, XT_2	水晶接続端子	23, 22	入　力	XT_1, XT_2の間にクロック周波数の4倍，または16倍の水晶振動子を接続する
EXT IN	外部クロック入力	20	入　力	XT_1, XT_2端子を使用しない場合，この端子に外部クロックを入力する．外部クロックはプロセッサ・クロックの4倍または16倍の周波数をもつTTL信号を入力する
$\overline{\mathrm{INH}}$	クロック切り替え	21	入　力	外部クロック入力を使用するか，XT_1, XT_2に水晶振動子を付けて水晶発振させるかの切り替え端子．この端子を“H”（開放）にすれば水晶発振となり，“L”（接地）にすれば外部クロック入力が有効となる
R. SEL	分周選択	19	入　力	1/4分周回路の制御端子で，開放(=“H”)にすれば1/4分周回路が動作し，接地(=“L”)すれば分周は行わない
ϕ_1, ϕ_2	クロック出力	13, 14	出　力	マイクロプロセッサ(6800)用のクロック出力信号．このクロックは$\overline{\mathrm{R.\ REQ}}$, $\overline{\mathrm{M.\ RDY}}$の各制御入力信号によって制御される
ϕ_1TTL, ϕ_2TTL	クロック出力(TTL)	10, 11	出　力	ϕ_1, ϕ_2とほぼ同位相のTTLコンパチブル出力信号．このクロックは周辺LSIなどのイネーブル信号として使用
D. STB	データ・ストローブ	9	出　力	メモリのリード/ライト用のストローブ信号．この信号はϕ_2が出てから4M信号の1サイクル分遅れて“H”となり，ϕ_2が“L”になる前に“L”になる．M. RDY信号が入力していないならば，ϕ_2の後半分の時間だけ“H”となる
M. CLK	メモリ・クロック	8	出　力	メモリ用のクロックでϕ_2とほぼ同位相のTTLコンパチブル信号．この信号は$\overline{\mathrm{M.\ RDY}}$信号によってのみ制御される
2M	2MHzパルス	7	出　力	M. CLKの2倍の周波数の信号で必要なタイミングの発生用に使用．このクロックは，$\overline{\mathrm{M.\ RDY}}$信号で制御される
4M	4MHzパルス	6	出　力	クロック発生用の基本信号で，水晶発振または外部クロックがR. SELにより1/4分周されるかそのまま出力される
RC	RC端子	16	入　力	電源投入時のリセット用の入力端子
RESIN, $\overline{\mathrm{RESIN}}$	リセット入力	18, 17	入　力	マニュアル・リセット用の入力端子
$\overline{\mathrm{RESET}}$	リセット出力	15	出　力	リセット出力端子でオープン・コレクタ出力となっている
$\overline{\mathrm{R.\ REQ}}$	リフレッシュ要求	2	入　力	$\overline{\mathrm{R.\ REQ}}$信号はダイナミック・メモリのリフレッシュ時にクロックを制御するための入力信号
R. GRANT	リフレッシュ確認	3	出　力	$\overline{\mathrm{R.\ REQ}}$信号に対する確認出力信号
$\overline{\mathrm{M.\ RDY}}$	メモリ・レディ	5	入　力	アクセス・タイムの遅いメモリを使用するときに使用する
M. GRANT	メモリ・レディ確認	4	出　力	$\overline{\mathrm{M.\ RDY}}$信号に対する確認出力信号

CG (Clock Generator)

■ピン接続

ICD2093

ピン	信号	ピン	信号
1	XTALOUT ←	24	← XTALIN
2	S_0 →	23	← S_2
3	$\overline{SHUTDOWN}$ →	22	← S_1
4	GND →	21	← AV_{CC}
5	SYSBUS_A ←	20	→ 16MHz
6	SYSBUS_B ←	19	→ SYSCLK
7	GND →	18	→ CPUH
8	CPUA ←	17	← V_{DD}
9	CPUB ←	16	→ CPUG
10	CPUC ←	15	→ CPUF
11	CPUD ←	14	→ CPUE
12	V_{CC} →	13	← GND

■特　徴

・Ｐentiumプロセッサ・ベースの各種システム用１チップ・オシレータ
・８個の，÷１または÷２選択可能なクロックを出力できる
　注)÷１，÷２はコンフィグ・オプション
・ハイ・ドライブ(48mA)，ハイ・ロード(50pF)でもトータル・スキューは２５０ps以下
・下記の４個の固定信号出力を持つ
　１４．３１８１８ＭＨｚ×２，１６ＭＨｚ，２４または３２ＭＨｚ
・ＣＰＵクロック周波数レンジ
　１０ＭＨｚ－１００ＭＨｚ（デューティ５０％）
・Ｇｒｅｅｎ仕様では，オプションでパワーダウン・モードもサポート
・ＰＬＬへの入力も１４．３１８１８ＭＨｚクリスタルのみから作られる
・ＰＬＬ回路のフィルタ用外付け部品不要

■ブロック図

■最大定格

項目	記号	定　格	単位
電源電圧	V_{cc}	-0.5～+7.0	V
入力電圧	V_{IN}	-0.5～V_{cc}+0.5	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	-65～+150	℃

■DC特性

（Ta＝0～70℃，V_{cc}＝5V±5%）

記号	測定条件	max/min*	単位
V_{IL}		０．８	V
V_{IH}		２．０*	V
V_{OL}	I_{OL}＝48mA	０．５	V
V_{OH}	I_{IL}＝48mA	V_{cc}-0.5*	V
I_{IL}		－２５０	μA

■端子機能

端子名	ピン番号	入出力	機　　　能
XTALOUT	1	出力	14.31818MHzクリスタル接続端子
S0	2	入力	ＣＰＵクロックＲＯＭ選択信号入力(Bit0)
$\overline{\text{SHUTDOWN}}$ (OUTDIS)	3	入力	"L"の時，内部の発信回路をシャット・ダウン状態にする
SYSBUS_A	5	出力	14.31818MHzクロック出力
SYSBUS_B	6	出力	14.31818MHzクロック出力
CPUA	8	出力	ＣＰＵクロック出力Ａ（÷１または÷２）
CPUB	9	出力	ＣＰＵクロック出力Ｂ（÷１または÷２）
CPUC	10	出力	ＣＰＵクロック出力Ｃ（÷１または÷２）
CPUD	11	出力	ＣＰＵクロック出力Ｄ（÷１または÷２）
CPUE	14	出力	ＣＰＵクロック出力Ｅ（÷１または÷２）
CPUF	15	出力	ＣＰＵクロック出力Ｆ（÷１または÷２）
CPUG	16	出力	ＣＰＵクロック出力Ｇ（÷１または÷２）
CPUH	18	出力	ＣＰＵクロック出力Ｈ（÷１または÷２）
SYSCLK	19	出力	24MHzまたは32MHzクロック出力
16MHz	20	出力	16MHzクロック出力
S1	22	入力	ＣＰＵクロックＲＯＭ選択信号入力(Bit1)
S2	23	入力	ＣＰＵクロックＲＯＭ選択信号入力(Bit2)
XTALIN	24	入力	14.31818MHzクリスタル接続端子

■ CPUクロック精度

ＣＰＵクロック周波数は，S0-S2の設定によりいつでも変更可能

S0	S1	S2	設定周波数（ＭＨｚ）	CPU Clock ÷1(MHz)	CPU Clock ÷2(MHz)	ＶＣＯ（ＭＨｚ）	ＰＰＭエラー
0	0	0	20.000	20.003	10.002	80.013	167
0	0	1	33.333	33.322	16.661	66.645	331
0	1	0	60.000	60.000	30.000	120.000	0
0	1	1	40.000	40.006	20.003	80.013	167
1	0	0	50.000	50.114	25.057	100.227	2267
1	0	1	66.667	66.818	33.409	133.636	2270
1	1	0	80.000	80.013	40.006	160.026	167
1	1	1	100.000	100.227	50.114	100.227	2267

■SYS CLK精度

設定周波数（ＭＨｚ）	出力周波数		ＰＰＭエラー	
	ｵﾌﾟｼｮﾝ1	ｵﾌﾟｼｮﾝ2	ｵﾌﾟｼｮﾝ1	ｵﾌﾟｼｮﾝ2
24.000	23.993	23.967	1359	307
32.000	31.990	31.957	1359	307

■ コンフィグレーション・オプション

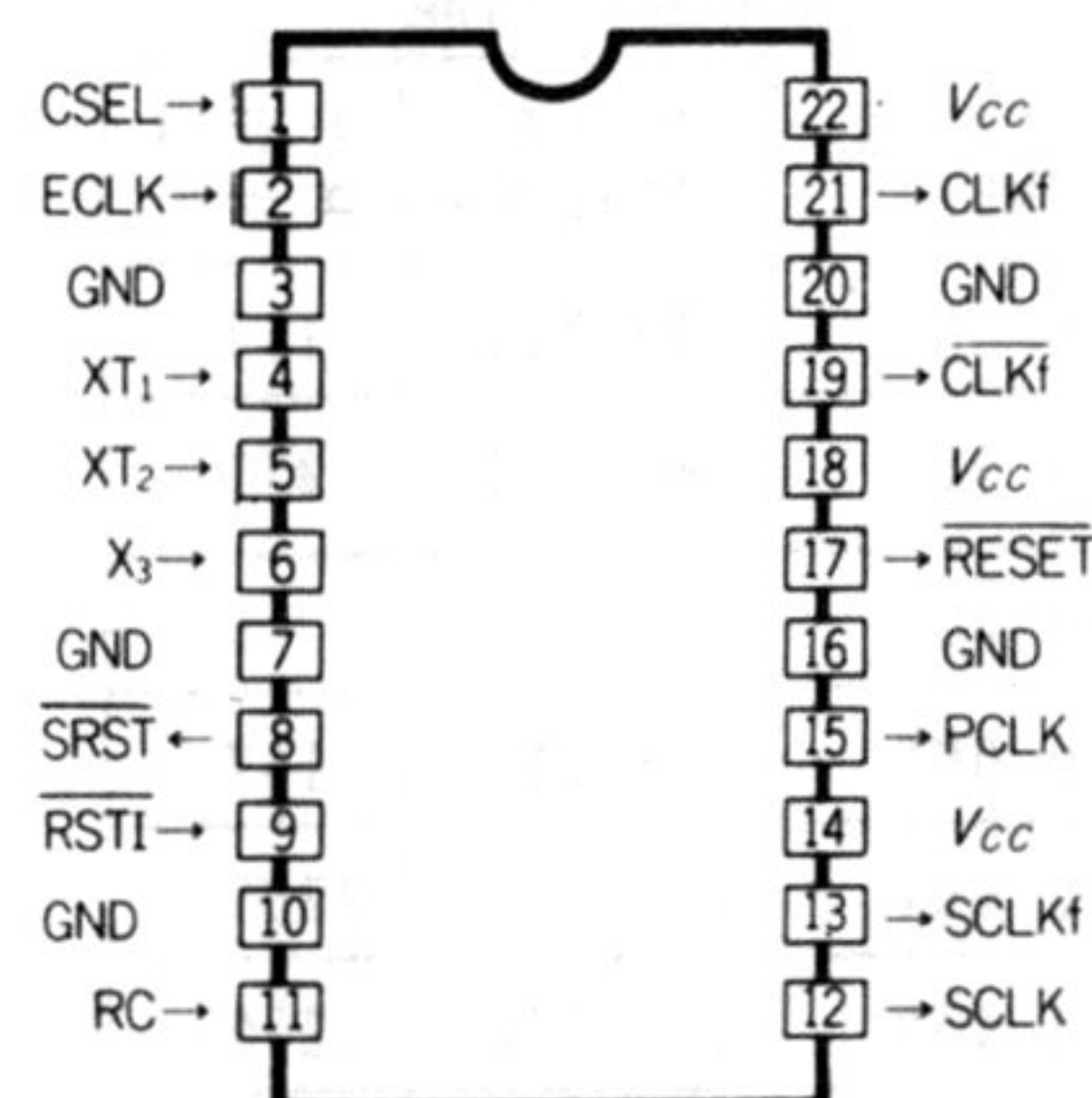
オプション１，オプション２の分周設定値は下記の通り

端子	ｵﾌﾟｼｮﾝ1	ｵﾌﾟｼｮﾝ2
CPUA	÷２	÷２
CPUB	÷２	÷２
CPUC	÷２	÷１
CPUD	÷２	÷１
CPUE	÷２	÷１

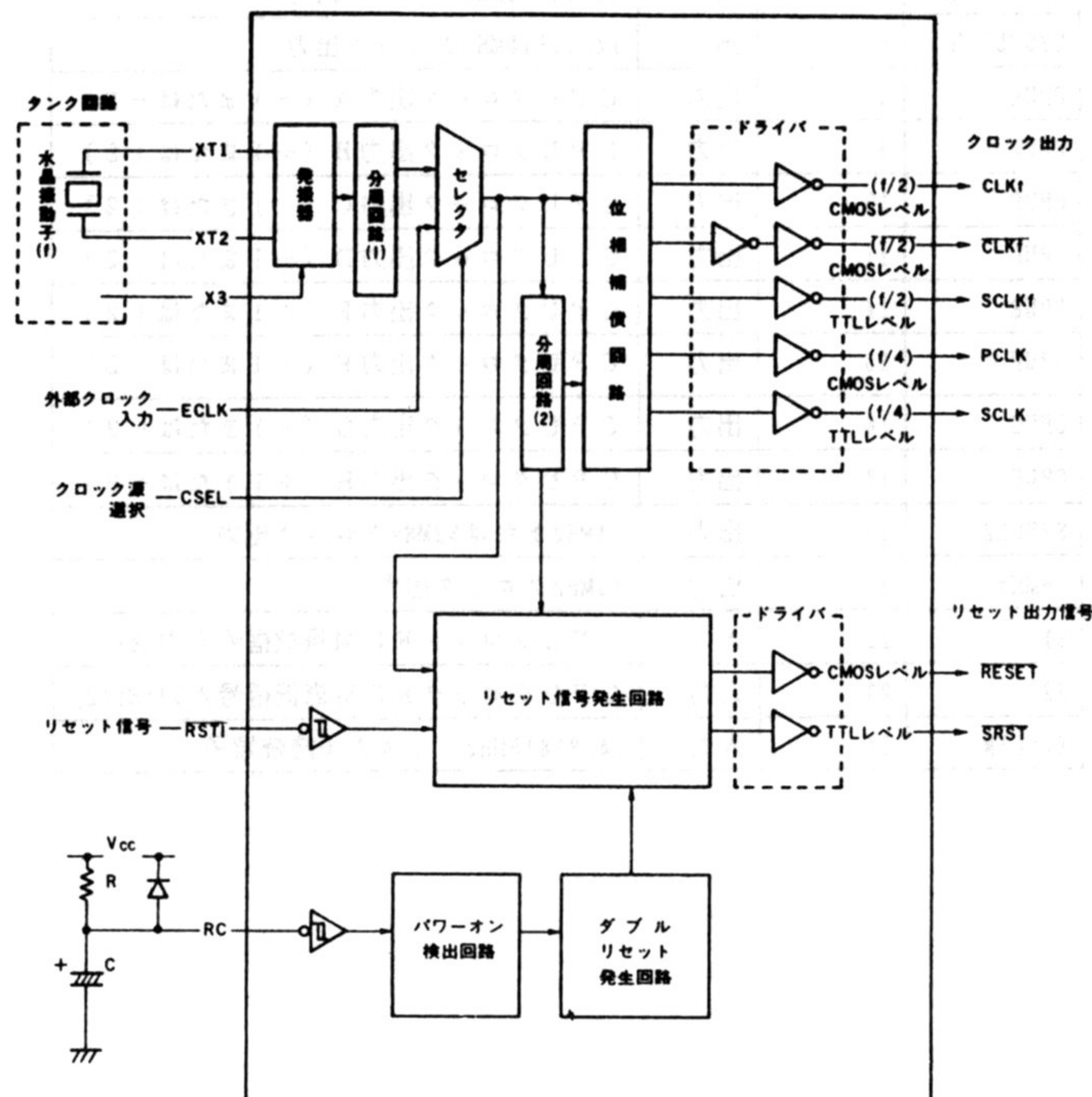
端子	ｵﾌﾟｼｮﾝ1	ｵﾌﾟｼｮﾝ2
CPUF	÷２	÷１
CPUG	÷２	÷１
CPUH	÷１	÷１
SYSCLK	24MHz	24MHz
Pin3	OUTDIS	SHUTDOWN

CPG (Clock Pulse Generator)

■ ピン接続

ピン	信号	ピン	信号
1	CSEL→	22	V_{CC}
2	ECLK→	21	→CLKf
3	GND	20	GND
4	XT_1→	19	→$\overline{CLKf}$
5	XT_2→	18	V_{CC}
6	X_3→	17	→$\overline{RESET}$
7	GND	16	GND
8	$\overline{SRST}$←	15	→PCLK
9	$\overline{RSTI}$→	14	V_{CC}
10	GND	13	→SCLKf
11	RC→	12	→SCLK

■ 特 徴

- ３２ビット・マイクロプロセッサＦ３２にクロックを提供するクロック・パルス・ジェネレータ
- F32/300, F32/200ｼｽﾃﾑの周辺デバイス用システム・クロックを発生
- 水晶振動子100MHzを使用し、50MHzを出力
- クロック源として外部クロックまたは水晶振動子の接続が可能
- F32/300, F32/200の内部位相に同期した1/2周波数のクロックを出力
- パワー・オン・リセット回路内蔵
- ＣＰＵとＦＰＵの内部クロック位相合わせ用ダブル
- リセット機構内蔵

■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～7.0	V
入力電圧	V_{IN}	−0.5～7.0	V
消費電力	P_D	2	W
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−50～150	℃

■ DC 特性

(T_a=0～70℃, V_{CC}=5 V±5 %)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=5 mA	0.5	V
V_{OH}	I_{OH}=1 mA	2.4*	V
C_{IN}	T_a=25℃, f=1 MHz	15	pF

■端子機能

端子名	ピン番号	入出力	機　　能
CSEL	1	入　力 (TTL)	クロック源を選択する入力端子. この端子を"L"レベルにすると水晶振動子がクロック源となり"H"レベルにすると外部クロック入力 (ECLK) がクロック源となる.
ECLK	2	入　力 (TTL)	外部クロック入力端子. この端子に入力するクロックは, 必要とする $\overline{\text{CLKf}}$ 信号と同じ周波数で, TTL レベルの信号を入力する.
XT_1 XT_2	4 5	入　力	XT_1 と XT_2 の間に水晶振動子を接続する端子. 内部のオーバトーン発振回路が安定した発振を行う. 使用する水晶振動子は, 必要とする $\overline{\text{CLKf}}$ 信号の2倍の周波数のものを選ぶ.
X_3	6	入　力	タンク回路を接続する端子. 水晶振動子を接続するときに使用する.
$\overline{\text{CLKf}}$	19	出　力 (CMOS)	CPU 用の動作クロック出力端子(位相0°). CPU の内部クロック作成用の基準クロック(内部クロックの2倍)であり, 水晶振動子の1/2の周波数で, CMOS レベルの信号で出力する.
CLKf	21	出　力 (CMOS)	CPU 用の動作クロック出力端子(位相180°). CPU の内部クロック作成用の基準クロック(内部クロックの2倍)であり, 水晶振動子の1/2の周波数で, CMOS レベルの信号で出力する.
PCLK	15	出　力 (CMOS)	周辺デバイス用の動作クロック出力端子. 周辺デバイスの内部クロック作成用の基準クロックであり, 水晶振動子の1/4の周波数で, CMOS レベルの信号で出力する.
SCLKf	13	出　力 (TTL)	システム用のクロック出力端子. G_{MICRO} F32 ファミリ・デバイスで構成されたシステムのクロックであり, 水晶振動子の1/2の周波数で, TTL レベルの信号で出力する.
SCLK	12	出　力 (TTL)	システム用のクロック出力端子. G_{MICRO} F32 ファミリ・デバイスで構成されたシステムのクロックであり, 水晶振動子の1/4の周波数で, TTL レベルの信号で出力する.
RC	11	ヒステリシス入力	パワー・オン・リセット用の入力端子. この端子はシュミット・トリガになっている. *RC* 時定数回路の接続によりパワー・オン・リセットが可能となる.
$\overline{\text{RSTI}}$	9	ヒステリシス入力 (TTL)	リセット要求用の入力端子. この端子において"L"レベルを検出すると $\overline{\text{CLKf}}$ 信号に同期して, リセット信号 ($\overline{\text{RESET}}$, $\overline{\text{SRST}}$) を出力する. シュミット・トリガ入力になっている.
$\overline{\text{RESET}}$	17	出　力 (CMOS)	CPU 用のリセット出力端子. RC 端子によるパワー・オン・リセット, または $\overline{\text{RSTI}}$ 信号によるリセット要求時に $\overline{\text{CLKf}}$ 信号に同期して, CMOS レベルの信号で出力する. リセット中は"L"レベルである. なお, パワー・オン・リセット時は, ダブル・リセットとなる.
$\overline{\text{SRST}}$	8	出　力 (TTL)	システム・リセット用の出力端子. RC 端子によるパワー・オン・リセット, または $\overline{\text{RSTI}}$ 信号によるリセット要求時に $\overline{\text{CLKf}}$ 信号に同期して, TTL レベルの信号で出力する. リセット中は"L"レベルである.

GCRTC(Graphic CRT Controller)

■ピン接続

MB89421

<注>＊印の端子は，V_{SS}に接続する
(NC)端子はオープンにする

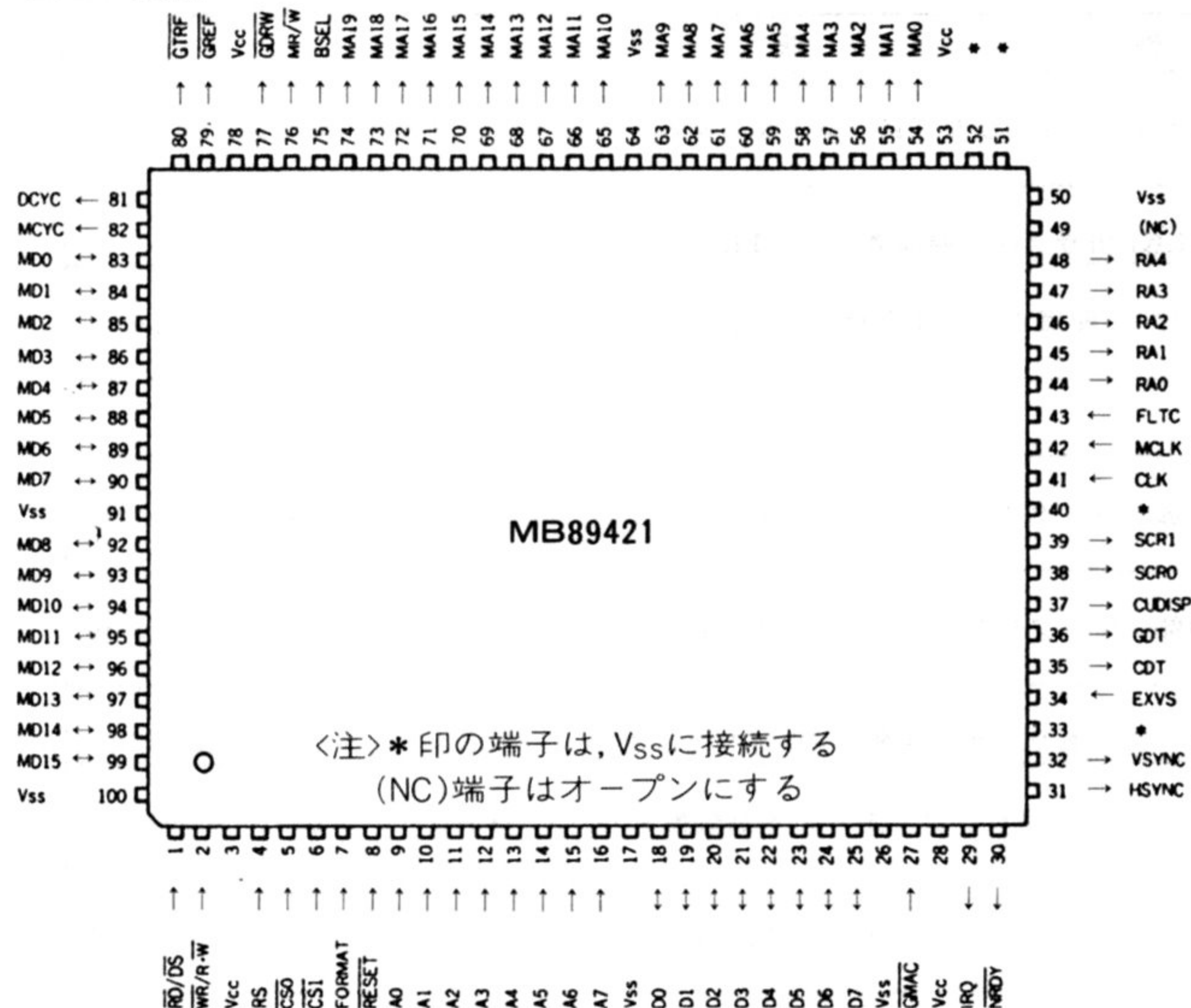
■最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜7.0	V
消費電力	P_D	0.6	W
動作温度	T_{OPR}	−40〜85	℃
保存温度	T_{STG}	−55〜150	℃

■ DC 特性

(T_a=0〜70℃, V_{CC}=5 V±10 %)

記号	測定条件	max/min*	単位
V_{IL}		0.4	V
V_{IH}		2.4*	V
V_{OL}	I_{OL}=1.6 mA	0.4	V
V_{OH}	I_{OH}=400 μA	2.4*	V
I_{OFL}		±10	μA
I_{IL}		±10	μA
C_{IN}		20	pF

■ブロック図

■特　徴

・ラスタ・スキャン方式のＣＲＴ表示用コントローラ
・描画機能：直線描画矩形領域のビット転送(BitBLT)
・描画属性：３２ビット幅の線種設定
・描画性能：直線描画---２Ｍピクセル／秒
　　　　　　BitBLT　---３２Ｍピクセル／秒
・MB89321A/MB89322Aと同一画面フォーマット
・画面メモリ：キャラクタ画面６４Ｋワード
　　　　　　　＋グラフィック・メモリ１Ｍワード
・キャラクタ表示，グラフィック表示，重ね合わせ表示の３モードを持つ
・表示メモリをメイン・メモリ領域にマッピングすることによりＣＰＵから直接アクセス可能
・デュアル・ポートＲＡＭとのインターフェース機能内蔵し，リアル・タイム転送サポート

■端子機能

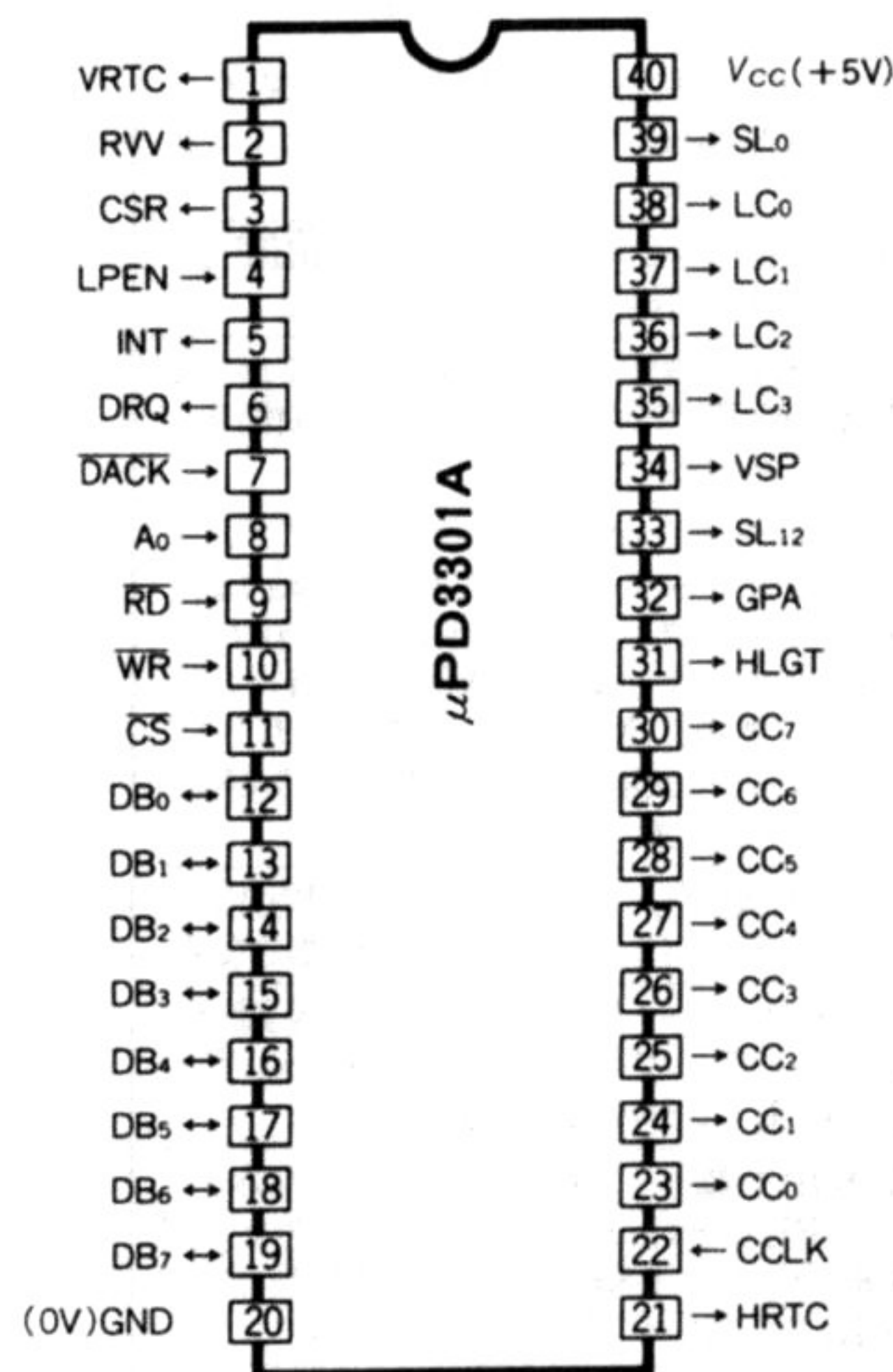
端子名	ピン番号	入出力	機能
MCLK	42	入力	描画，リフレッシュ動作の基準となるクロック入力端子．MCLKの2クロック分が1メモリ・サイクルになる
CLK	41	入力	キャラクタ・クロック入力端子．CLKの2クロック分が1キャラクタ周期になる
$\overline{RD}$/$\overline{DS}$	1	入力	86系CPUのリード信号入力端子．G_{MICRO}系CPUのデータ・ストローブ信号入力端子
$\overline{WR}$/R·$\overline{W}$	2	入力	86系CPUのライト信号入力端子．G_{MICRO}系CPUのリード・ライト信号入力端子
$\overline{CS0}$	5	入力	チップ・セレクト0信号入力端子．$\overline{CS0}$は，GCRTCのレジスタ・アクセスをアドレス・レジスタ方式で制御するときに使用する．CPUは，$\overline{CS0}$が“L”レベルのときのみGCRTCの内部レジスタをアドレス・レジスタ経由でリード/ライトできる
$\overline{CS1}$	6	入力	チップ・セレクト1信号入力端子．$\overline{CS1}$は，GCRTCのレジスタ・アクセスをCPU直接指定方式で制御するときに使用する
RS	4	入力	レジスタ・セレクト信号入力端子．通常，CPUのアドレス・バスの最下位ビット(LSB)A0を接続する．この信号が“L”レベルのときアドレス・レジスタを，“H”レベルのとき内部レジスタを選択する
$\overline{NRDY}$	30	出力	CPUへのノーマリィ・ノット・レディ信号出力端子．$\overline{NRDY}$は，GCRTCへのレジスタ・アクセス・サイクルまたは，CPU描画サイクル終了により“H”レベルになる
FORMAT	7	入力	レジスタ・アクセス信号である$\overline{RD}$/$\overline{DS}$，および$\overline{WR}$/R·$\overline{W}$信号に対するCPUインターフェース・セレクト設定(86系とG_{MICRO}系)をするための入力信号端子．“L”レベル入力でG_{MICRO}系，“H”レベル入力で86系インターフェースになる
$\overline{GMAC}$	27	入力	CPUなどの外部デバイスが，GCRTCに対してグラフィック・メモリの使用権を要求する入力信号端子
IRQ	29	出力	割り込み要求信号出力端子．垂直ブランキング，および直線描画/BitBLTの終了を要因として，“H”レベルになる．ステータス・レジスタ(RIF)をリードすることにより“L”レベルになる
$\overline{RESET}$	8	入力	GCRTCをリセットするためのリセット信号入力端子．電源投入時には，$\overline{RESET}$端子を“L”レベルにする必要がある
D0～D7	18～25	入出力	CPUとGCRTC間のデータ転送を行う双方向のデータ・バス．データ・バス端子は3ステート出力となっており，CPUからリードされたとき以外はハイ・インピーダンス状態になる
A0～A7	9～16	入力	内部レジスタ・アドレス入力端子
DCYC	81	出力	1キャラクタ表示サイクルを示す信号で，キャラクタ・クロックに同期して出力する
MCYC	82	出力	グラフィック・メモリに対するアクセス・タイミングを示す信号で，メモリ・クロックに同期して出力する

端子名	ピン番号	入出力	機能
$\overline{GTRF}$	80	出力	DPRAM転送サイクルを示す出力信号端子．$\overline{GTRF}$は，DPRAM転送サイクル期間中，CLKに同期して“L”レベルになる
$\overline{GREF}$	79	出力	リフレッシュ期間中であることを示す出力信号端子．$\overline{GREF}$は，リフレッシュ期間中MCLKに同期して“L”レベルになる
$\overline{GDRW}$	77	出力	BitBLT動作，または直線描画期間中であることを示す出力信号端子．$\overline{GDRW}$は，BitBLT動作および直線描画期間中，MCLKに同期して“L”レベルになる
MA0～MA19	54～63, 65～74	出力	グラフィック・アドレスまたは，キャラクタ・アドレス出力端子．グラフィック表示サイクル時は，MA0～MA19よりグラフィック・アドレスを出力する．キャラクタ表示サイクル時は，MA0～MA15よりキャラクタ・アドレスを，MA16～MA19より“1”を出力する．リフレッシュ期間中は，MA0～MA10よりリフレッシュ・アドレスを出力する
MD0～MD15	83～90, 92～99	入出力	描画データ入出力端子．描画サイクル期間以外は，MD端子はハイ・インピーダンス状態になる
MR/$\overline{W}$	76	出力	グラフィック・メモリ・リード/ライト出力信号端子．描画動作時において，グラフィック・メモリにデータを書き込むとき“L”レベルになる
BSEL	75	出力	バス切り替え信号出力端子．$\overline{GMAC}$=“L”になると，GCRTC内部でCPUなどの外部デバイスがアクセス可能なサイクルを検出して，BSEL信号を1メモリ・サイクル期間，MCLKに同期して“L”レベルにする
RA0～RA4	44～48	出力	ラスタ・アドレス出力端子
FLTC	43	入力	キャラクタ・アドレス，ラスタ・アドレス端子をフローティング制御するための入力信号端子．FLTCが“H”レベル期間，キャラクタ・アドレス，ラスタ・アドレス信号は，フローティング状態になっている
HSYNC	31	出力	水平同期信号出力端子
VSYNC	32	出力	垂直同期信号出力端子
EXVS	34	入力	外部垂直同期信号入力端子．マスタ・スレーブ・モードで使用する
CDT	35	出力	キャラクタ表示タイミング出力信号端子．“H”レベルのとき，キャラクタ画面表示期間であることを示す
GDT	36	出力	グラフィック表示タイミング出力信号端子．“H”レベルのとき，グラフィック画面表示期間であることを示す
DUDISP	37	出力	カーソル表示信号．CDTが“H”レベルのときに，カーソル表示期間中“H”レベルになる
SCR0, SCR1	38, 39	出力	表示しているスクリーンを示すためのステータス出力信号端子．この信号は，ラスタ背景色，およびメモリ・バンク切り替え用などに使用できる

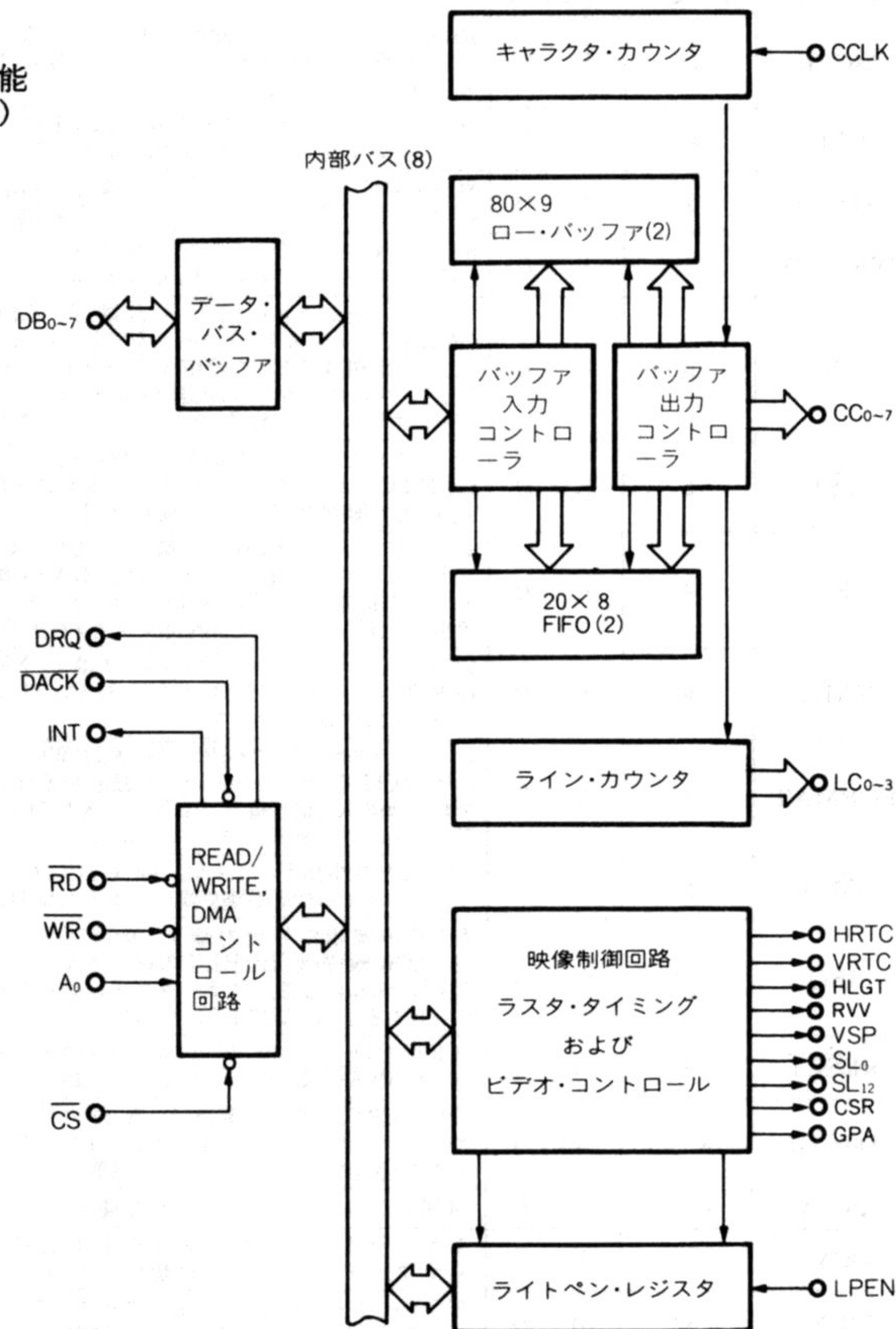
CRTC (CRT Controller)

■ ピン接続

μPD3301A

信号	ピン	ピン	信号
VRTC ←	1	40	V_{CC} (+5V)
RVV ←	2	39	→ SL_0
CSR ←	3	38	→ LC_0
LPEN →	4	37	→ LC_1
INT ←	5	36	→ LC_2
DRQ ←	6	35	→ LC_3
$\overline{DACK}$ →	7	34	→ VSP
A_0 →	8	33	→ SL_{12}
$\overline{RD}$ →	9	32	→ GPA
$\overline{WR}$ →	10	31	→ HLGT
$\overline{CS}$ →	11	30	→ CC_7
DB_0 ↔	12	29	→ CC_6
DB_1 ↔	13	28	→ CC_5
DB_2 ↔	14	27	→ CC_4
DB_3 ↔	15	26	→ CC_3
DB_4 ↔	16	25	→ CC_2
DB_5 ↔	17	24	→ CC_1
DB_6 ↔	18	23	→ CC_0
DB_7 ↔	19	22	← CCLK
(0V)GND	20	21	→ HRTC

■ 特　徴

- ８０８０Ａ，Ｚ８０バス・コンパチブル
- ライトペン検出機能内蔵
- ２０ヶ所／行のアトリビュート指定可能
- アトリビュート機能によるセミグラフィックが可能
- 画面構成はプログラマブル（最大８０字×６４行）
- キャラクタの輝度強調（ハイライト）機能あり
- キャラクタのリバース機能あり

■ ブロック図

キャラクタ・カウンタ
CCLK
内部バス(8)
80×9
ロー・バッファ(2)
$DB_{0\sim7}$
データ・バス・バッファ
バッファ入力コントローラ
バッファ出力コントローラ
$CC_{0\sim7}$
20×8
FIFO(2)
DRQ
$\overline{DACK}$
INT
ライン・カウンタ
$LC_{0\sim3}$
$\overline{RD}$
$\overline{WR}$
A_0
$\overline{CS}$
READ/WRITE, DMA コントロール回路
映像制御回路
ラスタ・タイミング
および
ビデオ・コントロール
HRTC
VRTC
HLGT
RVV
VSP
SL_0
SL_{12}
CSR
GPA
ライトペン・レジスタ
LPEN

■ DC特性

（T_a＝0～＋70℃，V_{CC}＝5V±5%）

記　号	測 定 条 件	min	max	単位
V_{IL}		−0.5	0.8	V
V_{IH}		2.2	5.5	V
C_I			10	pF
V_{OL}	I_{OL}＝1.6mA		0.45	V
V_{OH}	I_{OH}＝−150μA	2.4		V
C_O			20	pF

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～＋7.0	V
入力電圧	V_{IN}	−0.5～＋7.0	V
動作温度	T_{OPR}	0～＋70	℃
保存温度	T_{STG}	−65～＋150	℃

■端子機能

端 子 名	名　　称	ピン番号	入 出 力	機　　能
VRTC	垂直帰線信号出力	1	出　力	垂直帰線信号出力端子．　▶ ICW：VRTC TIME で信号幅を指定する
RVV	映像信号反転制御	2	出　力	映像信号反転制御出力端子．　▶ OCW：START DISPLAY でリバース・ビデオを指定したとき ▶アトリビュート：リバース・ビデオを指定したとき
CSR	カーソル信号	3	出　力	カーソル信号出力端子．　▶ OCW：DISPLAY CURSOR で表示位置および表示可否を指定する ▶ ICW：Blinking Time および Cursor Format で表示モードを指定する
LPEN	ライトペン信号	4	入　力	ライトペン信号入力端子．　ライトペンからの信号によってX，Y両方向座標をラッチし，ライトペン・インプット・ステータスを“1”にする． ▶ OCW：READ LIGHT PEN で座標を読み取ることができる
INT	割り込み要求	5	出　力	割り込み要求出力端子．　画面終了時，または，特殊制御文字を検出したときに出力される．ステータス・フラグを読むことによって，どちらの割り込みであるかを判別できる
DRQ	DMA 要求	6	出　力	DMA 要求出力端子．　次行に表示する文字またはアトリビュート・コードを，予め，メモリから行バッファまたは FIFO に DMA 転送するための DMA コントローラ制御信号． ▶ ICW：DMA mode でモード設定をする
$\overline{DACK}$	DMA アクノリッジ	7	入　力	DMA アクノリッジ入力端子．　DMA 転送データの受け入れを可能にする
A_0	アドレス	8	入　力	アドレス・バス 0 入力端子．　ICW，OCW を実行するときに使用する
$\overline{RD}$	リード制御	9	入　力	リード制御入力端子．　ICW，OCW を実行するときに使用する
$\overline{WR}$	ライト制御	10	入　力	ライト制御入力端子．　ICW，OCW を実行するときおよび DMA 転送時に使用する
$\overline{CS}$	チップ・セレクト	11	入　力	チップ・セレクト入力端子．　ICW，OCW を実行するときに使用する
$DB_{0\sim7}$	データ・バス	12～19	入出力	データ・バス入出力端子．　ICW，OCW 実行時または DMA 転送時に使用される
HRTC	水平帰線	21	出　力	水平帰線信号出力端子
CCLK	クロック	22	入　力	クロック入力端子．　文字幅周期で変化する単相クロックを入力する
$CC_{0\sim7}$	文字コード・アドレス	23～30	出　力	文字コード・アドレス信号出力端子．文字発生 ROM のアドレス端子に接続し文字種類を表現する
HLGT	ハイライト	31	出　力	ハイライト信号出力端子
GPA	汎用アトリビュート	32	出　力	汎用アトリビュート信号出力端子
SL_{12}	オーバライン/アンダライン	33	出　力	オーバラインまたはアンダライン信号出力端子
VSP	映像信号	34	出　力	映像消去信号出力端子．　▶垂直帰線区間，水平帰線区間 ▶アトリビュート：シークレット，ブリンク指定のとき ▶ノントランスペアレント・アトリビュート・コード検出時の1文字区間 ▶ 1 行おき表示モード時の偶数行表示のとき ▶ DMA アンダラン発生時
$LC_{0\sim3}$	文字ライン・アドレス	35～38	出　力	文字ライン・アドレス出力端子．　文字発生 ROM のアドレス端子に接続し文字の縦方向ドット位置を表現する
SL_0	バーチカル・ライン	39	出　力	バーチカル・ライン信号出力端子．　▶アトリビュート：バーチカル・ラインを指定したとき出力される

（注）　ICW，OCW はこの IC で使用されるコマンドの総称
▶ ICW ：イニシャライゼーション・コマンド・ワード
▶ OCW：オペレーション・コマンド・ワード

GSP (Graphic System Processor)

■ ピン接続

TMS34010

ピン	信号	ピン	信号
9	LRDY	68	HFS0
8	HOLD	67	HFS1
7	LINT1	66	HCS
6	LINT2	65	HWRITE
5	INCLK	64	HREAD
4	VCLK	63	HLDS
3	RESET	62	HUDS
2	RUN/EMU	61	Vcc
1	Vss		
10	LAD0	60	HD0
11	LAD1	59	HD1
12	LAD2	58	HD2
13	LAD3	57	HD3
14	LAD4	56	HD4
15	LAD5	55	HD5
16	LAD6	54	HD6
17	LAD7	53	HD7
18	Vss	52	Vss
19	LAD8	51	HD8
20	LAD9	50	HD9
21	LAD10	49	HD10
22	LAD11	48	HD11
23	LAD12	47	HD12
24	LAD13	46	HD13
25	LAD14	45	HD14
26	LAD15	44	HD15
27	Vcc	36	DDOUT
28	LCLK1	37	DEN
29	LCLK2	38	RAS
30	HSYNC	39	CAS
31	VSYNC	40	W
32	BLANK	41	TR/QE
33	HLDA/EMUA	42	HINT
34	LAL	43	HRDY
35	Vss		

■ 特　徴

- ３２ビット長ＡＬＵ内蔵
- ３２ビット長プログラム・カウンタ，スタック・ポインタ，ステータス・レジスタ
- ３２ビット長汎用レジスタを３０本もつ
- メモリ空間　１２８バイト／１Ｇビット・アドレス
- ２５６バイト　キャッシュ・メモリ
- リセット／割り込み（割り込み８種類，ソフト割り込み２３トラップ）
- ＤＭＡ／デュアル・ポートＶＲＡＭダイレクト・インターフェース
- ８／１６ビット，ホストＣＰＵインターフェース
- ホスト独立型グラフィックス処理
- 最大４０９６×４０９６ピクセル　６５５３６色表示
- フレーム・バッファ・サイズ最大３２Ｋ×３２Ｋ
- ラスタ・オペレーション
  - 単一ピクセルから最大８Ｋ×８Ｋ×８Ｋ（３２Ｋ×３２Ｋ×１Ｋ）のピクセル・ブロック転送
  - 論理演算１６種類，算術演算６種類
  - 透明モード
  - プレーン・マスキング
  - カラー拡張
  - コーナ・アジャスト
- ＣＲＴ同期信号発生

■ 最大定格

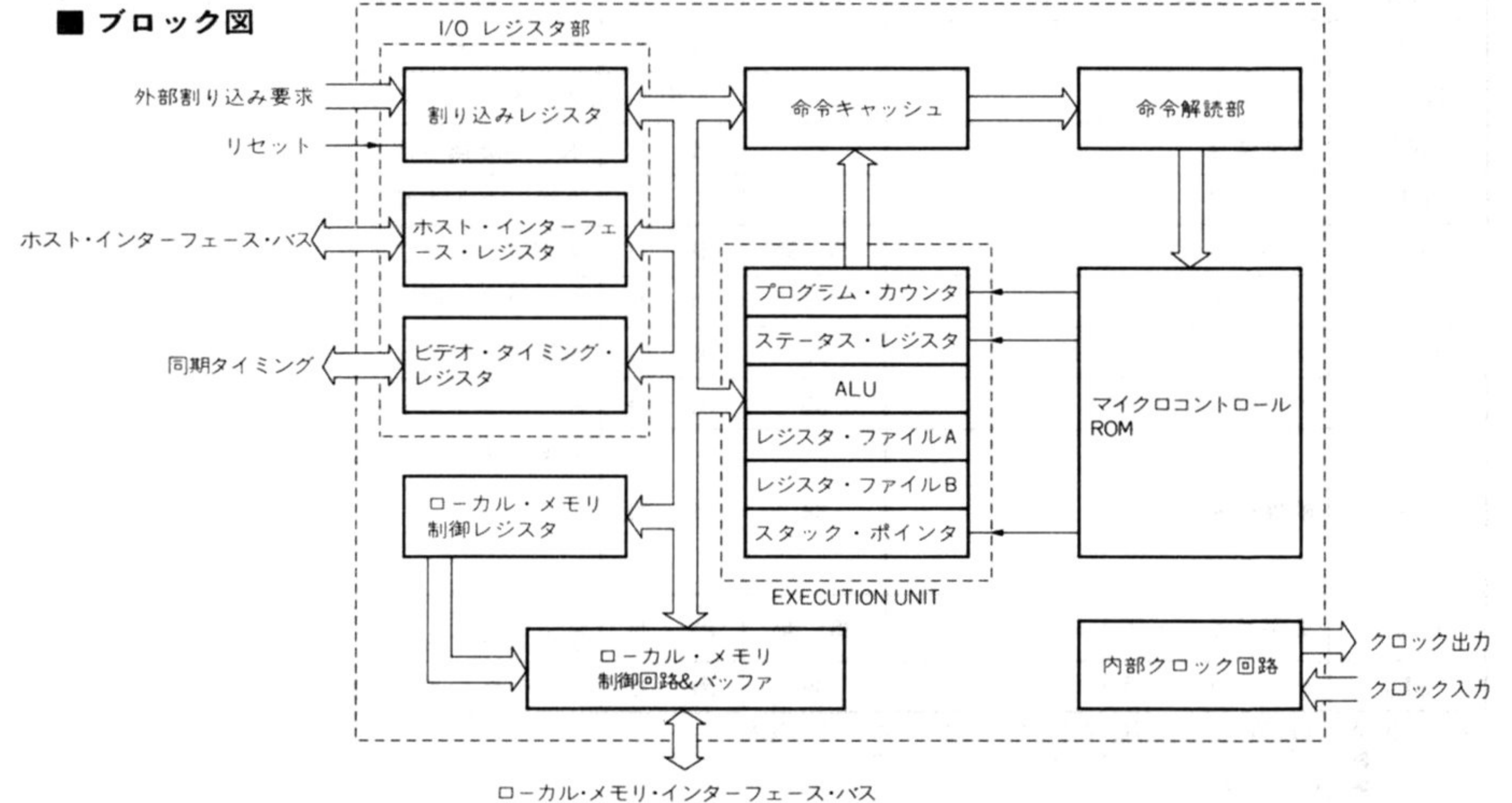
項　目	記号	定　格	単位
電源電圧	V_{CC}	0～7.0	V
入力電圧	V_{IN}	−0.3～20	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−10～150	℃

■ DC特性

（T_a＝0～70℃，V_{CC}＝5V±5%）

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝2.0mA	0.6	V
V_{OH}	I_{OH}＝400μA	2.6*	V
I_{OL}	V_{OUT}＝0.6, 2.8V	±20	μA
I_{IL}	V_{IN}＝0～V_{CC}	20	μA
C_{IN}		10	pF
C_{OUT}		10	pF

■ ブロック図

I/O レジスタ部
外部割り込み要求
リセット
割り込みレジスタ
ホスト・インターフェース・バス
ホスト・インターフェース・レジスタ
同期タイミング
ビデオ・タイミング・レジスタ
ローカル・メモリ制御レジスタ
命令キャッシュ
命令解読部
プログラム・カウンタ
ステータス・レジスタ
ALU
レジスタ・ファイルA
レジスタ・ファイルB
スタック・ポインタ
EXECUTION UNIT
マイクロコントロールROM
ローカル・メモリ制御回路&バッファ
内部クロック回路
クロック出力
クロック入力
ローカル・メモリ・インターフェース・バス

■端子機能

端子名	名　　称	ピン番号	入出力	機　　能
HCS	ホスト・チップ・セレクト	66	入　力	チップ・セレクト
HD_0~HD_{15}	ホスト・データ・バス	44~51, 53~60	入出力	双方向データ・バス・ポート．16ビット
HFS_0, HFS_1	ホスト・ファンクション・セレクト	67, 68	入　力	ホスト・ファンクション選択
HINT	ホスト・インタラプト・リクエスト	42	出　力	ホスト割り込み要求
HLDS	ホスト・ロア・データ・セレクト	63	入　力	下位データ選択
HUDS	ホスト・アッパ・データ・セレクト	62	入　力	上位データ選択
HRDY	ホスト・レディ	43	出　力	ホスト・レディ
HREAD	ホスト・リード・ストローブ	64	入　力	リード信号入力
HWRITE	ホスト・ライト・ストローブ	65	入　力	ライト信号入力
RAS	ローカル・ロウ・アドレス・ストローブ	38	出　力	行アドレス・ストローブ
CAS	ローカル・カラム・アドレス・ストローブ	39	出　力	列アドレス・ストローブ
DDOUT	ローカル・データ・ディレクション・アウト	36	出　力	ローカル・データの方向出力
DEN	ローカル・データ・イネーブル	37	出　力	ローカル・データ使用可
LAD_0~LAD_{15}	ローカル・アドレス/データ・バス	10~17, 19~26	入出力	ローカル・アドレス/データ・バス・ポート．16ビット．アドレスとデータの情報がマルチプレクスされている
LAL	ローカル・アドレス・ラッチ	34	出　力	アドレス・ラッチ
$LCLK_1$, $LCLK_2$	ローカル・アウトプット・クロック	28, 29	出　力	ローカル・クロック出力
$LINT_1$, $LINT_2$	ローカル・インタラプト・リクエスト	6, 7	入　力	ローカル割り込み入力
LRDY	ローカル・レディ	9	入　力	ローカル・レディ
TR/OE	ローカル・シフト・レジスタ・トランファ/アウトプット・イネーブル	41	出　力	VRAMの $\overline{TR}/\overline{QE}$ ピンにダイレクトに接続されている
W	ローカル・ライト・ストローブ	40	出　力	ローカル・ライト・ストローブ
INCLK	インプット・クロック	5	入　力	クロック入力
HOLD	ホールド・リクエスト	8	入　力	ホールド要求
RUN/EMU	ラン/ノット・エミュレート	2	入　力	通常未使用．テスト，エミュレーションのとき使用する
HLDA/EMUA	ホールド・アクノリッジ/エミュレート・アクノリッジ	33	出　力	ホールド要求の許可，エミュレータ要求の許可をマルチプレクスしている
BLANK	ブランキング	32	出　力	ブランキング
HSYNC	ホリゾンタル・シンク	30	入出力	水平同期
VCLK	ビデオ・クロック	4	入　力	ビデオ・クロック
VSYNC	バーチカル・シンク	31	入出力	垂直同期
RESET	リセット	3	入　力	リセット入力

ACRTC〔Advanced CRT Controller〕

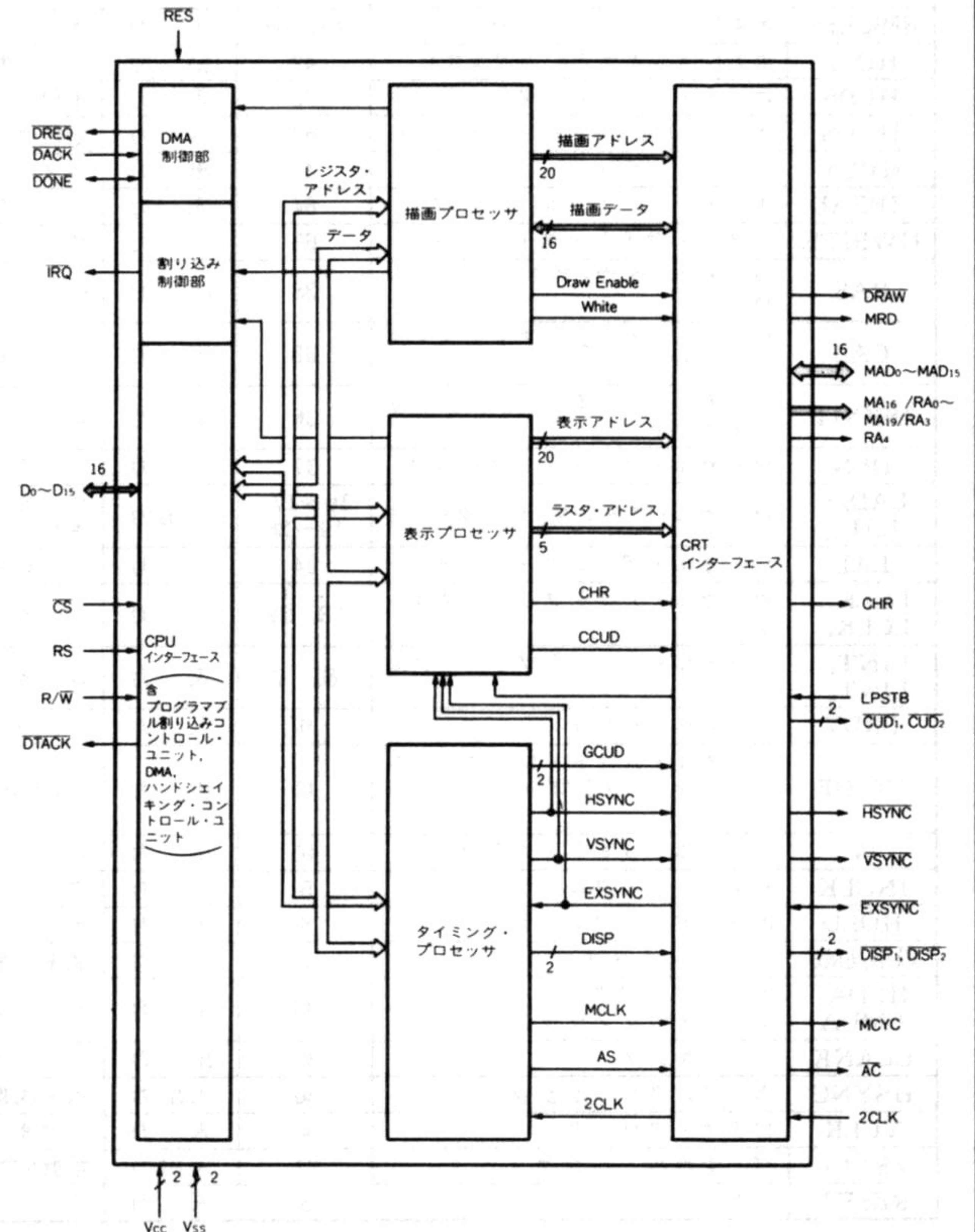
■ ピン接続

HD63484

信号	ピン	ピン	信号
$\overline{CUD_1}$ ←	1	64	← LPSTB
$\overline{CUD_2}$ ←	2	63	→ $\overline{DISP_1}$
R/$\overline{W}$ →	3	62	→ $\overline{DISP_2}$
$\overline{CS}$ →	4	61	↔ MAD_0
RS →	5	60	↔ MAD_1
$\overline{RES}$ →	6	59	↔ MAD_2
$\overline{DONE}$ ↔	7	58	↔ MAD_3
$\overline{DREQ}$ ←	8	57	↔ MAD_4
$\overline{DACK}$ →	9	56	→ CHR
$\overline{DTACK}$ ←	10	55	→ MRD
$\overline{IRQ}$ ←	11	54	→ $\overline{DRAW}$
$\overline{HSYNC}$ ←	12	53	→ $\overline{AS}$
$\overline{VSYNC}$ ←	13	52	→ MCYC
(+5V) V_{CC}	14	51	V_{SS}(0V)
$\overline{EXSYNC}$ ↔	15	50	← 2CLK
(0V) V_{SS}	16	49	V_{CC}(+5V)
D_0 ↔	17	48	↔ MAD_5
D_1 ↔	18	47	↔ MAD_6
D_2 ↔	19	46	↔ MAD_7
D_3 ↔	20	45	↔ MAD_8
D_4 ↔	21	44	↔ MAD_9
D_5 ↔	22	43	↔ MAD_{10}
D_6 ↔	23	42	↔ MAD_{11}
D_7 ↔	24	41	↔ MAD_{12}
D_8 ↔	25	40	↔ MAD_{13}
D_9 ↔	26	39	↔ MAD_{14}
D_{10} ↔	27	38	↔ MAD_{15}
D_{11} ↔	28	37	→ MA_{16}/RA_0
D_{12} ↔	29	36	→ MA_{17}/RA_1
D_{13} ↔	30	35	→ MA_{18}/RA_2
D_{14} ↔	31	34	→ MA_{19}/RA_3
D_{15} ↔	32	33	→ RA_4

■ 特　徴

- 高速描画処理，５００ｎｓ／画素（８ＭＨｚ動作時）
- グラフィック描画コマンド２３種を含む合計３８種のコマンドを内蔵
- １画素あたりのデータ長が可変（１，２，４，８，１６ビット／画素より選択）
- ８種の描画演算モード（色優先モードなど）
- 描画エリア管理機能（クリッピング）
- Ｘ－Ｙ座標による直接または間接描画点指定
- １６×１６ドットのグラフィック・パターンＲＡＭ内蔵
- ３種のフレーム・バッファ・アクセス方式（シングル，デュアルφ，デュアル１アクセス・モード）が選択可能
- フレーム・バッファ最大２Ｍバイトおよびリフレッシュ・メモリ最大１２８ＫバイトがＣＰＵより独立に管理可能
- １６ビットＣＰＵおよび８ビットＣＰＵとの接続が選択可能
- ３水平分割画面＋１ウィンドウをサポート
- グラフィック画面とキャラクタ画面の混在表示
- 水平分割画面とウィンドウ画面の重ね合わせ表示
- 水平／垂直のスムース・スクロール
- 水平／垂直の拡大表示（縦／横独立に１～１６倍）
- キャラクタ・カーソル（２本）／グラフィック・カーソル制御機能
- 各種アトリビュート信号出力（ブリンク，スムース・スクロール量など）
- ＤＭＡインターフェース内蔵
- ＣＰＵへの割り込み機能
- 外部同期機能（ＡＣＲＴＣ⇔ＣＲＴＣ／ＴＶなど）
- ライトペン検出機能内蔵
- ダイナミックＲＡＭ用リフレッシュ・カウンタ内蔵

■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～+7.0	V
入力電圧	V_{IN}	−0.3～V_{CC}+0.3	V
出力電流	I_O	5	mA
	ΣI_O	120	mA
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−55～+150	℃

■ 動作条件

記号	min	typ	max	単位
V_{CC}	4.75	5.0	5.25	V
V_{IL}	0	—	0.7	V
V_{IH}	2.2	—	V_{CC}	V
T_{OPR}	0	25	70	℃

■ 端子機能

端子名	ピン番号	入出力	機能
CUD_1, CUD_2	1, 2	出力	カーソルを表示するための出力信号
$R/\overline{W}$	3	入力	CPUとACRT間のデータの方向を示す
$\overline{CS}$	4	入力	チップ・セレクト端子. CPUからこのACRTCに対して読み書きを行う場合に, アドレス指定によってこの端子を“L”にする. この端子が“L”のときACRTCの内部レジスタに対して読み書きができる
RS	5	入力	レジスタ・セレクト. “H”で制御レジスタが選択され, “L”でアドレスおよびステータス・レジスタが選択される
$\overline{RES}$	6	入力	この端子を“L”にすることで, ACRTCの内部状態をリセットする
$\overline{DONE}$	7	入出力	DMA転送の終了を示す
DREQ	8	出力	DMA転送を行うときのDMACに対するデータ転送要求信号
$\overline{DACK}$	9	入力	DMA要求に対する応答入力
$\overline{DTACK}$	10	出力	非同期バス・インターフェースでのデータ転送信号, データ転送の完了を示す
$\overline{IRQ}$	11	出力	CPUに対してコマンドの終了, 未定義コマンド検出などを知らせるための割り込み要求信号
$\overline{HSYNC}$	12	出力	CRTに対する水平同期信号
$\overline{VSYNC}$	13	出力	CRTに対する垂直同期信号
(+5V) V_{CC}	14	—	電源
EXSYNC	15	入出力	複数のACRTCを同期させるための入出力信号
(0V) V_{SS}	16	—	グラウンド
D_0～D_{15}	17～32	入出力	双方向データ・バス, 16ビットのデータ・バス. 8ビットCPUと接続する場合はD_0～D_7のみ接続する

端子名	ピン番号	入出力	機能
RA_0～RA_3, RA_4	37～34, 33	出力	キャラクタ・モードのときに, キャラクタ・ジェネレータへのラスタ・アドレスを出力する. RA_4は漢字ROMなどを使用するとき利用する
MAD_0 ～MAD_{15}	61～57, 48～38	入出力	フレーム・バッファ・アドレスとフレーム・バッファ・データのマルチプレクス入出力
V_{CC}(+5V)	49	—	電源
2CLK	50	入力	ACRTCのための基準クロック
V_{SS}(0V)	51	—	グラウンド
MCYC	52	出力	ACRTCがアドレス・サイクルのとき“L”となり, データ・サイクルのときに“H”となる
$\overline{AS}$	53	出力	フレーム・バッファ・アドレスのラッチ・タイミング信号
$\overline{DRAW}$	54	出力	“L”でACRTCが描画サイクルであることを示し, “H”で表示サイクルであることを示す
MRD	55	出力	メモリ・リード, 画面メモリとACRTC間のデータの転送方向を示す. “L”で画面メモリへの書き込み, “H”で画面メモリからの読み込みを示す
CHR	56	出力	CHR＝“H”でキャラクタ画面メモリの選択を, CHR＝“L”でグラフィック画面メモリの選択を行う
$DISP_1$, $DISP_2$	63, 62	出力	画面の表示タイミングの出力信号
LPSTB	64	入力	ライトペンからの文字検出パルスの入力信号

CRTC (CRT Controller)

■ ピン接続

MB89321/89322

ピン	信号	方向	ピン	信号	方向
1	V_{SS}		40	VSYNC/EXVSYNC	↔
2	$\overline{RESET}$	→	39	HSYNC/EXHSYNC	↔
3	LPSTB	→	38	RA_0	→
4	MA_0	←	37	RA_1	→
5	MA_1	←	36	RA_2	→
6	MA_2	←	35	RA_3	→
7	MA_3	←	34	RA_4	→
8	MA_4	←	33	D_0	↔
9	MA_5	←	32	D_1	↔
10	MA_6	←	31	D_2	↔
11	MA_7	←	30	D_3	↔
12	MA_8	←	29	D_4	↔
13	MA_9	←	28	D_5	↔
14	MA_{10}	←	27	D_6	↔
15	MA_{11}	←	26	D_7	↔
16	MA_{12}	←	25	$\overline{CS}$	←
17	MA_{13}	←	24	RS	←
18	DISPTMG	←	23	E($\overline{RD}$)	←
19	CUDISP/IRQ	←	22	R/$\overline{W}$($\overline{WR}$)	←
20	V_{CC}		21	CLK	←

(　)はMB89322

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜7.0	V
消費電力	P_D	0.6	W
動作温度	T_{OPR}	−40〜85	℃
保存温度	T_{STG}	−55〜150	℃

■ DC特性

(T_a＝−20〜75℃，V_{CC}＝5V±10%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝1.6mA	0.4	V
V_{OH}	I_{OH}＝100μA	2.4*	V
I_{IL}	V_{IN}＝0.4〜2.4V	±10	μA
C_{IN}		10	pF

■ 特　徴

・スクリーン／キャラクタ・フォーマットはプログラマブル
・カーソル表示（位置，形状，ブリンク）はプログラマブル
・3種類のスキャン・モード選択可能
　　ノンインタレース
　　インタレース
　　インタレース＆ビデオ
・ライトペン検出機能
・リフレッシュ・メモリ・アドレス機能内蔵
・4分割スクリーンの独立ページング／スクローリングが可能
・最大4画面までの同時スムース・スクローリング機能をもつ
・垂直ブランキング／ライトペンによる割り込み発生機能をもつ
・外部同期可能
　　ＴＶ放送との重畳表示
　　ほかのＣＲＴＣとの同期化
・ラスタ補間により画面拡大可能

■ ブロック図

*(　)内はMB89322

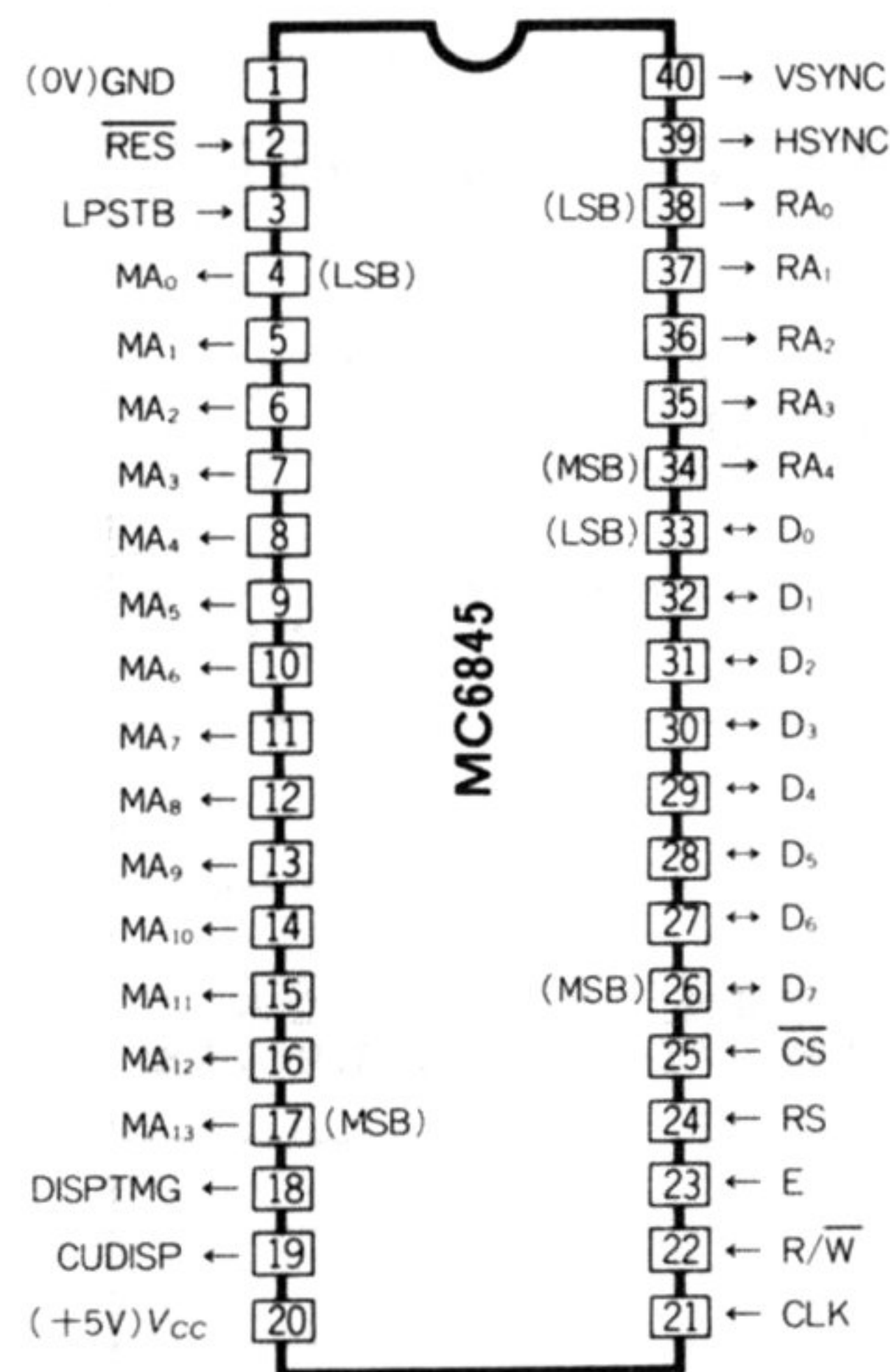
■端子機能

端子名	名称	ピン番号	入出力	機能
V_{SS}	グラウンド	1	—	グラウンド端子
$\overline{\text{RESET}}$	リセット	2	入力	CRTCをリセットするための入力端子．この端子に"L"レベルを入力することにより，CRTCは以下のようになる． ① 内部カウンタはクリアされて停止する． ② 出力信号は，すべて"L"レベルになる． ③ 内部レジスタのうちコントロール・レジスタとステータス・レジスタ以外は影響を受けない． ④ コントロール・レジスタ（R_{30}，R_{31}）はリセット解除後，初期設定する必要がある． リセットは，LPSTB端子が"L"レベルのときにのみ有効．また，$\overline{\text{RESET}}$端子が"H"レベルになると直ちに表示動作が開始される
LPSTB	ライトペン・ストローブ	3	入力	ライトペンからの文字検出パルス信号入力端子．この端子に"H"レベルが検出されると，ライトペン・レジスタにはメモリ・アドレスが，また，ライトペン・ラスタ・レジスタには，ラスタ・アドレスと表示ステータス・ビットがセットされる
MA_0 ～ MA_{13}	メモリ・アドレス	4 ～ 17	出力	リフレッシュ・メモリ・アドレス出力端子
DISPTMG	ディスプレイ・タイミング	18	出力	表示タイミング信号出力端子．表示期間は"H"レベルとなる
CUDISP/IRQ	カーソル・ディスプレイ・タイミング/インタラプト・リクエスト	19	出力	カーソル表示信号出力，割り込み要求信号出力端子．カーソル表示期間は，"H"レベルとなる．コントロール・レジスタの設定により表示タイミング"L"レベル期間に"H"レベルの割り込み要求信号を出力することができる
V_{CC}	電源	20	—	＋5V電源供給端子
CLK	クロック	21	入力	クロック入力端子． TV同期モードでは，EXHSYNC期間中は"L"レベルになる
R/$\overline{\text{W}}$ ($\overline{\text{WR}}$)	リード/ライト（ライト）	22	入力	MPUのR/$\overline{\text{W}}$信号入力端子． （MPUのライト信号入力端子）
E ($\overline{\text{RD}}$)	イネーブル（リード）	23	入力	MPUのイネーブル信号入力端子． （MPUのリード信号入力端子）
RS	レジスタ・セレクト	24	入力	内部レジスタ・セレクト信号入力端子． 通常アドレス・バス最下位ビット（LSB）A_0を接続する．この端子が"H"レベルのときは，内部レジスタを，また"L"レベルのときはアドレス・レジスタをアクセスする
$\overline{\text{CS}}$	チップ・セレクト	25	入力	チップ・セレクト信号入力端子．MPUがCRTCをアクセスする場合に，"L"レベルにする
D_7 ～ D_0	データ・バス	26 ～ 33	入出力	MPUデータ・バス端子
RA_4 ～ RA_0	ラスタ・アドレス	34 ～ 38	出力	ラスタ・アドレス出力端子
HSYNC/EXHSYNC	水平同期出力/入力	39	入出力	水平同期信号出力，外部水平同期信号入力端子．リセットにより水平同期信号出力となる．HSYNCは，正論理（アクティブ"H"）で出力する
VSYNC/EXVSYNC	垂直同期出力/入力	40	入出力	垂直同期信号出力，外部垂直同期信号入力端子．リセットにより垂直同期信号出力となる．VSYNCは，正論理（アクティブ"H"）で出力する

CRTC (CRT Controller)

■ ピン接続

MC6845

ピン	信号	ピン	信号
1	(0V)GND	40	→ VSYNC
2	RES →	39	→ HSYNC
3	LPSTB →	38 (LSB)	→ RA_0
4 (LSB)	MA_0 ←	37	→ RA_1
5	MA_1 ←	36	→ RA_2
6	MA_2 ←	35	→ RA_3
7	MA_3 ←	34 (MSB)	→ RA_4
8	MA_4 ←	33 (LSB)	↔ D_0
9	MA_5 ←	32	↔ D_1
10	MA_6 ←	31	↔ D_2
11	MA_7 ←	30	↔ D_3
12	MA_8 ←	29	↔ D_4
13	MA_9 ←	28	↔ D_5
14	MA_{10} ←	27	↔ D_6
15	MA_{11} ←	26 (MSB)	↔ D_7
16	MA_{12} ←	25	← $\overline{CS}$
17 (MSB)	MA_{13} ←	24	← RS
18	DISPTMG ←	23	← E
19	CUDISP ←	22	← R/$\overline{W}$
20	(+5V)V_{CC}	21	← CLK

■ 特　徴

- ６８００バス・コンパチブル
- ライトペン機能あり
- アトリビュート機能なし
- 画面構成はプログラマブル（最大２５６字×６４行）
- カラー機能なし
- カーソル機能はプログラマブル
- 割り込み，ＤＭＡ機能はない
- キャラクタ・クロック：３．０／３．７ＭＨｚ
- 内部レジスタはリセット信号でクリアされない

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜+7.0	V
入力電圧	V_{IN}	−0.3〜+7.0	V
動作温度	T_{OPR}	−20〜+75	℃
保存温度	T_{STG}	−55〜+150	℃

■ DC特性

記号	測　定　条　件		min	max	単位
V_{IH}			2.0	V_{CC}	V
V_{IL}			−0.3	0.8	V
I_{IL}	入力リーク電流	H→L L←H	−2.5	+2.5	μA
C_I				12.5	pF
V_{OH}	I_{OH}=−205μA	H→L	2.4		V
V_{OL}	I_{OL}=1.6mA	L←H		0.4	V
I_{OFF}	3ステートOFF電流0.4〜2.4V		−10	+10	μA
C_O				10	pF

■ ブロック図

RESET　R/W　ECLK　CS　RS　$D_{0\sim7}$
アドレス・レジスタ & R/Wコントロール
CCLK　キャラクタ・カウンタ CK (÷256) MR
CMP　R_1 水平表示文字数レジスタ
½R_0 CMP　CMP　R_0 水平総文字数レジスタ
CMP　R_2 水平同期位置レジスタ
HSYNC
CK CE MR 水平同期パルス幅カウンタ　CMP　R_3 水平同期パルス幅レジスタ
CK ラスタ・カウンタ (÷32) $RQ_{0\sim4}$ MR　CMP　R_9 最大ラスタ・アドレス・レジスタ
CK ライン・カウンタ (÷128) MR　CMP　R_6 垂直表示文字数レジスタ
SRQ　CMP　R_4 垂直総文字数レジスタ
V TOTAL 制御　R_5 トータル・ラスタ・アジャスト・レジスタ
DISPTMG
CE TC 垂直同期パルス幅 CK カウンタ (÷16) TR　CMP　R_7 垂直同期位置レジスタ
CK リニア・アドレス・ジェネレータ　R_{12} R_{13} スタート・アドレス・レジスタ
カーソル制御　R_{10} カーソル・スタート・ラスタ・レジスタ
CUDISP
R_{11} カーソル・エンド・ラスタ・レジスタ
$RQ_{0\sim4}$　CMP　R_{14} R_{15} カーソル・レジスタ
VSYNC
インタレース制御　RA_0〜RA_4　R_8 インタレース・モード・レジスタ
R_{16} R_{17} ライトペン・レジスタ　Set
LPSTB　SYNC
$MA_{0\sim13}$

■ 端子機能

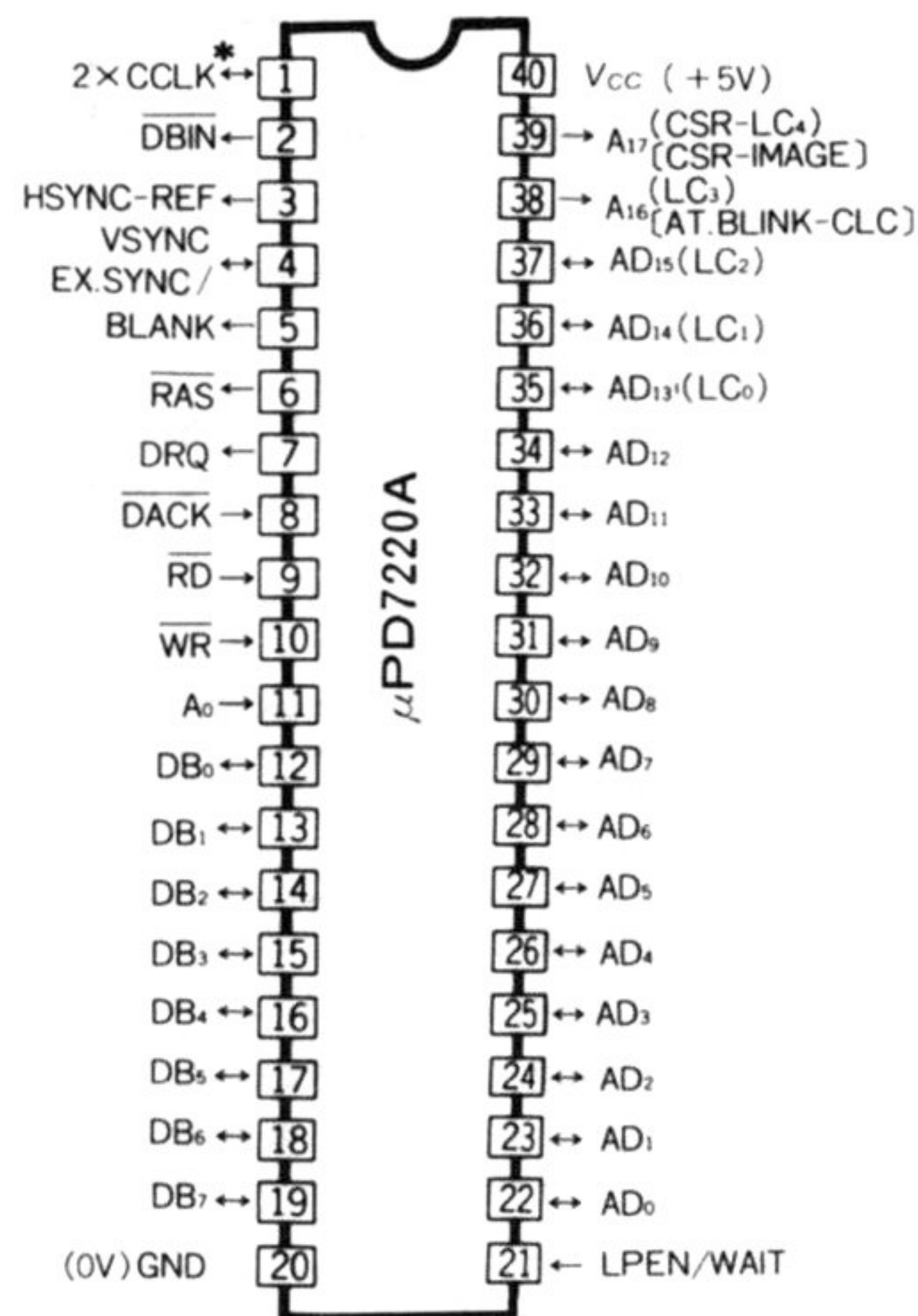
端子名	ピン番号	入出力	機能
$D_0 \sim D_7$	33〜26	入出力	CPUとのデータ転送に使用される．データ・バスの出力は3ステート・バッファになっており，CPUがレジスタをリードするとき以外は，ハイ・インピーダンス状態となっている
$R/\overline{W}$	22	入　力	データ転送の方向を制御．$R/\overline{W}$が"H"レベルのとき，CRTCのデータがCPUに転送され，$R/\overline{W}$が"L"レベルのとき，CPUからCRTCにデータが転送される
$\overline{CS}$	25	入　力	CRTCをアドレッシングするためのものであり，CPUは$\overline{CS}$が"L"レベルのときのみCRTCの内部レジスタに対してリード/ライト動作を実行できる
RS	24	入　力	CRTCの内部の1本のアドレス・レジスタと18本のコントロール・レジスタを分離するのに使用．すなわち，RSが"L"レベルのときアドレス・レジスタが選択され，RSが"H"レベルのときコントロール・レジスタが選択される
E	23	入力	CPUがCRTCの内部レジスタをリード/ライトするときのストローブ信号として使用
$\overline{RES}$	2	入力	外部からのCRTCをリセットするための入力信号
CLK	21	入力	CRTC内の動作の基準となるクロック入力信号．CLKは外部の高速ドット・タイミング回路から導入
HSYNC	39	出　力	水平同期信号．CRTディスプレイ装置に水平同期をかけるための出力信号
VSYNC	40	出　力	CRTディスプレイ装置に垂直同期をかけるための出力信号．垂直同期信号のパルス幅は16ラスタ周期固定

端子名	ピン番号	入出力	機能
DISPTMG	18	出　力	水平および垂直走査の画像表示期間を示す信号．DISPTMGが"H"レベルの期間にのみCRTディスプレイ装置にビデオ信号を供給するように制御する必要がある
$MA_0 \sim MA_{13}$	4〜17	出　力	CRTディスプレイ装置に表示された画像を一定の周期でリフレッシュするためのメモリ・アドレス出力信号
$RA_0 \sim RA_4$	38〜34	出　力	キャラクタ・ジェネレータやパターン・ジェネレータのラスタ・セレクト信号に使用
CUDISP	19	出　力	CRTディスプレイ画面上にカーソルを表示するためのビデオ信号
LPSTB	3	入　力	ライトペンからの文字検出パルスであり，LPSTBが入力されたときリフレッシュ・メモリ・アドレス（$MA_0 \sim MA_{13}$）の内容か14ビットのライトペン・レジスタにセットされる

CRTC〔CRT Controller〕

■ ピン接続

μPD7220A

信号	ピン	ピン	信号
2×CCLK* ↔	1	40	V_{CC}（＋5V）
$\overline{DBIN}$ ←	2	39	→ A_{17}（CSR-LC₄）〔CSR-IMAGE〕
HSYNC-REF ←	3	38	→ A_{16}（LC₃）〔AT.BLINK-CLC〕
VSYNC / EX.SYNC ↔	4	37	↔ AD_{15}（LC₂）
BLANK ←	5	36	↔ AD_{14}（LC₁）
$\overline{RAS}$ ←	6	35	↔ AD_{13}（LC₀）
DRQ ←	7	34	↔ AD_{12}
$\overline{DACK}$ →	8	33	↔ AD_{11}
$\overline{RD}$ →	9	32	↔ AD_{10}
$\overline{WR}$ →	10	31	↔ AD_9
A_0 →	11	30	↔ AD_8
DB_0 ↔	12	29	↔ AD_7
DB_1 ↔	13	28	↔ AD_6
DB_2 ↔	14	27	↔ AD_5
DB_3 ↔	15	26	↔ AD_4
DB_4 ↔	16	25	↔ AD_3
DB_5 ↔	17	24	↔ AD_2
DB_6 ↔	18	23	↔ AD_1
DB_7 ↔	19	22	↔ AD_0
(0V) GND	20	21	← LPEN/WAIT

＊この端子はプルアップが必要
（　）：文字モード時
〔　〕：文字/グラフィック混在モード時

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜7.0	V
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−65〜150	℃

■ DC特性

（T_a＝0〜70℃，V_{CC}＝5V±10%）

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝2.2mA	0.45	V
V_{OH}	I_{OH}＝400μA	2.4*	V
I_{OL}	V_{OUT}＝0, V_{CC}	±10	μA
I_{IL}	V_{IN}＝0, V_{CC}	±10	μA
C_{IN}		20	pF

■ 特　徴

- 高速グラフィック描画機能
  ５００ｎｓ／ドット（８ＭＨｚ動作時）
- 描画タイミングの選択機能
  フラッシュレス／フラッシュ・モード
- 拡大描画／拡大表示機能
- パニング，スクロール機能
- １文字単位でのアトリビュート設定
- インタレース／ノンインタレース走査可能
- 自動カーソル・シフト
- 複数個のＧＤＣによる映像制御ができる外部同期機能
- Ｉ／Ｏ　ＦＩＦＯ内蔵
- 主記憶とは独立した映像メモリ（最大２５６Ｋ語×１６ビット）を直接制御可能
- ＤＭＡ機能

■ ブロック図

BLANK　VSYNC/EX.SYNC　HSYNC REF　LPEN/WAIT　A₁₇(CSR.LC₄)〔CSR.IMAGE〕　A₁₆(LC₃)〔AT.BLINK・CLC〕　AD₁₅(LC₂)　AD₁₄(LC₁)　AD₁₃(LC₀)　AD₀〜AD₁₂　RAS　DBIN

GDC 映像メモリ制御

同期信号発生部：CR（7）　LF（10）　HBP（6）　VBP（6）　L/R（5）　HS（5）　VS（5）　FC（6）　CFI（5）　HFP（6）　VFP（6）　BLINK（5）　CST（5）

2×CCLK

表示アドレス制御部：REF（8）　SL（10）　ZR（4）　DAD（18）

描画アドレス制御部：D（14）　D₂（14）　DM（14）　D₁（14）　DC（14）　ZW（4）　EAD（18）　P（9）　DIR（3）

8

双方向性バッファ

A₀　RD　WR　DRQ　DACK

CPUインターフェース DMA制御部

入出力 FIFO 16×9

コマンド制御 ROM 128×14

データRAM 16×8

映像メモリ・データ制御部：dAD（16）　PTN（16）　MOD（2）　PS（16）

DB₀〜DB₇　＋5V　GND

（ ）：ビット数

■端子機能

端子名	名　　称	ピン番号	入出力	機　　能
2×CCLK	2×キャラクタ・クロック	1	入　力	単相クロックを供給．クロックの周波数は水平方向の表示文字数（表示ドット数）と水平表示時間との関係で決まる
$\overline{\text{DBIN}}$	データ・バス・イン	2	出　力	映像メモリに対するリード/モディファイ/ライトの実行時にのみ出力され，映像メモリの出力を映像メモリのデータ・バスに乗せるために使用
HSYNC-REF	水平同期リフレッシュ	3	出　力	水平同期信号としてモニタ・テレビに接続
VSYNC	垂直同期	4	入出力	7220がマスタ動作時に垂直同期信号としてモニタ・テレビに接続
EX. SYNC	外部同期			7220がスレーブ動作時に外部同期入力端子として使用
BLANK	ブランク	5	出　力	表示消去信号として使用
$\overline{\text{RAS}}$	ロウ・アドレス・ストローブ	6	出　力	この信号には以下の3種の用途がある． ① アドレス多重化を行っている16ピン・ダイナミック RAM に対する $\overline{\text{RAS}}$，$\overline{\text{CAS}}$ 信号を作るための基本タイミング信号 ② “H”レベル時 AD_0～AD_{15}に対するアドレス・ラッチ・タイミング信号 ③ 映像メモリのアドレス・サイクル弁別用タイミング信号
DRQ	DMA リクエスト	7	出　力	DMA 要求出力で DMA コントローラの DRQ 入力に接続
$\overline{\text{DACK}}$	DMA アクノリッジ	8	入　力	DMA 転送中であることを示す入力で，DMA コントローラの $\overline{\text{DACK}}$ 出力が接続される
$\overline{\text{RD}}$	CPU リード・ストローブ	9	入　力	CPU が7220からデータまたはステータス・フラグを読み出すとき，“L”レベル信号を供給する
$\overline{\text{WR}}$	CPU ライト・ストローブ	10	入　力	CPU が7220にコマンドまたはパラメータを書き込むとき，“L”レベル信号を供給する
A_0	CPU アドレス・バス0	11	入　力	CPU のアドレス・ライン最下位ビットが接続され，$\overline{\text{RD}}$，$\overline{\text{WR}}$ 信号との組み合わせにより，データ・バス信号の種類を選択する
DB_0～DB_7	CPU データ・バス0～7	12～19	入出力	双方向性のデータ・バスで，8ビットまたは16ビットの標準的な CPU に接続
LPEN	ライトペン・ストローブ	21	入　力	ライトペンが光入力を検出したとき，“H”レベルの信号を入力
WAIT	描画停止			描画停止動作が設定されている場合，最低4クロック間“H”レベルとなる信号を入力すると，7220は描画実行中であってもその描画を一時停止して表示アドレスを出力
AD_0～AD_{12}	アドレス/データ・バス	22～34	入出力	双方向性のアドレス/データ・バスで映像メモリに接続
AD_{13}～AD_{15}	アドレス/データ・バス	35～37	入出力	双方向性のアドレス/データ・バスで，映像メモリに接続
LC_0～LC_2	ライン・カウンタ0～2		出　力	文字モード時に，7220に内蔵されている5ビットのライン・カウンタの下位4ビットが出力される
A_{16}	ディスプレイ・メモリ・アドレス16	38	出　力	グラフィック・モード時に，アドレスの上位2ビットが出力され，映像メモリに接続
LC_3*	ライン・カウンタ3		出　力	文字モード時に，7220に内蔵されている5ビットのライン・カウンタの下位4ビットが出力される
$\overline{\text{ATBLINK}}$**-CLC	ブリンキング・タイミング		出　力	文字/グラフィック混在モード時に，ブリンキングする文字属性に供給するブリンキング・タイミング信号と，外部回路によって構成するライン・カウンタに対するクリア信号を時分割して出力する
A_{17}	ディスプレイ・メモリ・アドレス17	39	出　力	グラフィック・モード時に，アドレスの上位2ビットが出力され，映像メモリに接続
CSR*-LC_4	カーサ・ライン・カウント4		出　力	文字モード時にカーサ表示出力とライン・カウンタの最上位ビットを時分割して出力
CSR**-IMAGE	カーサ・イメージ		出　力	文字/グラフィック混在モード時に，カーサ表示出力と，イメージ信号出力を時分割して出力

*……文字モード時　　**……文字/グラフィック混在モード時

CRTC (CRT Controller)

■ ピン接続

RP5C16

ピン	信号	ピン	信号
1	NC	64	GND
2	VBUS EN →	63	→ $\overline{RAS}$
3	CLOCK OUT ←	62	→ $\overline{CAS}$
4	CLOCK IN →	61	→ $\overline{CAS_0}$
5	$\overline{C\text{-}SYNC}$ ↔	60	→ $\overline{CAS_1}$
6	$\overline{H\text{-}SYNC}$ ↔	59	→ 1/4CLK
7	$\overline{V\text{-}SYNC}$ ↔	58	→ $\overline{WEM}$
8	L/d ←	57	→ $\overline{WEL}$
9	M-LEVEL →	56	↔ VD_8
10	R ←	55	↔ VD_9
11	G ←	54	↔ VD_{10}
12	B ←	53	↔ VD_{11}
13	$\overline{RD}$ →	52	↔ VD_{12}
14	$\overline{WR}$ →	51	↔ VD_{13}
15	$\overline{CS}$ →	50	↔ VD_{14}
16	$\overline{DACK}$ →	49	↔ VD_{15}
17	$\overline{DREQ}$ ←	48	↔ VD_0
18	A_0 →	47	↔ VD_1
19	A_1 →	46	↔ VD_2
20	A_2 →	45	↔ VD_3
21	A_3 →	44	↔ VD_4
22	INT ←	43	↔ VD_5
23	VBUS REQ ←	42	↔ VD_6
24	D_0 ↔	41	↔ VD_7
25	D_1 ↔	40	→ VA_0
26	D_2 ↔	39	→ VA_1
27	D_3 ↔	38	→ VA_2
28	D_4 ↔	37	→ VA_3
29	D_5 ↔	36	→ VA_4
30	D_6 ↔	35	→ VA_5
31	D_7 ↔	34	→ VA_6
32	V_{CC}	33	→ VA_7

■ 特　徴

- 四つのモードをもつCRTコントローラ
  - 80×25文字のカラー画面
  - 640×200ドットのカラー画面
  - 40×25文字と40×25文字のカラー2画面
  - 320×200ドットと40×25文字のカラー2画面
- RGB出力で最大15色表示
- 仮想スクリーン
- 水平，垂直方向へのスムース・スクロール可能
- 前後反転，左右反転，上下反転，白黒反転のアトリビュート機能
- マウス用カーソル内蔵
- マスタ／スレーブ・モード
- 再定義可能な文字セット
- ビデオRAM更新のためのバッファ・レジスタ，アドレス・カウンタ内蔵

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜7.0	V
消費電力	P_D	0.3	W
動作温度	T_{OPR}	−10〜70	℃
保存温度	T_{STG}	−40〜125	℃

■ DC特性

(T_a＝−10〜70℃，V_{CC}＝5V±10%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝3.2mA	0.4	V
V_{OH}	I_{OH}＝400μA	2.4*	V
I_{OL}	V_{OUT}＝0.4〜2.4V	10	μA
I_{IL}	V_{IN}＝0〜V_{CC}	10	μA

■ ブロック図

$\overline{DACK}$
$\overline{DREQ}$
A_0〜A_3
$\overline{WR}$
$\overline{RD}$
$\overline{CS}$
INT
D_0〜D_7
CLOCK
1/4CLK
リード/ライト制御ロジック
データ・レジスタ
リフレッシュ・カウンタ
VRAMアドレス・カウンタ
ビデオ・シフトレジスタ
ビデオ・デコーダ
垂直カウンタ
水平カウンタ
VBUS REQ
VBUS EN
$\overline{WEN}$
$\overline{WEL}$
VA_0〜VA_7
VD_0〜VD_{15}
L/d
R
G
B
M-LEVEL
$\overline{H\text{-}SYNC}$
$\overline{C\text{-}SYNC}$
$\overline{V\text{-}SYNC}$
$\overline{RAS}$
$\overline{CAS}$

■端子機能

端子名	名　称	ピン番号	入出力	機　能
$\overline{CS}$	チップ・セレクト	15	入　力	コントロール・レジスタ，アドレス・レジスタ，バッファ・レジスタのリード/ライトを可能にする
$\overline{RD}$	リード・ストローブ	13	入　力	リード信号
$\overline{WR}$	ライト・ストローブ	14	入　力	ライト信号
A_0～A_3	アドレス0～3	18～21	入　力	コントロール・レジスタの選択ライン
D_0～D_7	データ0～7	24～31	入出力	データ・バス．データ0＝LSB，データ7＝MSB
INT	割り込み	22	出　力	割り込み要求出力
$\overline{DREQ}$	DMAリクエスト	17	出　力	DMA要求出力
$\overline{DACK}$	DMAアクノリッジ	16	入　力	DMA受付け入力
$\overline{RAS}$	ロウ・アドレス・ストローブ	63	出　力	ロウ・アドレスをセットする． タイミングを与える（下位8ビット）
$\overline{CAS}$	カラム・アドレス・ストローブ	62	出　力	カラム・アドレスをセットする． タイミングを与える（上位8ビット）
$\overline{CAS_0}$	カラム・アドレス・ストローブ0	61	出　力	アドレスが0～3FFFHのときにのみアクティブになる$\overline{CAS}$
$\overline{CAS_1}$	カラム・アドレス・ストローブ1	60	出　力	アクティブが4000H～7FFFHのときにのみアクティブになる$\overline{CAS}$
VBUS EN	ビデオ・バス・イネーブル	2	入　力	"L"のとき，$\overline{CAS}$，$\overline{CAS_0}$，$\overline{CAS_1}$，$\overline{RAS}$，$\overline{WEL}$，$\overline{WEM}$，$VA_{0\sim7}$，$VD_{0\sim15}$をハイ・インピーダンスにする
VBUS REQ	ビデオ・バス・リクエスト	23	出　力	5C16がVBUSをアクセスする4クロック前にアクティブになる
$\overline{WEM}$	ライト・イネーブルMSB	58	出　力	ライトはアーリィ・ライト動作
$\overline{WEL}$	ライト・イネーブルLSB	57	出　力	ライトはアーリィ・ライト動作
VA_0～VA_7	ビデオ・メモリ・アドレス0～7	40～33	出　力	ビデオ・メモリのアドレス出力
VD_0～VD_{15}	ビデオ・メモリ・データ0～15	48～41， 56～49	入出力	ビデオ・メモリのデータ・バス．データ0＝LSB，データ15＝MSB
CLOCL IN CLOCK OUT	クロック入力 クロック出力	4 3	入　力 出　力	水晶振動子を接続する．14.31818MHz
M-LEVEL	ミドル・レベル	9	入　力	RGB3値出力のとき，CRTCに対し中間レベルを与える
V_{CC}，GND	電源，グラウンド	32，64	—	電源端子
R, G, B L/d	赤，緑，青 ライト/ダーク	10～12 8	出　力	ビデオ出力（2値または3値）
$\overline{C\text{-}SYNC}$	コンポジット同期	5	入出力	マスタ・モードのとき出力（オープン・ドレイン出力）スレーブ・モードのとき$\overline{H\text{-}SYNC}$入力
$\overline{V\text{-}SYNC}$	垂直同期	7	入出力	マスタ・モードのとき出力（オープン・ドレイン出力）スレーブ・モードのとき$\overline{V\text{-}SYNC}$入力
$\overline{H\text{-}SYNC}$	水平同期	6	入出力	マスタ・モードのとき出力（オープン・ドレイン出力）スレーブ・モードのとき$\overline{H\text{-}SYNC}$入力
1/4 CLK	1/4クロック	59	出　力	クロック1/4分周出力

CRTC (CRT Controller)

■ ピン接続

RP5C56

信号	方向	ピン	ピン	方向	信号
VBUSEN	→	1	64		GND
CLOCK OUT	←	2	63	→	ALE
CLOCK IN	→	3	62	→	$\overline{CS_1}$
$\overline{C\text{-}SYNC}$	↔	4	61	→	$\overline{CS_0}$
$\overline{H\text{-}SYNC}$/YS	←	5	60	←	$\overline{RESET}$
$\overline{V\text{-}SYNC}$	↔	6	59	→	x2CLK
GND		7	58	→	$\overline{WEM}$
V_{REF}		8	57	→	$\overline{WEL}$
R	←	9	56	↔	VD_8
G	←	10	55	↔	VD_9
B	←	11	54	↔	VD_{10}
$\overline{RD}$	→	12	53	↔	VD_{11}
$\overline{WR}$	→	13	52	↔	VD_{12}
$\overline{CS}$	→	14	51	↔	VD_{13}
$\overline{DACK}$	→	15	50	↔	VD_{14}
$\overline{DREQ}$	←	16	49	↔	VD_{15}
A_0	→	17	48	↔	VD_0
A_1	→	18	47	↔	VD_1
A_2	→	19	46	↔	VD_2
A_3	→	20	45	↔	VD_3
A_4	→	21	44	↔	VD_4
INT	←	22	43	↔	VD_5
VBUSREQ	←	23	42	↔	VD_6
D_0	↔	24	41	↔	VD_7
D_1	↔	25	40	→	VA_0
D_2	↔	26	39	→	VA_1
D_3	↔	27	38	→	VA_2
D_4	↔	28	37	→	VA_3
D_5	↔	29	36	→	VA_4
D_6	↔	30	35	→	VA_5
D_7	↔	31	34	→	VA_6
V_{CC}		32	33	→	VA_7

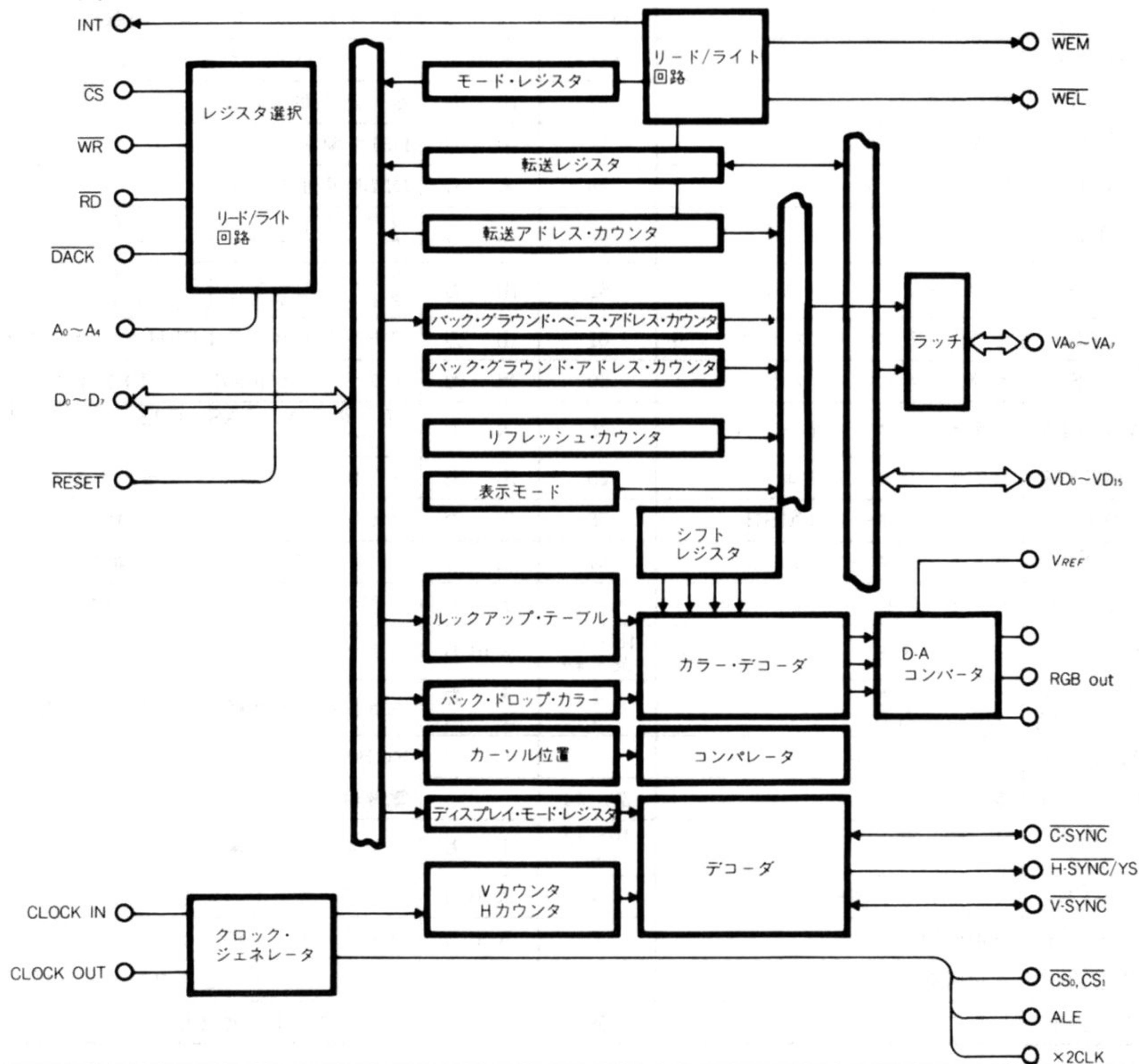
■ 最大定格

項　目	記号	定　格	単位
電 源 電 圧	V_{CC}	$-0.3\sim V_{CC}+0.3$	V
V_{REF} 電 圧	V_{REF}	$-0.3\sim V_{CC}+0.3$	V
入 力 電 圧	V_I	$-0.3\sim V_{CC}+0.3$	V
出 力 電 圧	V_O	$-0.3\sim V_{CC}+0.3$	V
最大消費電力	P_d	700	mW
動作周囲温度	T_{OPR}	0～70	℃
保 存 温 度	T_{STG}	−40～125	℃

■ 特　徴

・４種類の表示モードをもつＣＲＴコントローラ
　64文字×24行のテキスト表示
　512×192ドットのグラフィック表示
　64文字×24行のテキスト表示の２画面の重ね合わせ
　テキストとグラフィックの２画面の重ね合わせ
・ＮＴＳＣ方式対応（ノンインターレース）
・ＲＧＢ（１６値）出力
・４０９６色カラーから最大１６色表示可能
・クロス・ヘアー・カーソル表示可能
・マスタ・モード/スレーブ・モードの切り替え可能

■ ブロック図

INT
$\overline{CS}$
$\overline{WR}$
$\overline{RD}$
$\overline{DACK}$
A_0～A_4
D_0～D_7
$\overline{RESET}$
レジスタ選択
リード/ライト回路
モード・レジスタ
リード/ライト回路
転送レジスタ
転送アドレス・カウンタ
バック・グラウンド・ベース・アドレス・カウンタ
バック・グラウンド・アドレス・カウンタ
リフレッシュ・カウンタ
表示モード
シフトレジスタ
ラッチ
ルックアップ・テーブル
カラー・デコーダ
D-A コンバータ
バック・ドロップ・カラー
カーソル位置
コンパレータ
ディスプレイ・モード・レジスタ
デコーダ
V カウンタ
H カウンタ
クロック・ジェネレータ
CLOCK IN
CLOCK OUT
$\overline{WEM}$
$\overline{WEL}$
VA_0～VA_7
VD_0～VD_{15}
V_{REF}
RGB out
$\overline{C\text{-}SYNC}$
$\overline{H\text{-}SYNC}$/YS
$\overline{V\text{-}SYNC}$
$\overline{CS_0}$, $\overline{CS_1}$
ALE
×2CLK

■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{CS}$	チップ・セレクト	14	入力	内部レジスタのリード/ライト・コントロール
$\overline{RD}$	リード	12	入力	内部レジスタの読み出し
$\overline{WR}$	ライト	13	入力	内部レジスタの書き込み
$A_0 \sim A_4$	アドレス	17~21	入力	内部コントロール・レジスタの選択
$D_0 \sim D_7$	データ	24~31	入出力	データ・バス，CPU へ接続
INT	割り込み出力	22	出力	CPU への割り込み信号
ALE	アドレス・ラッチ・イネーブル	63	出力	Row Address Latch Enable 信号
$\overline{CS_0}$, $\overline{CS_1}$	チップ・セレクト	61, 62	出力	Column Address をセットする信号
$\overline{WEL}$	ライト・イネーブルL	57	出力	V-RAM Write Eneble LSB
$\overline{WEM}$	ライト・イネーブルM	58	出力	V-RAM Write Eneble MSB
$VA_0 \sim VA_7$	ビデオ・メモリ・アドレス	40~33	出力	V-RAM アドレス出力
$VD_0 \sim VD_{15}$	ビデオ・メモリ・データ	48~41, 56~49	入出力	V-RAM データ入出力
CLKIN	クロック入力	3	入力	水晶接続，22.90908 MHz
CLKOUT	クロック出力	2	出力	水晶接続，22.90908 MHz（出力）
×2 CLK	×2クロック出力	59	出力	2分周 Clock 出力
R,G,B	R,G,B 出力	9, 10, 11	出力	各端子より 16 レベルの出力
$\overline{C\text{-}SYNC}$	コンポジット同期	4	入出力	マスタ・モード時は出力，スレーブ・モード時は入力
$\overline{V\text{-}SYNC}$	垂直同期	6	入出力	マスタ・モード時は出力，スレーブ・モード時は入力
$\overline{H\text{-}SYNC}$ /YS	水平同期/ビデオ・スイッチ	5	出力	D_0(アドレス No.12,バンク0)＝1：$\overline{H\text{-}SYNC}$ ＝0：YS
$\overline{DACK}$	DMA アクノリッジ	15	入力	DMAC, CPU からの DMA 要求を受ける
$\overline{DREQ}$	DMA リクエスト	16	出力	CRTC から DMA の要求を出力する
VBUSREQ	ビデオ・バス・リクエスト	23	出力	データ転送可能区間を出力する
VBUSEN	ビデオ・バス・イネーブル	1	入力	“L”にすると VRAM インターフェース端子がハイ・インピーダンスになる
$\overline{RESET}$	リセット	60	入力	RP5C56 内部のステータスを設定する
V_{ref}	リファレンス電源	8	—	R,G,B 出力用 DAC のリファレンス電源

■ 推奨動作条件（T_a＝0~70°C）

記号	項目	定格値			単位
		min	typ	max	
V_{CC}	電源電圧	4.5	5.0	5.5	V
V_{REF}	V_{REF}電圧	4.5	5.0	5.5	V
f_{XT}	水晶周波数		22.90908		MHz

■ DC特性

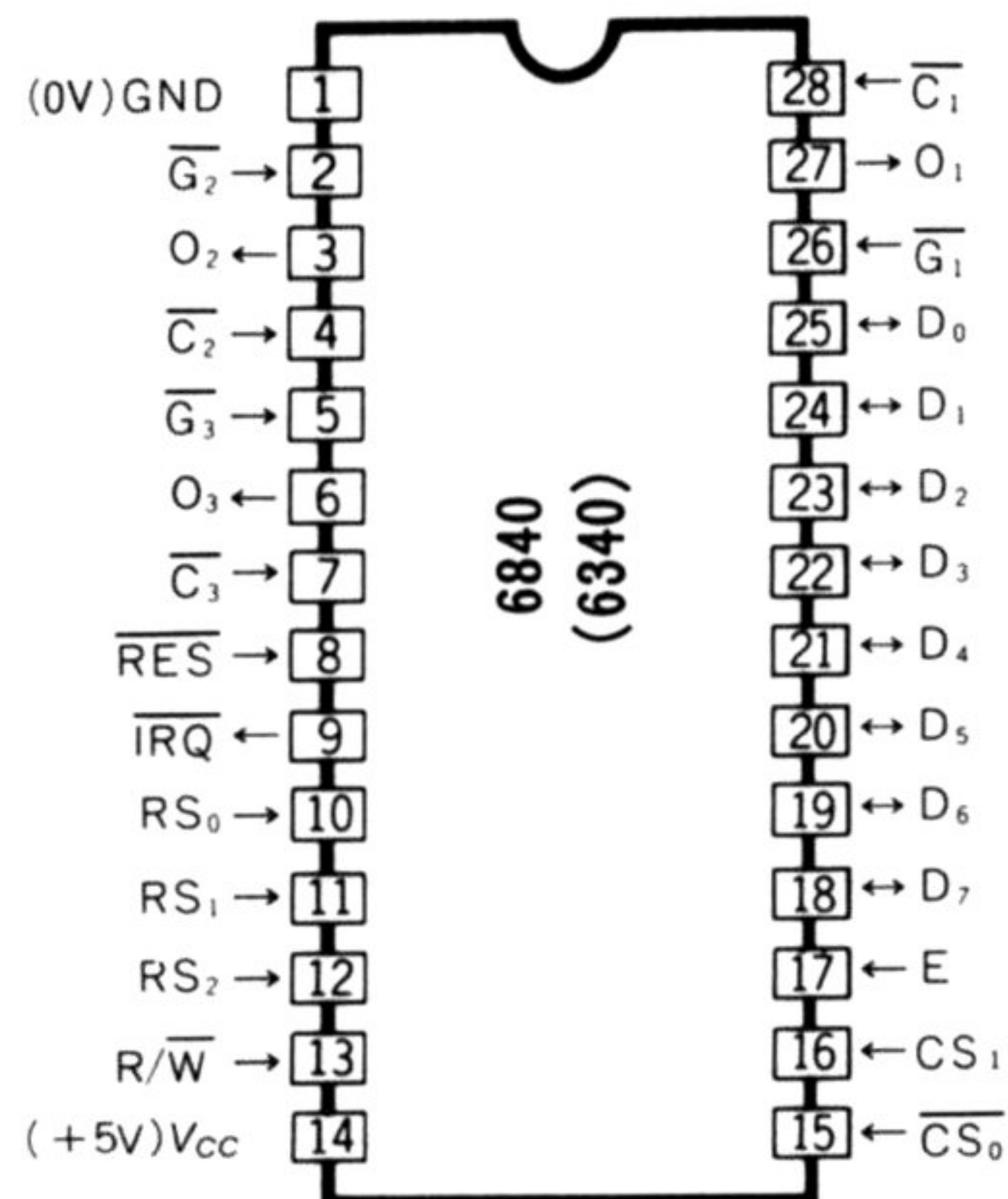
（T_a＝0~70°C，V_{CC}＝5V±10%）

記号	項目	測定条件	min	max	単位
V_{IH}	“H”入力電圧		2.2	$V_{CC}+0.3$	V
V_{IL}	“L”入力電圧		−0.3	0.6	V
I_{LI}	入力リーク電流	$0V \leqq V_I \leqq V_{CC}$	−10	+10	μA
V_{OH}	“H”出力電圧	$I_{OH}=-4mA$	2.4		V
V_{OL}	“L”出力電圧	$I_{OL}=4.0mA$		0.4	V
I_{OL}	オフ状態出力リーク電流	$0V \leqq V_O \leqq V_{CC}$	−10	+10	μA
I_{CC1}	電源電流(動作時)			60	mA
I_{CC2}	電源電流(V_{REF} off)			40	mA

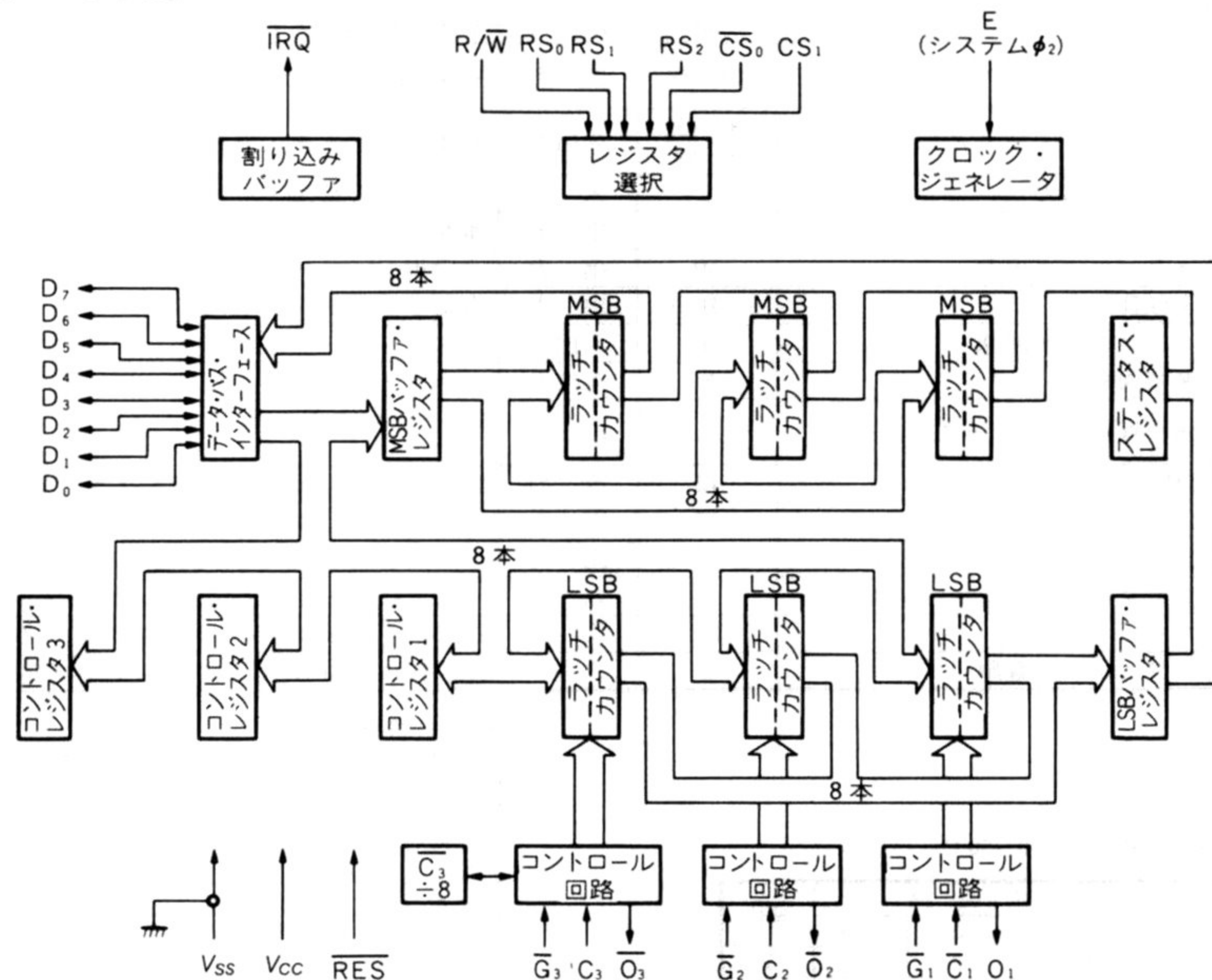
PTM (Programmable Timer Module)

■ピン接続

信号	ピン	ピン	信号
(0V)GND	1	28	← $\overline{C_1}$
$\overline{G_2}$ →	2	27	→ O_1
O_2 ←	3	26	← $\overline{G_1}$
$\overline{C_2}$ →	4	25	↔ D_0
$\overline{G_3}$ →	5	24	↔ D_1
O_3 ←	6	23	↔ D_2
$\overline{C_3}$ →	7	22	↔ D_3
$\overline{RES}$ →	8	21	↔ D_4
$\overline{IRQ}$ ←	9	20	↔ D_5
RS_0 →	10	19	↔ D_6
RS_1 →	11	18	↔ D_7
RS_2 →	12	17	← E
R/$\overline{W}$ →	13	16	← CS_1
(+5V)V_{CC}	14	15	← $\overline{CS_0}$

6840 (6340)

■特徴

・68系CPUに適合
・独立した三つの16ビット・タイマ
・コンチニュアス・モード，シングル・ショット・モード選択可能
・周波数比較機能，パルス幅比較機能
・デュアル8ビット・カウンタ，16ビット・カウンタ指定可能
・独立した割り込み設定可能

■ブロック図

■最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜+7.0	V
入力電圧	V_{IN}	−0.3〜+7.0	V
動作温度	T_{OPR}	−20〜+75	℃
保存温度	T_{STG}	−55〜+150	℃

■DC特性

項　目	max/min*	単位
V_{IH}	2.2*	V
V_{IL}	0.8	V
V_{OH}	2.4*	V
V_{OL}	0.4	V

■端子機能

端子名	ピン番号	入出力	機能
D_0～D_7	25～18	入出力	CPUとの間のデータ転送に使用．データ・バスの出力は3ステート・バッファになっている
$\overline{CS_0}$，CS_1	15，16	入力	チップ・セレクト信号で，$\overline{CS_0}$が“L”，CS_1が“H”レベルのときのみR/W動作が可能となる
R/$\overline{W}$	13	入力	データ転送の方向を制御する入力信号
E	17	入力	CPUが内部レジスタ，ラッチなどをR/$\overline{W}$するときのスローブ信号として使用される．また，外部クロック（$\overline{C_1}$，$\overline{C_2}$，$\overline{C_3}$）信号，ゲート入力（$\overline{G_1}$，$\overline{G_2}$，$\overline{G_3}$）信号，リセット（$\overline{RES}$）信号を同期化し，内部に取り込む機能をもつ
$\overline{IRQ}$	9	出力	この信号はアクティブ“L”であり，通常CPUの$\overline{IRQ}$端子に直接（または割り込み優先順位回路を通して）接続する．この端子はオープン・ドレイン出力端子である
$\overline{RES}$	8	入力	$\overline{RES}$入力が“L”レベルになり，リセットがかかると次の動作が行われる． (1) すべてのタイム・ラッチは最大カウント値$(FFFF)_{16}$にプリセットされる (2) すべてのコントロール・レジスタはクリアされる．ただしコントロール・レジスタ#1のビット0(CR_{10})は“1”となる (3) すべてのカウントは，タイマ・ラッチの内容〔最大カウント値$(FFFF)_{16}$〕でプリセットされる (4) すべてのカウント出力はリセットされ，すべてのカウント・クロックはディセーブルとなる (5) ステータス・レジスタのビットはすべてクリアされる
RS_0, RS_1, RS_2	10, 11, 12	入力	R/$\overline{W}$信号と組み合わせて使用され，内部レジスタ，カウンタ，タイマ・ラッチを選択するために使用される
$\overline{C_1}$，$\overline{C_2}$，$\overline{C_3}$	28，4，7	入力	$\overline{C_1}$，$\overline{C_2}$，$\overline{C_3}$は，それぞれタイマ#1，#2，#3を動作させるための外部クロック入力信号．この信号はEクロックで同期化された後，各タイマのカウンタ・デクリメント信号として使用される
$\overline{G_1}$，$\overline{G_2}$，$\overline{G_3}$	26，2，5	入力	$\overline{G_1}$，$\overline{G_2}$，$\overline{G_3}$は，それぞれタイマ#1，#2，#3のトリガ信号，ゲート信号を入力する端子．周波数比較モード，パルス幅比較モードでは測定するパルスを入力する
O_1，O_2，O_3	27, 3, 6	出力	タイマが発生する各種パルス信号を出力する端子．この信号は，コンティニュアンス・モード，シングル・ショット・モードのときに出力される

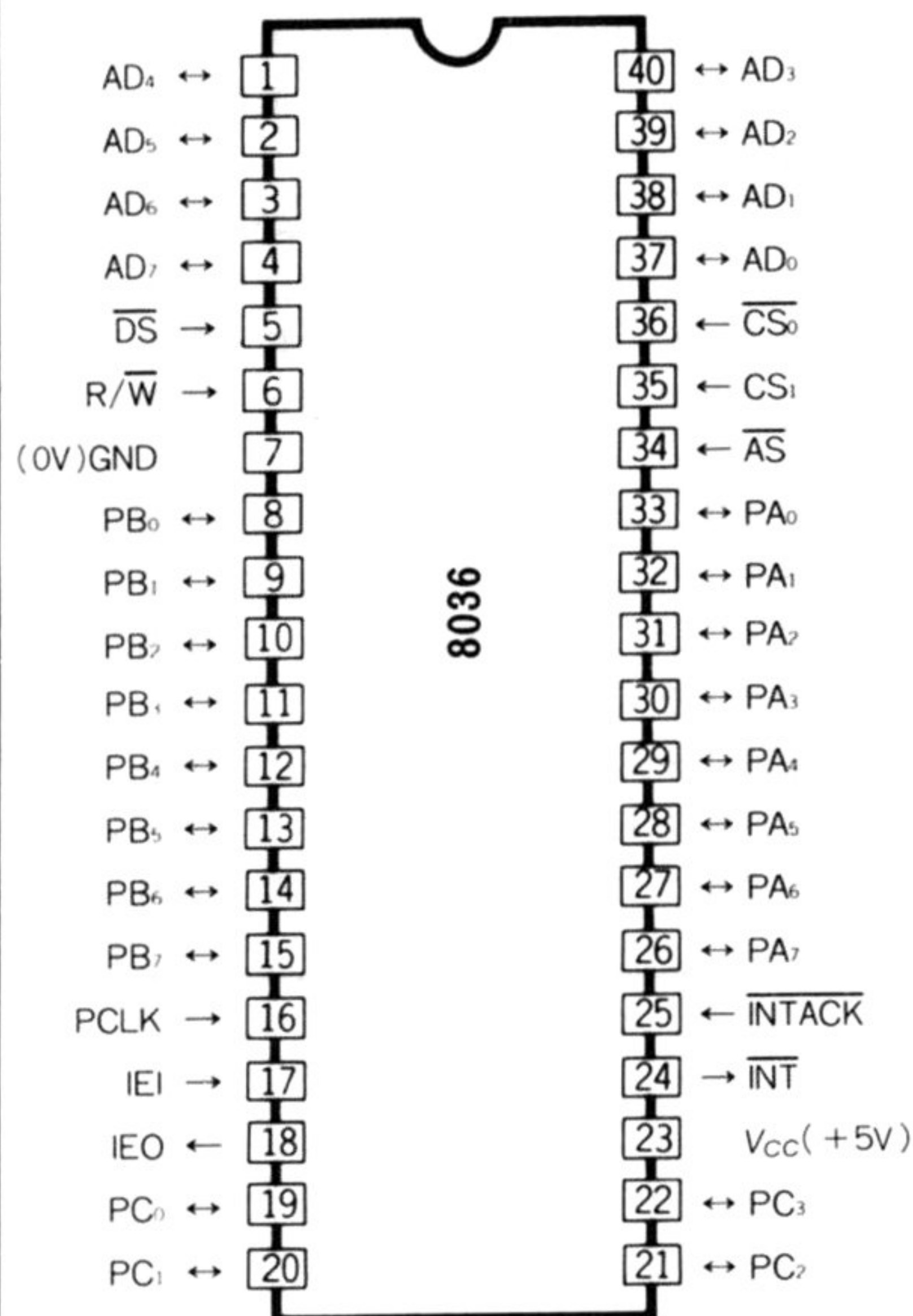
CIO (Counter/Timer and Parallel I/O Unit)

■ピン接続

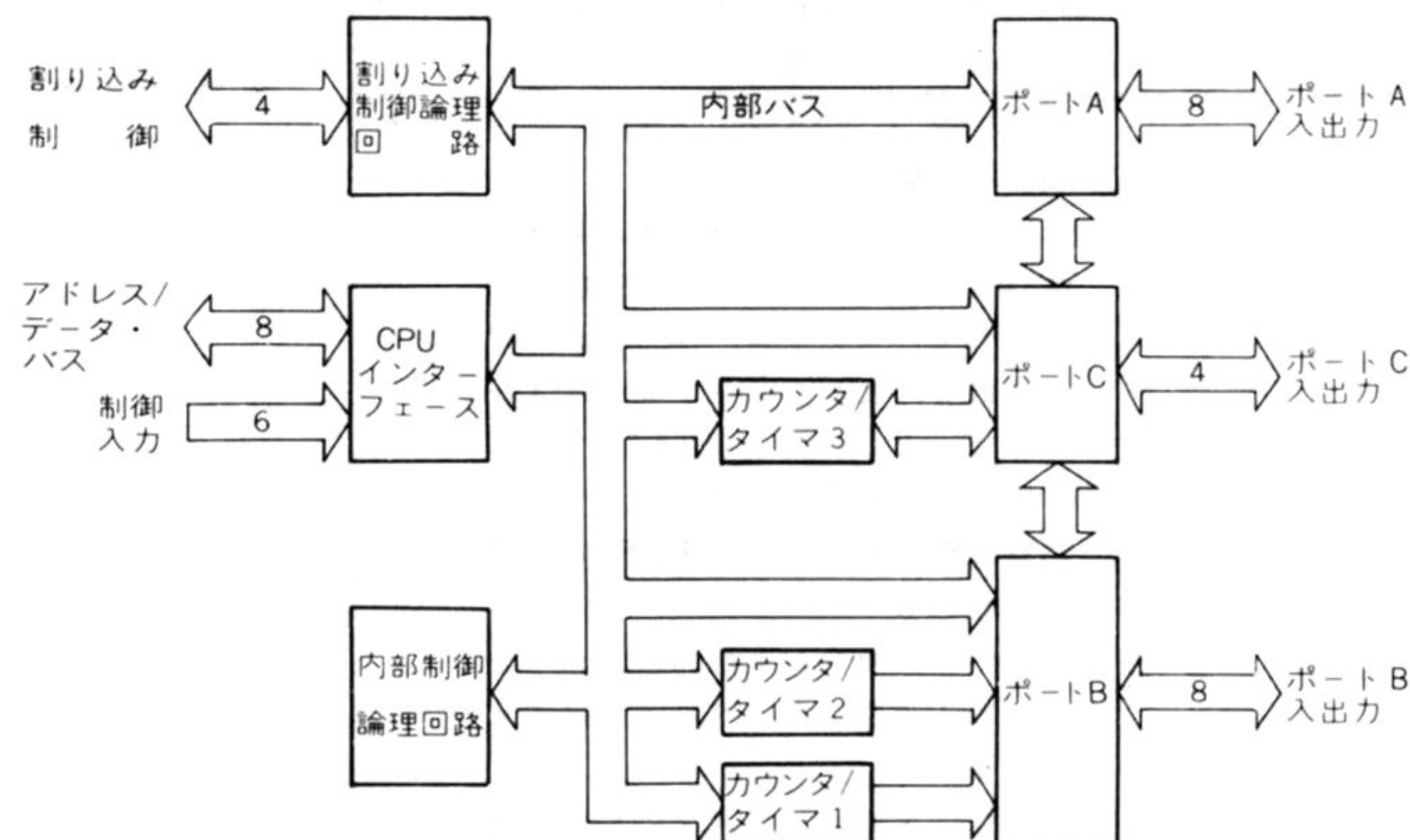
信号	方向	ピン		ピン	方向	信号
AD_4	↔	1		40	↔	AD_3
AD_5	↔	2		39	↔	AD_2
AD_6	↔	3		38	↔	AD_1
AD_7	↔	4		37	↔	AD_0
$\overline{DS}$	→	5		36	←	$\overline{CS_0}$
$R/\overline{W}$	→	6		35	←	CS_1
(0V)GND		7		34	←	$\overline{AS}$
PB_0	↔	8		33	↔	PA_0
PB_1	↔	9		32	↔	PA_1
PB_2	↔	10	8036	31	↔	PA_2
PB_3	↔	11		30	↔	PA_3
PB_4	↔	12		29	↔	PA_4
PB_5	↔	13		28	↔	PA_5
PB_6	↔	14		27	↔	PA_6
PB_7	↔	15		26	↔	PA_7
PCLK	→	16		25	←	$\overline{INTACK}$
IEI	→	17		24	→	$\overline{INT}$
IEO	←	18		23		V_{CC}(+5V)
PC_0	↔	19		22	↔	PC_3
PC_1	↔	20		21	↔	PC_2

■最大定格

項 目	記号	定 格	単位
入力電圧	V_{IN}	−0.3～+7.0	V*
出力電圧	V_{OUT}	−0.3～+7.0	V*
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−65～+150	℃

(*)GND端子に対して印加する全入出力電圧

■特徴

- 2個の独立した，8ビット・ダブル・バッファ付き双方向入出力ポートおよび4ビットの専用入出力ポートから構成されている
- 入出力ポートはプログラム可能な極性，プログラム可能な方向性（ビット・モード），パルス・キャッチャ，プログラム可能なオープン・ドレイン出力をもっている
- 3ワイヤを含む四つのハンドシェイク・モード（IEEE488など）
- 高速データ転送用のREQUEST／WAIT信号をもつ
- 16のベクタ割り込みコントローラとしてのプログラム可能なフレキシブル・パターン認識論理回路をもっている
- 三つの独立したカウンタ／タイマを内蔵
- 各カウンタ／タイマが最高4本の外部アクセス線をもつ
- 出力デューティ・サイクルは3通り（パルス，単発型，方形波）にプログラム可能
- レジスタはすべて読み出し／書き込み可能

■ブロック図

■端子機能

端子名	名称	ピン番号	入出力	機能
AD_0～AD_7	アドレス/データ・バス	37～40, 1～4	入出力	マルチプレクスされたシステム・アドレス/データ・バス
$\overline{AS}$	アドレス・ストローブ	34	入力	アクティブ"L"アドレスの確定を示す
$\overline{DS}$	データ・ストローブ	5	入力	アクティブ"L". データの確定を示す
R/$\overline{W}$	読み出し/書き込み	6	入力	"H"で読み出し, "L"で書き込み
$\overline{CS_0}$	チップ・セレクト0	36	入力	アクティブ"L". チップ選択信号
CS_1	チップ・セレクト1	35	入力	アクティブ"H". チップ選択信号
$\overline{INT}$	割り込み要求	24	オープン・ドレイン	アクティブ"L". 割り込み要求を示す
$\overline{INTACK}$	割り込み応答	25	入力	アクティブ"L"割り込み応答サイクルを示す
IEI	割り込みイネーブル入力	17	入力	アクティブ"H". 割り込み優先順位を決めるデイジィ・チェーンを形成するために使用
IEO	割り込みイネーブル出力	18	出力	アクティブ"H". 割り込み優先順位を決めるデイジィ・チェーンを形成するために使用
PA_0～PA_7	ポートAの入出力線	33～26	入出力	周辺装置との間で情報転送を行う
PB_0～PB_7	ポートBの入出力線	8～15	入出力	周辺装置との間で情報転送を行う
PC_0～PC_3	ポートCの入出力線	19～22	入出力	周辺装置との間で情報転送を行う
PCLK	クロック	16	入力	単相クロック. CPUと同一のものでなくてもよい

$\overline{AS}$と$\overline{DS}$が同時に"L"となることにより初期状態(リセット)になる

■DC特色

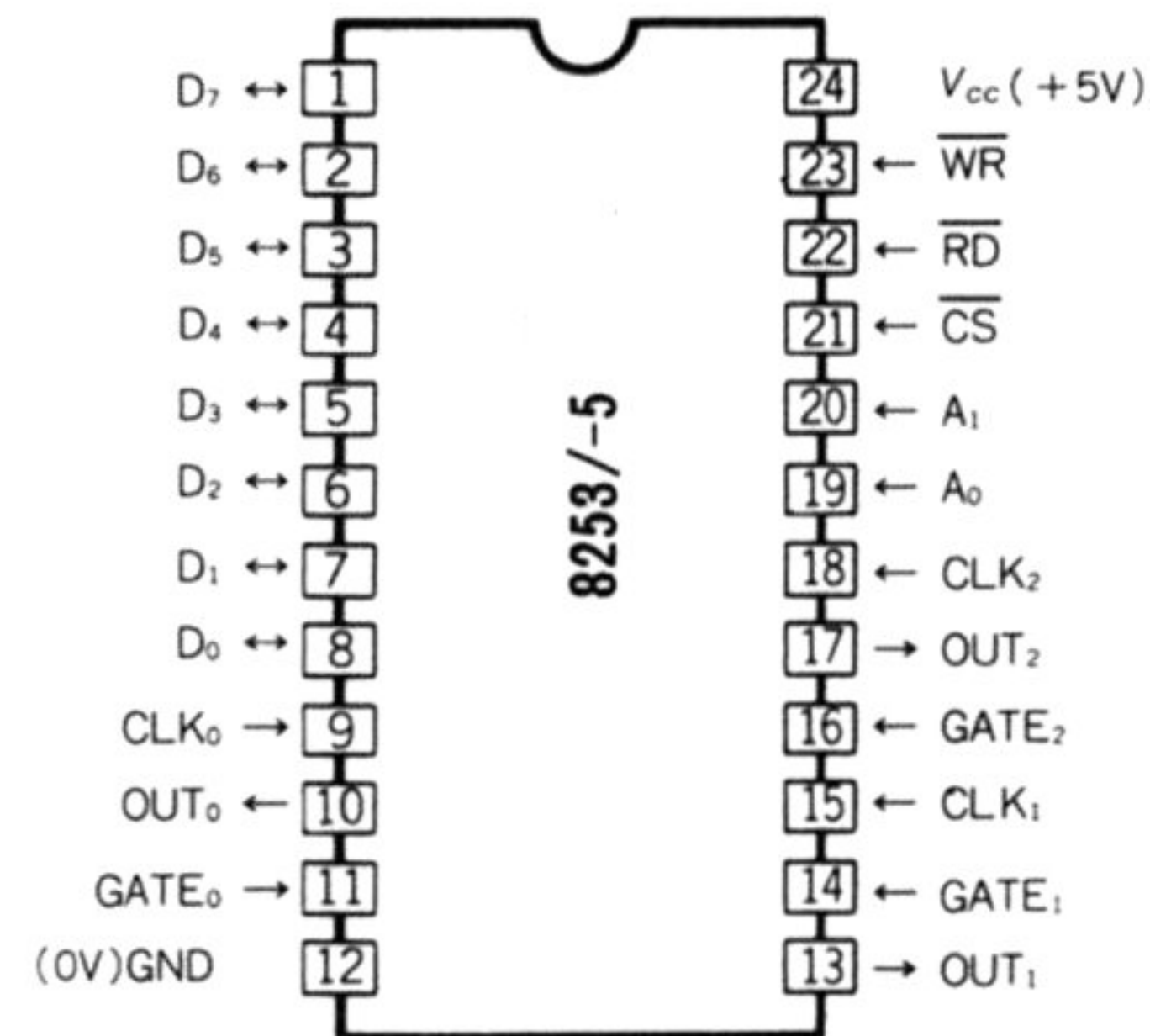
(V_{CC}=5V±5%, T_a=0～+70℃)

項目	記号	条件	max	min	単位
入力"H"電圧	V_{IH}		V_{CC}+0.3	2.0	V
入力"L"電圧	V_{IL}		0.8	−0.3	V
出力"H"電圧	V_{OH}	$I_{OH}=-250\mu A$		2.4	V
出力"L"電圧	V_{OL}	$I_{OH}=+2.0mA$	0.4		V
		$I_{OL}=+3.2mA$	0.5		V
入力リーク電流	I_{IL}	$0.4 \leqq V_{IH} \leqq 2.4V$	10.0		μA
出力リーク電流	I_{OL}	$0.4 \leqq V_{OUT} \leqq 2.4V$	10.0		μA
消費電流	I_{CC}		200		mA

PIT (Programmable Interval Timer)

■ ピン接続

8253/-5

信号	ピン	ピン	信号
D_7 ↔	1	24	V_{cc} (+5V)
D_6 ↔	2	23	← $\overline{WR}$
D_5 ↔	3	22	← $\overline{RD}$
D_4 ↔	4	21	← $\overline{CS}$
D_3 ↔	5	20	← A_1
D_2 ↔	6	19	← A_0
D_1 ↔	7	18	← CLK_2
D_0 ↔	8	17	→ OUT_2
CLK_0 →	9	16	← $GATE_2$
OUT_0 ←	10	15	← CLK_1
$GATE_0$ →	11	14	← $GATE_1$
(0V)GND	12	13	→ OUT_1

■ 特　徴

- ３個のプリセット型１６ビット・ダウン・カウンタ内蔵
- ６種の動作モードが任意に割り当て可能
- ２進または１０進（ＢＣＤ）カウント可能
- カウント実行中にデータ読み出しおよび設定可能
- オート・ロード機能あり
- クロック周期０～２ＭＨｚ

■ 注意点

- 外部リセット端子がないため，ハードウェア・リセットは不可能

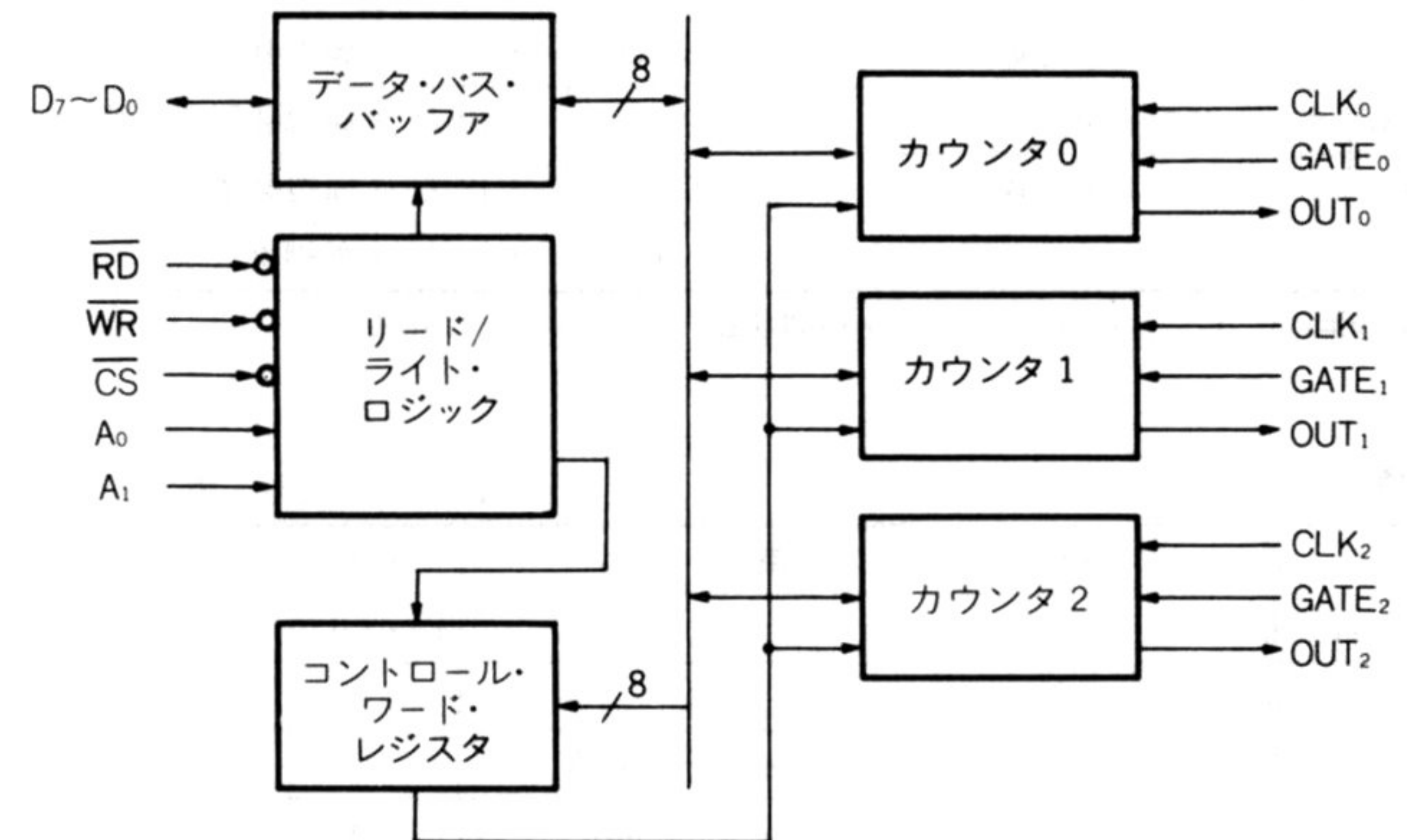
■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～+7.0	V
入力電圧	V_{IN}	−0.5～+7.0	V
出力電圧	V_{OUT}	−0.5～+7.0	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−65～+150	℃

■ ブロック図

D_7～D_0
データ・バス・バッファ
8
$\overline{RD}$
$\overline{WR}$
$\overline{CS}$
A_0
A_1
リード/ライト・ロジック
コントロール・ワード・レジスタ
8
カウンタ０
CLK_0
$GATE_0$
OUT_0
カウンタ１
CLK_1
$GATE_1$
OUT_1
カウンタ２
CLK_2
$GATE_2$
OUT_2

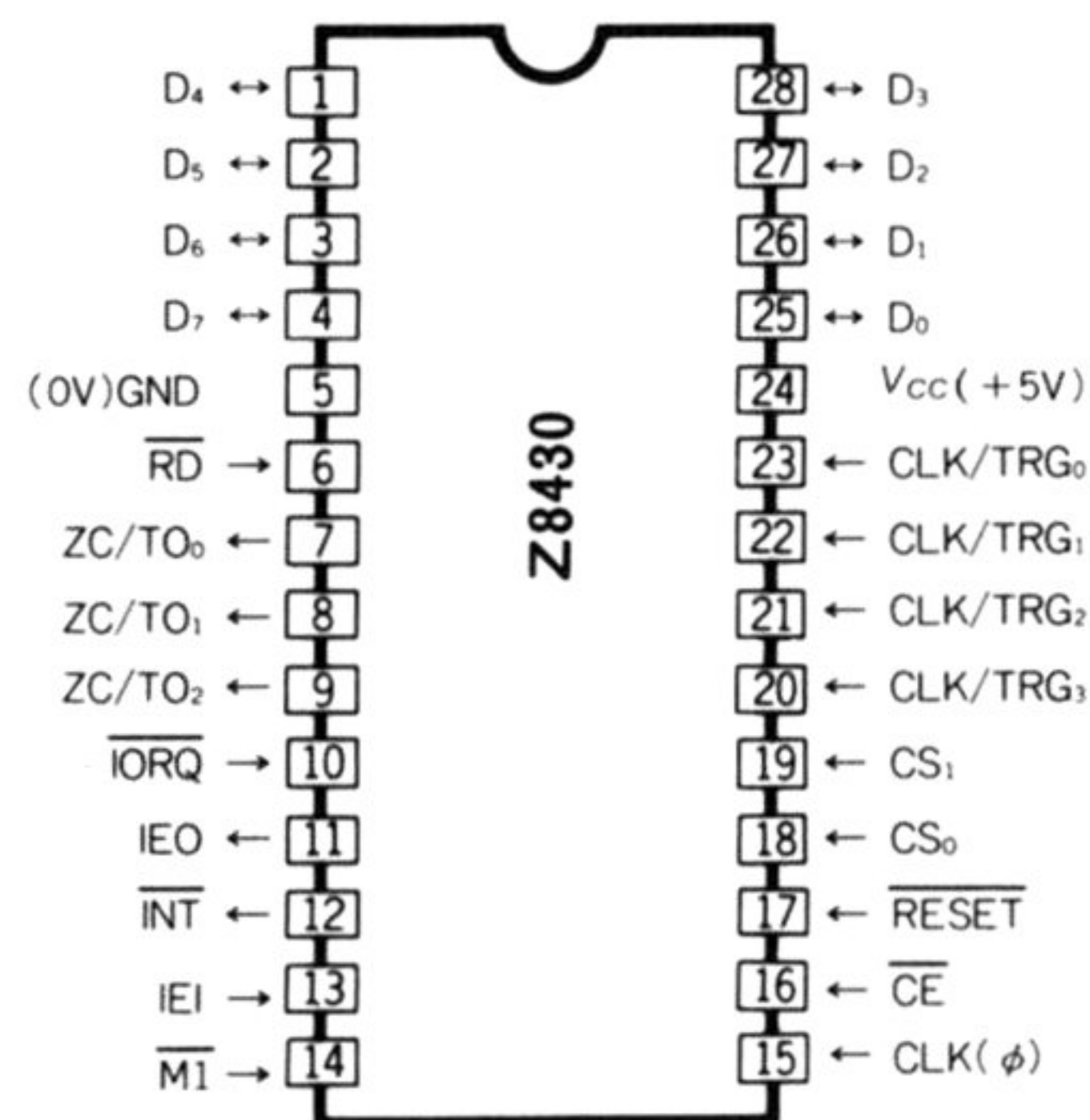
■ DC特性

記号	測 定 条 件	min*/max	単位
V_{IL}		−0.5/0.8	V
V_{IH}		2.2/V_{CC}+0.5V	V
V_{OH}		2.4*	V
V_{OL}	I_{OL}=2.2mA	0.45	V
I_{IL}	V_I=0～V_{CC}	±10	μA
I_{CC}		140	mA

■ 端子機能

端子名	ピン番号	入出力	機能
D_7～D_0	1～8	入出力	8ビット，3ステートの双方向性データ・バス．$\overline{CS}=0$のときアクティブとなり，データの入出力が可能である
CLK_0～CLK_2	9，15，18	入力	クロック入力．各カウンタのカウント・レートを定める．CLK入力の立ち下がりでカウントする
OUT_0～OUT_2	10，13，17	出力	各カウンタの出力．モードにより，レート出力，方形波出力，ワンショット出力が得られ，割り込みリクエスト信号としても使用できる
$GATE_0$～$GATE_2$	11，14，16	入力	モード選択により，各カウンタをゲート，トリガ，リセットする
A_0，A_1	19，20	入力	カウンタ・セレクト信号．各カウンタを選択する．コントロール・ワード書き込みのときは，$A_0, A_1=1, 1$とする
$\overline{CS}$	21	入力	チップ・セレクト．$\overline{CS}$を“L”にするとD_7～D_0がアクティブとなる
$\overline{RD}$	22	入力	カウンタの内容を読み出すときに使う．$\overline{RD}$を“L”にすると，データがバス上に出力される
$\overline{WR}$	23	入力	コントロール・ワード，カウント数の書き込み時に使用．$\overline{WR}$信号の立ち上がりで，データが書き込まれる

CTC (Counter Timer Circuit)

■ ピン接続

信号	ピン		ピン	信号
D_4 ↔	1	Z8430	28	↔ D_3
D_5 ↔	2		27	↔ D_2
D_6 ↔	3		26	↔ D_1
D_7 ↔	4		25	↔ D_0
(0V)GND	5		24	V_{CC}(+5V)
$\overline{RD}$ →	6		23	← CLK/TRG_0
ZC/TO_0 ←	7		22	← CLK/TRG_1
ZC/TO_1 ←	8		21	← CLK/TRG_2
ZC/TO_2 ←	9		20	← CLK/TRG_3
$\overline{IORQ}$ →	10		19	← CS_1
IEO ←	11		18	← CS_0
$\overline{INT}$ ←	12		17	← $\overline{RESET}$
IEI →	13		16	← $\overline{CE}$
$\overline{M1}$ →	14		15	← CLK(ϕ)

■ 特　徴

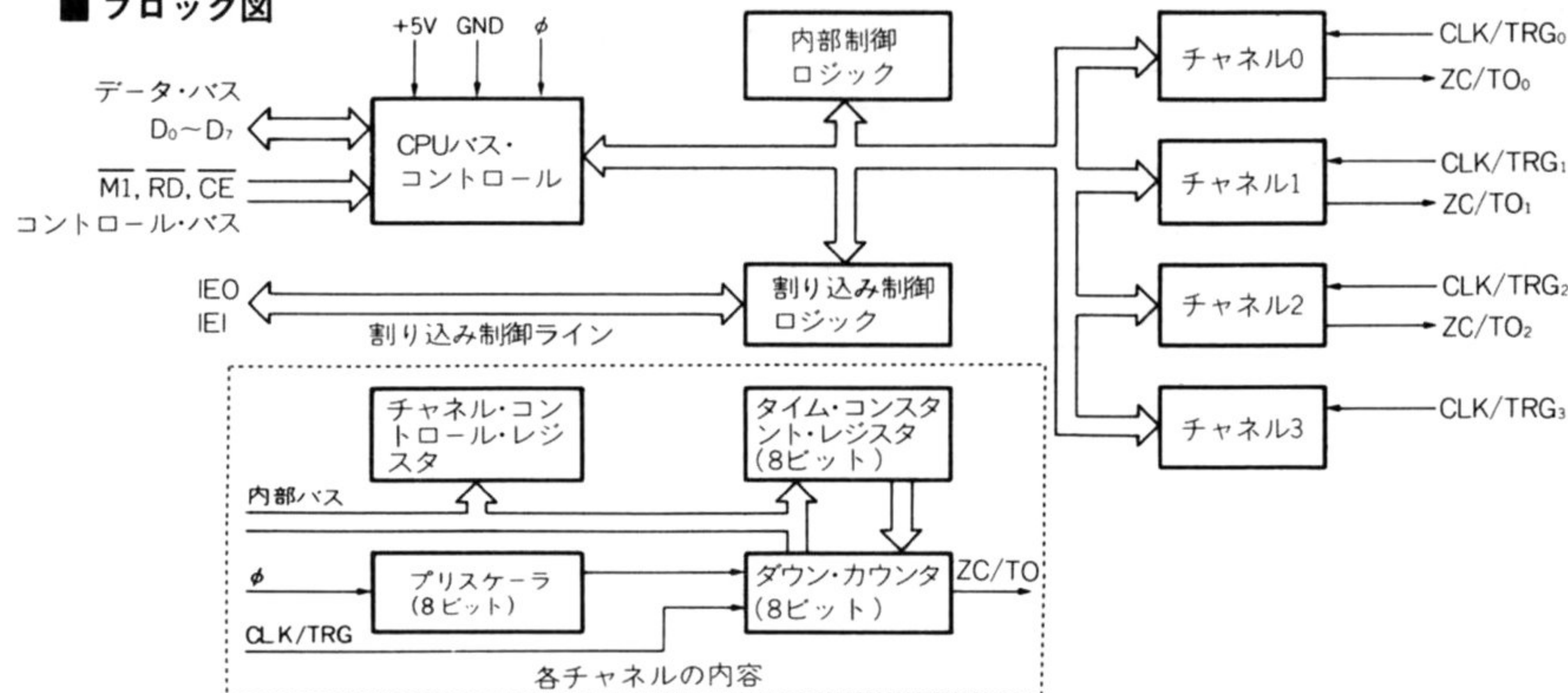
・４個の独立した８ビット・カウンタおよび１６ビット・タイマ
・各チャネルともカウンタ・モードとタイマ・モードの選択が可能
・オート・ロード機能あり
・1/16および1/256のプリスケーラあり
・Ｚ８０　ＣＰＵのモード２割り込み機能あり
・カウンタ出力はダーリントン・トランジスタをドライブできる

■ 注意点

・カウンタ・モードでカウント可能な外部クロック数は１～２５６まで

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～+7.0	V
入力電圧	V_{IN}	−0.3～+7.0	V
出力電圧	V_{OUT}	−0.3～+7.0	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−65～+150	℃

■ ブロック図

■端子機能

端 子 名	ピン番号	入 出 力	機　　　能
D_0～D_7	25～28, 1～4	入出力 3ステート	8ビットの双方向性バス．MPUとCTC間でコマンド・データの転送を行う
$\overline{RD}$	6	入　力	リード信号．MPUとCTC間のデータ，チャネル制御語の転送時にこの信号と$\overline{IORQ}$，$\overline{CE}$とを組み合わせて使用する
ZC/TO_0 ≀ ZC/TO_2	7～9	出　力	ゼロ・カウント/タイム・アウト．タイマ・モード，カウンタ・モードのどちらのモードにおいても，ダウン・カウンタの値がゼロになると，この端子からパルスが出力される
$\overline{IORQ}$	10	入　力	入出力リクエスト信号．MPUとCTC間のデータ，チャネル制御語の転送時にこの信号と$\overline{RD}$，$\overline{CE}$とを組み合わせて使用する
IEO	11	出　力	割り込みイネーブル出力．デイジィ・チェーンにおいて，下位の周辺LSIの割り込みを制御する．IEI端子が“H”レベルでかつ，MPUがCTC内のチャネルの割り込みサービスをしていない場合にのみ“H”レベルになる
$\overline{INT}$	12	出　力	割り込みリクエスト．IEIが“H”レベルであり，かつプログラムで割り込みが許可されているとき，CTC内のいずれかのチャネルのダウン・カウンタがゼロをカウントすると，$\overline{INT}$は“L”レベルになる
IEI	13	入　力	割り込みイネーブル入力．デイジィ・チェーンにおいて，上位の周辺LSIの割り込みの有無を示す
$\overline{M1}$	14	入　力	マシン・サイクル1．MPUからのマシン・サイクルを知らせる．$\overline{RD}$と組み合わせて，MPUがメモリから命令をフェッチしていることや，$\overline{IORQ}$と組み合わせて，MPUが割り込みアクノリッジ・サイクルにあることを示す．割り込みベクトルをMPUに送る場合に$\overline{IORQ}$と組み合わせて使用する
CLK	15	入　力	単相のクロック入力．単相のZ80標準システム・クロックを入力する．CLK端子がDC状態（“H”または“L”）ではCTCは静止状態となる
$\overline{CE}$	16	入　力	チップ・イネーブル．MPUとCTC間のチャネル制御語，割り込みベクトル，時間定数の書き込み，あるいは各チャネルのダウン・カウンタの内容の読み出し時に，$\overline{IORQ}$，$\overline{RD}$と組み合わせて使用する
$\overline{RESET}$	17	入　力	リセット信号．全チャネルの動作が停止し，すべてのチャネル制御レジスタ中の割り込みイネーブル・ビットがリセットされる．$\overline{RESET}$は最小3システム・クロック期間中“L”レベルでなければならない
CS_0，CS_1	18，19	入　力	チャネル選択．書き込み，読み出し時に2ビット・コードにより，CTCの4組のチャネルのいずれかを選択する
CLK/TRG_0 ≀ CLK/TRG_3	23～20	入　力	外部クロック/タイマ・トリガ．4本のCLK/TRG端子があり，4組のチャネルに対応している．この端子から入力されるアクティブな各エッジ（立ち上がりまたは立ち下がり）により，カウンタ・モードではダウン・カウンタの内容が－1（デクリメント）され，タイマ・モードではタイマ動作が起動される．アクティブなエッジを立ち上がりとするか，立ち下がりとするかは選択可能

Counter

■ピン接続

ZEN2061P

ピン	名称	ピン	名称
1	$C/\overline{D}$	40	V_{CC}
2	CS_1	39	CLR_5
3	$\overline{CS_0}$	38	$DW/PL/B_5$
4	$(R/\overline{W})\overline{RD}$	37	$UP/DR/A_5$
5	$(E)\overline{WR}$	36	CLR_4
6	$\overline{RESET}$	35	$DW/PL/B_4$
7	D_7	34	$UP/DR/A_4$
8	D_6	33	$80/\overline{68}$
9	CLK	32	D_0
10	GND	31	D_1
11	D_5	30	GND
12	D_4	29	D_2
13	$\overline{LD}$	28	D_3
14	$\overline{LT}$	27	$\overline{INT}$
15	$UP/DR/A_0$	26	CLR_3
16	$DW/PL/B_0$	25	$DW/PL/B_3$
17	CLR_0	24	$UP/DR/A_3$
18	$UP/DR/A_1$	23	CLR_2
19	$DW/PL/B_1$	22	$DW/PL/B_2$
20	CLR_1	21	$UP/DR/A_2$

■最大定格

項目	記号	定　格	単位
電源電圧	V_{cc}	-0.5～+7.0	V
入力電圧	V_{IN}	-0.5～V_{cc}+0.5	V
動作温度	T_{OPR}	-40～+85	℃
保存温度	T_{STG}	-55～+125	℃

■DC特性

（Ta＝-40～85℃，V_{cc}＝5V±10%）

記号	測定条件	max/min*	単位
V_{IL}		0．8	V
V_{IH}		2．2*	V
V_{OL}	I_{OL}＝6mA	0．5	V
V_{OH}	I_{IL}＝2mA	3．7*	V
I_{IL}		±10	μA
C_{IN}	f＝1MHz，Ta=25℃	6．0	pF

■特　徴

- 最大６チャンネルのカウントが可能な，主に位置計測を目的としたアップダウンカウンタ
- ８ビット×１２のカウンタ構成で，最大９６ビット長のカウントが可能
- 位相弁別回路を６個持っており，その２個を組み合わせて偏差カウンタを構成できる
- カウンタ応答速度は5Mcps（システムクロックが10MHz時）
- 入力形式
  アップダウン：６組，符号＋パルス：６組，
  インクリメンタル：６組，偏差入力：３組
- データバスは８ビットで，８０系，６８系のCPUインターフェース選択可能
- 機能設定は内部レジスタによる
- カウンタのクリア条件はプログラマブル
- 異常入力検出機能をもち，異常入力時は割り込み出力を発生する

■ブロック図

CS_1, $\overline{CSD}$, $C/\overline{D}$, $(R/\overline{W})\overline{RD}$, $(E)\overline{WR}$, $80/\overline{68}$
CPUインターフェース
データバス・バッファ
D_7～D_0
制御回路
$\overline{LT}$, $\overline{LD}$
ロードレジスタ０, カウンタ０, ラッチレジスタ０
チャネル０, 位相弁別回路
$UP/DR/A_0$～A_5, $DW/PL/B_0$～B_5, CLR_0～CLR_5
1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11
割り込み制御回路
$\overline{INT}$
CLK, $\overline{RESET}$
：偏差グループ
：カウンタ要素

■端子機能

端子記号	端子名称	ピン番号	入出力	機　　能
C／$\overline{\mathrm{D}}$	ｺﾏﾝﾄﾞ/ﾃﾞｰﾀ	1	入力	内部レジスタの機能切り替えに使用する．"H"でｺﾏﾝﾄﾞ・ﾚｼﾞｽﾀ，"L"でﾃﾞｰﾀ･ﾚｼﾞｽﾀが選択される
CS1, $\overline{\mathrm{CS0}}$	ﾁｯﾌﾟｾﾚｸﾄ	2, 3	入力	ＣＰＵからのチップ選択信号．CS1をH，$\overline{\mathrm{CS0}}$をLにすることで選択
$\overline{\mathrm{RD}}$	ﾘｰﾄﾞ	4	入力	８０系モードの場合の，ＣＰＵからのリード信号入力．"L"で読みだし動作が可能
R/$\overline{\mathrm{W}}$	ﾘｰﾄﾞ・ﾗｲﾄ			６８系モードの場合の，ＣＰＵからのＲ／$\overline{\mathrm{W}}$信号入力．"H"で読みだし，"L"で書き込み動作可能
$\overline{\mathrm{WR}}$	ﾗｲﾄ	5	入力	８０系モードの場合の，ＣＰＵからのライト信号入力．"L"で書き込み動作が可能
E	ｲﾈｰﾌﾞﾙ			６８系モードの場合の，データ転送同期信号．通常ＣＰＵのφ2クロックを入力する
$\overline{\mathrm{RESET}}$	ﾘｾｯﾄ	6	入力	チップのリセット信号で，レジスタの内容がリセットされる
D7-D0	ﾃﾞｰﾀﾊﾞｽ	7, 8, 11, 12 28, 29, 31, 32	入出力	ＣＰＵとのデータ転送を行うための入出力データ・バス
CLK	ｼｽﾃﾑｸﾛｯｸ	9	入力	チップ内部の動作用の同期クロック
$\overline{\mathrm{LD}}$	ﾃﾞｰﾀﾛｰﾄﾞ	13	入力	この信号の立ち下がり検出時，ﾛｰﾄﾞﾚｼﾞｽﾀの内容がｶｳﾝﾀに書き込まれる
$\overline{\mathrm{LT}}$	ﾃﾞｰﾀﾗｯﾁ	14	入力	この信号の立ち下がり検出時，ｶｳﾝﾀの内容がﾗｯﾁﾚｼﾞｽﾀにﾗｯﾁされる
UP0-UP5	ｱｯﾌﾟﾊﾟﾙｽ	15, 18, 21 24, 34, 37	入力	ｱｯﾌﾟﾀﾞｳﾝ方式を選択した場合，この信号の立ち上がり検出時にｶｳﾝﾀが１増加する
DR0-DR5	符号			符号+ﾊﾟﾙｽ方式選択の場合，"H"なら増加符号(ｶｳﾝﾄｱｯﾌﾟ)，"L"なら減少符号(ｶｳﾝﾄﾀﾞｳﾝ)となる
A0-A5	Ａ相			ｲﾝｸﾘﾒﾝﾀﾙ方式選択の場合，ｲﾝｸﾘﾒﾝﾀﾙ方式２相信号のＡ相を入力する
DWP0-DW5	ﾀﾞｳﾝﾊﾟﾙｽ	16, 19, 22 25, 35, 38	入力	ｱｯﾌﾟﾀﾞｳﾝ方式を選択した場合，この信号の立ち上がり検出時にｶｳﾝﾀが１減少する
PL0-PL5	符号			符号+ﾊﾟﾙｽ方式選択の場合，この信号の立ち上がり検出時にｶｳﾝﾀが１増加または減少する
B0-B5	Ｂ相			ｲﾝｸﾘﾒﾝﾀﾙ方式選択の場合，ｲﾝｸﾘﾒﾝﾀﾙ方式２相信号のＢ相を入力する
CLR0-CLR5	ｸﾘｱ	17, 20, 23 26, 36, 39	入力	カウンタ・グループの内容をクリアする．条件は，1)"H"検出時，2)ｲﾝｸﾘﾒﾝﾀﾙ方式時の同期ｸﾘｱ，3)立ち上がり検出時，4)立ち下がり検出時，の中から選択可能
$\overline{\mathrm{INT}}$	割込み要求	27	出力	各ＡＢ相に異常入力が発生した場合に，この信号が"L"になる
80/$\overline{\mathrm{68}}$	CPU選択	33	入力	CPUﾊﾞｽが80系か68系かを選択する．"H"の場合は80系ﾓｰﾄﾞ，"L"の場合は68系ﾓｰﾄﾞとなる

■異常入力検出機能

各入力形式毎に、以下の定義に従い異常を検出する．異常を検出するとINT信号が許可されている場合は，ステータス・ビットを立ててINT信号を"L"にする

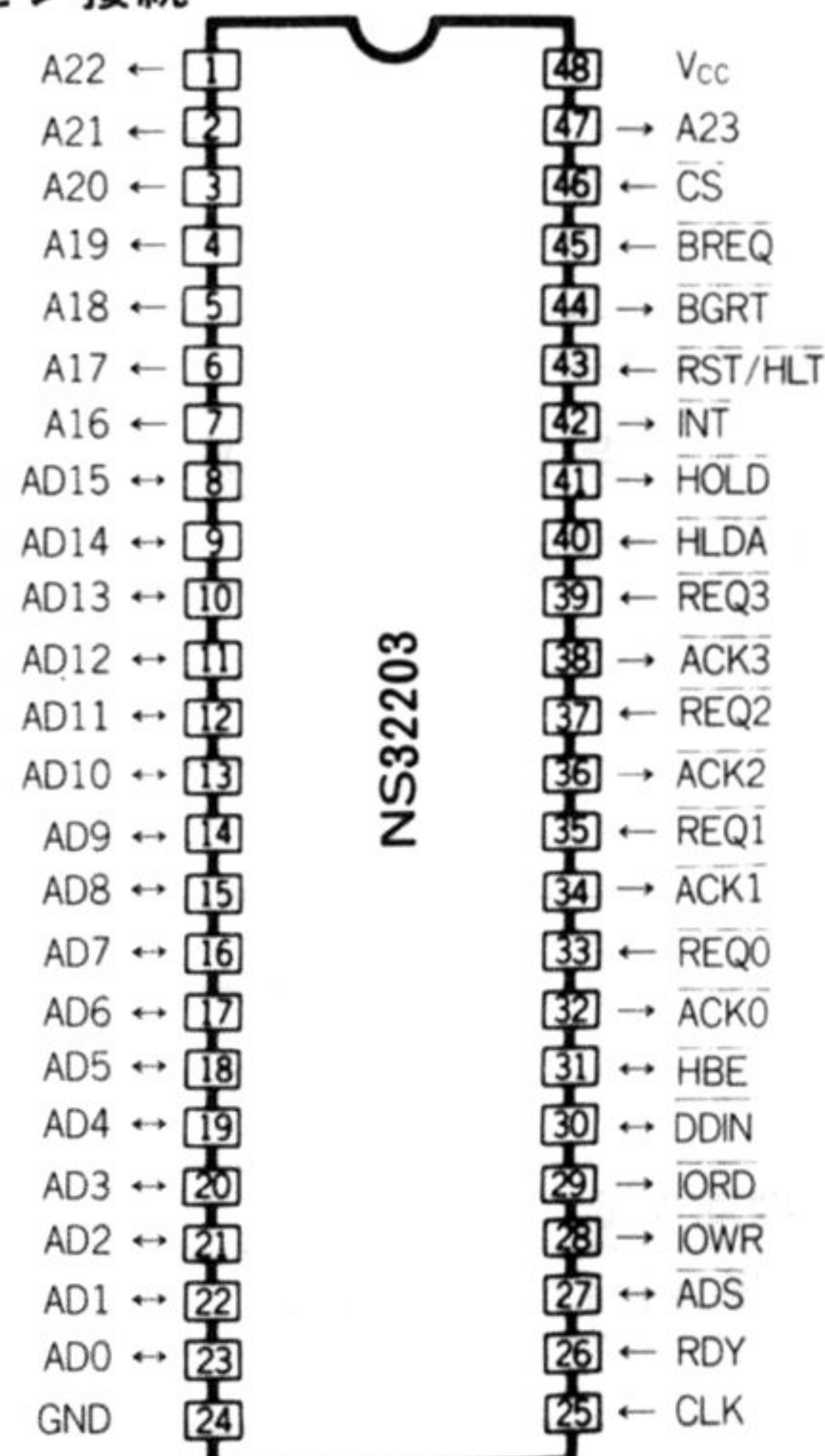
（１）アップダウン形式の場合
　異常入力は定義されていない（割り込みは発生しない）

（２）符号＋パルス形式の場合
　ＰＬ信号（パルス）の立ち上がり時にＤＲ信号（符号）が変化した場合は異常入力と判断される

（３）インクリメンタル方式の場合
　Ａ，Ｂ相信号が同時に変化した場合は異常入力と判断される

DMAC(Direct Memory Access Controller)

■ピン接続

ピン名	方向	ピン		ピン	方向	ピン名
A22	←	1		48		Vcc
A21	←	2		47	→	A23
A20	←	3		46	←	CS
A19	←	4		45	←	BREQ
A18	←	5		44	→	BGRT
A17	←	6		43	←	RST/HLT
A16	←	7		42	→	INT
AD15	↔	8		41	→	HOLD
AD14	↔	9		40	←	HLDA
AD13	↔	10		39	←	REQ3
AD12	↔	11		38	→	ACK3
AD11	↔	12	NS32203	37	←	REQ2
AD10	↔	13		36	→	ACK2
AD9	↔	14		35	←	REQ1
AD8	↔	15		34	→	ACK1
AD7	↔	16		33	←	REQ0
AD6	↔	17		32	→	ACK0
AD5	↔	18		31	↔	HBE
AD4	↔	19		30	↔	DDIN
AD3	↔	20		29	→	IORD
AD2	↔	21		28	→	IOWR
AD1	↔	22		27	↔	ADS
AD0	↔	23		26	←	RDY
GND		24		25	←	CLK

■最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜7.0	V
消費電力	P_D	1.1	W
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−65〜150	℃

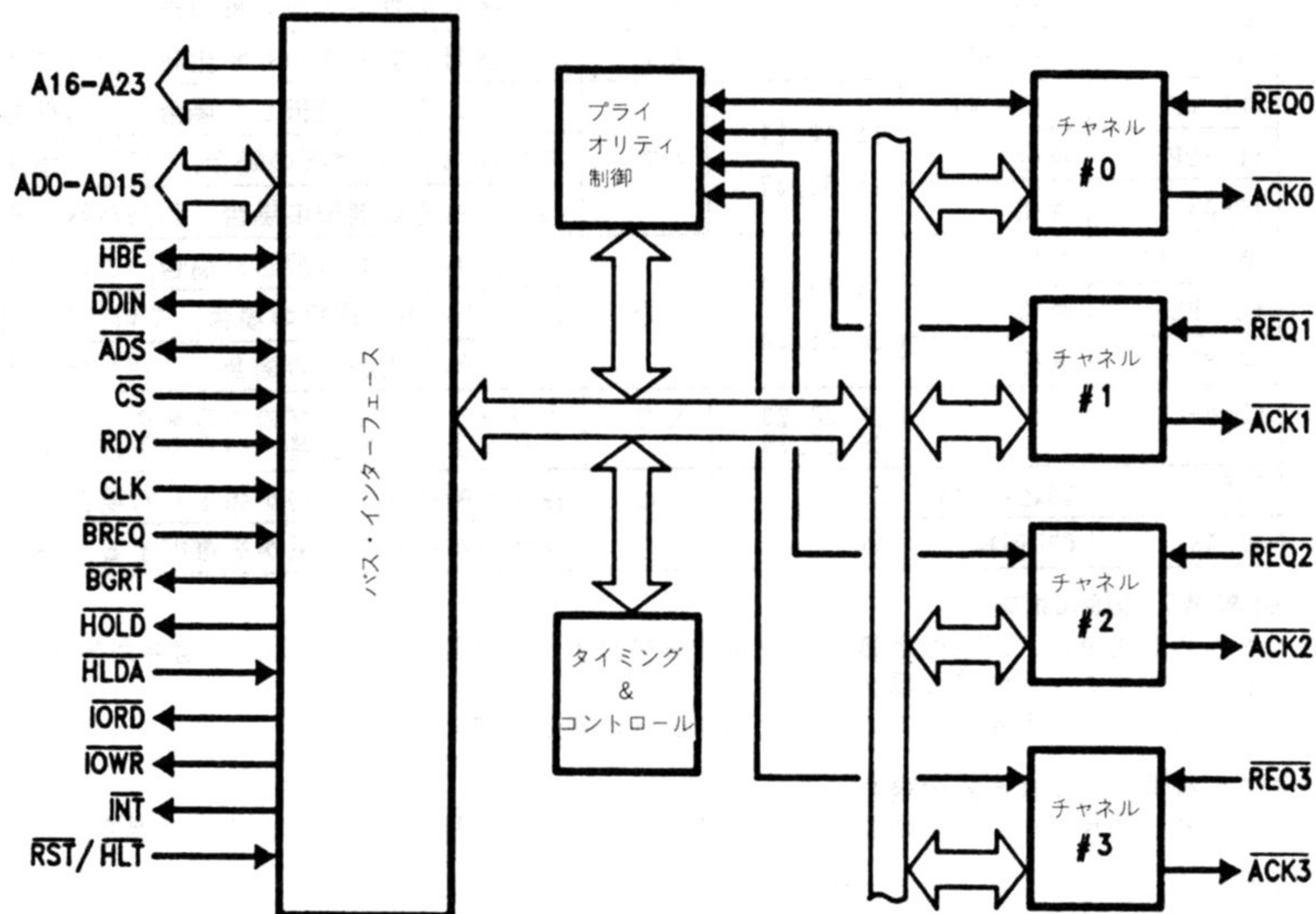
■ DC 特性

(T_a=0〜70℃, V_{CC}=5 V±5 %)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=2 mA	0.45	V
V_{OH}	I_{OH}=400 μA	2.4*	V
I_{OFL}		±20	μA
I_{IL}	V_{IN}=0〜V_{CC}	±20	μA

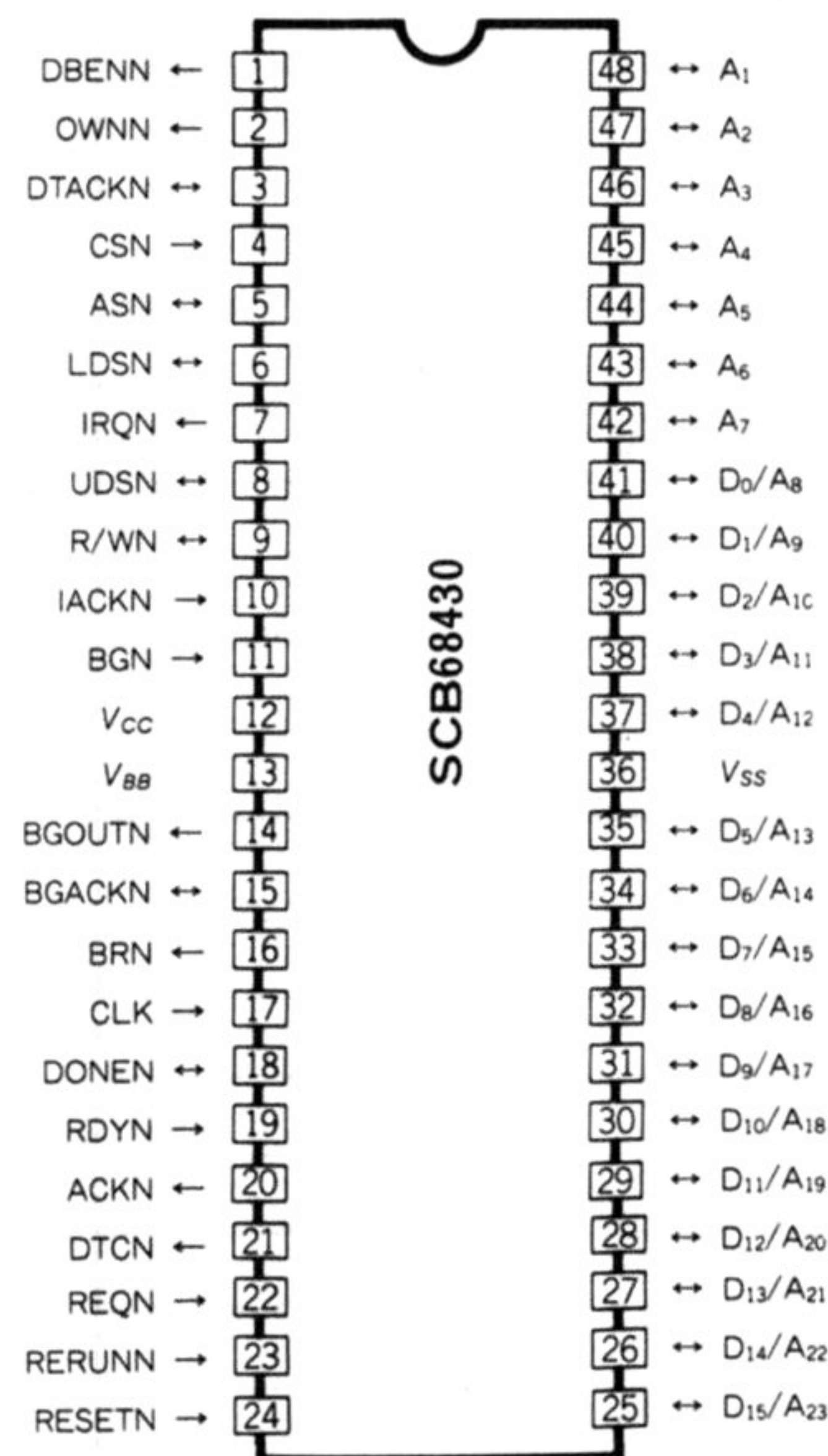
■特　徴

- ３２０００シリーズ用のＤＭＡコントローラ
- メモリ〜メモリ，Ｉ／Ｏ〜Ｉ／Ｏ，メモリ〜Ｉ／Ｏ間のデータ転送が可能
- リモート（専用バス使用）およびローカル配置（ＣＰＵバス使用）をサポート
- ８／１６ビット・データ・バス幅切り替え可能
- ８ビット・データを１６ビットにパッキングして転送することが可能
- 転送速度は最大５Ｍバイト／秒

■ブロック図

■端子機能

端子名	名　　称	ピン番号	入出力	機　　能
$\overline{\text{RST}}/\overline{\text{HLT}}$	リセット／ホルト	43	入　力	ロー・アクティブ．1～2クロック・サイクルの間だけアクティブ信号を入力すると動作をホルトし，さらにアクティブにしたままにすると動作リセットとなる
$\overline{\text{CS}}$	チップ・セレクト	46	入　力	チップ・セレクト信号入力．ロー・アクティブ
RDY	レディ	26	入　力	低速メモリ，I/O対応のためバス・サイクルを拡張するための信号
$\overline{\text{REQ0}}$～$\overline{\text{REQ3}}$	チャネル・リクエスト0～3	33，35，37，39	入　力	DMAサービス要求信号．ロー・アクティブ
$\overline{\text{HLDA}}$	ホールドACK	40	入　力	システム・バスの制御が放棄されたことを示すホールド・アクノリッジ信号入力
CLK	クロック	25	入　力	システム・クロック入力
AD0～AD15	アドレス／データ0～15	23～8	入出力	マルチプレックス・アドレス／データ・バス
A16～A23	アドレス16～23	7～1，47	出　力	アドレスの上位8ビットを出力する
$\overline{\text{HOLD}}$	ホールド・リクエスト	41	出　力	CPUに対するホールド・リクエスト信号
$\overline{\text{ACK0}}$～$\overline{\text{ACK3}}$	チャネルACK0～3	32，34，36，38	出　力	各チャネルのDMA許可出力信号
$\overline{\text{BGRT}}$	バス・グラント	44	出　力	リモート・バスが放棄されたことをCPUに知らせるための出力
$\overline{\text{IORD}}$	I/Oリード	29	出　力	周辺デバイスからのデータ・リード信号
$\overline{\text{IOWR}}$	I/Oライト	28	出　力	周辺デバイスへのデータ・ライト信号
$\overline{\text{INT}}$	インタラプト	42	出　力	プログラムされた条件になったとき，割り込み要求を出力する
$\overline{\text{HBE}}$	ハイ・バイト・イネーブル	31	入出力	データ・バスの上位バイトが有効であることを示す．ロー・アクティブ
$\overline{\text{ADS}}$	アドレス・ストローブ	27	入出力	アドレス・ストローブ．ロー・アクティブ
$\overline{\text{DDIN}}$	データ・ディレクション	30	入出力	現在のバス・サイクルのデータ方向を示すステータス信号．ロー・アクティブ
$\overline{\text{BREQ}}$	バス・リクエスト	45	入　力	リモート配置のとき使用し，この入力によってDMACはデータ転送を停止し，バスを解放する

DMAI〔DMA Interface〕

■ ピン接続

SCB68430

信号	方向	ピン	ピン	方向	信号
DBENN	←	1	48	↔	A_1
OWNN	←	2	47	↔	A_2
DTACKN	↔	3	46	↔	A_3
CSN	→	4	45	↔	A_4
ASN	↔	5	44	↔	A_5
LDSN	↔	6	43	↔	A_6
IRQN	←	7	42	↔	A_7
UDSN	↔	8	41	↔	D_0/A_8
R/WN	↔	9	40	↔	D_1/A_9
IACKN	→	10	39	↔	D_2/A_{10}
BGN	→	11	38	↔	D_3/A_{11}
V_{CC}		12	37	↔	D_4/A_{12}
V_{BB}		13	36		V_{SS}
BGOUTN	←	14	35	↔	D_5/A_{13}
BGACKN	↔	15	34	↔	D_6/A_{14}
BRN	←	16	33	↔	D_7/A_{15}
CLK	→	17	32	↔	D_8/A_{16}
DONEN	↔	18	31	↔	D_9/A_{17}
RDYN	→	19	30	↔	D_{10}/A_{18}
ACKN	←	20	29	↔	D_{11}/A_{19}
DTCN	←	21	28	↔	D_{12}/A_{20}
REQN	→	22	27	↔	D_{13}/A_{21}
RERUNN	→	23	26	↔	D_{14}/A_{22}
RESETN	→	24	25	↔	D_{15}/A_{23}

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜5.5	V
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−65〜150	℃

■ 特　徴

・６８０００対応のシングル・チャネルDMAコントローラ
・６８４４０および６８４５０とソフト・コンパチブル
・メモリとI／Oデバイス間の８／１６／３２ビット単位の転送が可能
・転送モードとして，サイクル・スチールとバースト転送が可能
・２４ビットのアドレス・カウンタと１６ビットの転送カウンタを内蔵
・最大６．２５Mバイト／Sの転送レート

■ DC特性

(T_a=0〜70℃, V_{CC}=5V±5%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=5.3mA	0.5	V
V_{OH}	I_{OH}=400μA	2.5*	V
I_{OL}	V_{OUT}=2.4V	20	μA

■ ブロック図

RERUNN
リ・ラン制御
制御部
MUX
CONTROL
REQN
ACKN
RDYN
DTCN
DONEN
デバイス・ハンドシェイク
コントロール&ステータス・カウンタ
16ビット・トランスファ・カウンタ
24ビット・アドレス・カウンタ
データ/アドレス・バス
バス・グラント・デイジィ
BGN
BGOUTN
68000バス・インターフェース
BRN
BGACKN
ASN
LDSN
UDSN
R/WN
DTACKN
D_0〜D_{15}
A_8〜A_{23}
OWNN
DBENN
アドレス・デコーダ
CSN
A_1〜A_7
割り込み制御&レジスタ
IRQN
IACKN

■端子機能

端子名	名　称	ピン番号	入出力	機　能
A_1~A_7	アドレス・ライン	48~42	入出力	MPU モードでは，内部レジスタのアクセスに使用．DMA モードでは，メモリの下位アドレス出力となる
A_8~A_{23}/D_0~D_{15}	アドレス/データ	41~37, 35~25	入出力	データ・ラインとアドレス・ラインとに多重使用される
ASN	アドレス・ストローブ	5	入出力	バス上に有効なアドレスを出力したことを示す
UDSN	上位データ・ストローブ	8	入出力	ワード・データの上位データが有効であることを示す
LDSN	下位データ・ストローブ	6	入出力	ワード・データの下位データが有効であることを示す
R/WN	リード/ライト	9	入出力	データ・バスのリード/ライト方向を示す
CSN	チップ・セレクト	4	入　力	データ入出力のためのチップ・セレクト信号
DTACKN	データ転送アクノリッジ	3	入出力	バス上のデータがラッチされたこと，または，バス上に有効なデータが出力されたことを示す信号
RESETN	マスタ・リセット	24	入　力	内部コントロール・レジスタをクリアし，各端子をリセット状態にする
CLK	クロック	17	入　力	内部動作用クロックで，通常システム・クロックを用いる
IRQN	割り込み要求	7	出　力	割り込みイネーブルのとき，転送終了，バス・エラー発生，アボート受信時に信号が出力される
IACKN	割り込みアクノリッジ	10	入　力	現在のサイクルが，割り込みアクノリッジ・サイクルであることを示す
BRN	バス・リクエスト	16	出　力	I/O デバイスからのリクエストを検出すると，バスの制御権を要求する信号
BGN	バス・グラント	11	入　力	次のバス・マスタになり得ることを示す．デイジィ・チェーンなどのメカニズムで伝えられる
BGOUT	バス・グラント出力	14	出　力	デイジィ・チェーン出力
BGACKN	バス・グラント・アクノリッジ	15	入出力	入力としては，バスの制御権をもつことができる時を示す信号．DMA モードでは，バス・マスタであることを示す信号
RERUNN	リ・ラン	23	入　力	外部エラー・ロジックによって有効になり，バス・エラーを示す入力信号
REQN	DMA リクエスト	22	入　力	I/O デバイスからの入力信号で，バスの制御権を要求させる
ACKN	DMA リクエスト・アクノリッジ	20	出　力	バス使用権を得て，要求されたバス・サイクルが始っていることを示す
RDYN	デバイス・レディ	19	入　力	有効なデータがバス上に送出できるか，または出力されたことを示す
DTCN	デバイス転送完了	21	出　力	デバイスに対して，要求されたデータ転送が完了したことを示す
DONEN	ダン	18	入出力	転送カウントが終了したことを示す出力．転送カウントが 0 になる前に入力があると，サービスをアボートし，割り込み要求を発生する
OWNN	オウン	2	出　力	バス使用権をもっていることを示す出力信号
DBENN	データ・バス・イネーブル	1	出　力	双方向データ・バッファをイネーブルするのに使われる出力信号

DMAC (Direct Memory Access Controller)

■ ピン接続

MC6844

ピン	信号		ピン	信号
1	(0V) V_{SS}		40	← ϕ_2DMA
2	$\overline{CS}$/TxAKB ↔		39	← $\overline{RES}$
3	R/$\overline{W}$ ↔		38	← DGRANT
4	A_0 ↔		37	→ $\overline{DRQT}$
5	A_1 ↔		36	→ $\overline{DRQH}$
6	A_2 ↔		35	→ TxAKA
7	A_3 ↔		34	→ $\overline{TxSTB}$
8	A_4 ↔		33	→ $\overline{IRQ}$/DEND
9	A_5 ←		32	← $TxRQ_0$
10	A_6 ←		31	← $TxRQ_1$
11	A_7 ←		30	← $TxRQ_2$
12	A_8 ←		29	← $TxRQ_3$
13	A_9 ←		28	↔ D_0
14	A_{10} ←		27	↔ D_1
15	A_{11} ←		26	↔ D_2
16	A_{12} ←		25	↔ D_3
17	A_{13} ←		24	↔ D_4
18	A_{14} ←		23	↔ D_5
19	A_{15} ←		22	↔ D_6
20	(+5V) V_{CC}		21	↔ D_7

■ 特　徴

・68系CPUに適合
・独立した四つのDMAチャネルをもつ
・最高2Mbyte／secのデータ転送レート
・全アドレス空間（65Kbyte）をアクセス可能
・チャネルの優先順位として番号順固定またはローテイト方式の選択が可能
・HALTバースト・モード，HALTスチール・モード，TSCスチール・モードの三つのDMA転送モードが可能
・第3チャネルから第0～2チャネルへのデータ・チェイン機能が可能
・CPUへの割り込みやI／O装置へのDMA終了制御が可能

■ ブロック図

R/$\overline{W}$　A_0～A_4　A_5～A_{15}　D_0～D_7
バス制御
アドレス・バス・バッファ
アドレス・バス・バッファ
データ・バス・バッファ
$\overline{CS}$/TxAKB
マルチプレクサ
レジスタ選択
アドレス・ラッチ
アドレス・インクリメント／デクリメント
アドレス・レジスタ（16×4）
#0H L / #1H L / #2H L / #3H L
$\overline{IRQ}$/DMA END コントロール
$\overline{IRQ}$/DEND
バイト・カウント・ディクリメンタ
#0H L / #1H L / #2H L / #3H L
バイト・カウント・レジスタ（16×4）
$\overline{DRQT}$
DGRANT
$\overline{DRQH}$
DRQ H/T コントロール
チャネル・コントロール・レジスタ（6×4）
#0 / #1 / #2 / #3
ϕ_2DMA
モード／タイミング・コントロール
ジェネナル・コントロール・レジスタ
PCR(5) / ICR(5) / DCR(4)
プライオリティ・コントロール
TxPQ/TxAK コントロール
$TxRQ_0$ / $TxRQ_1$ / $TxRQ_2$ / $TxRQ_3$
TxAK エンコード
$\overline{TxSTB}$
TxAKA
$\overline{RES}$
V_{CC}
V_{SS}
(TxAKB)

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～+7.0	V
入力電圧	V_{IN}	−0.3～+7.0	V
動作温度	T_{OPR}	−20～+75	℃
保存温度	T_{STG}	−55～+150	℃

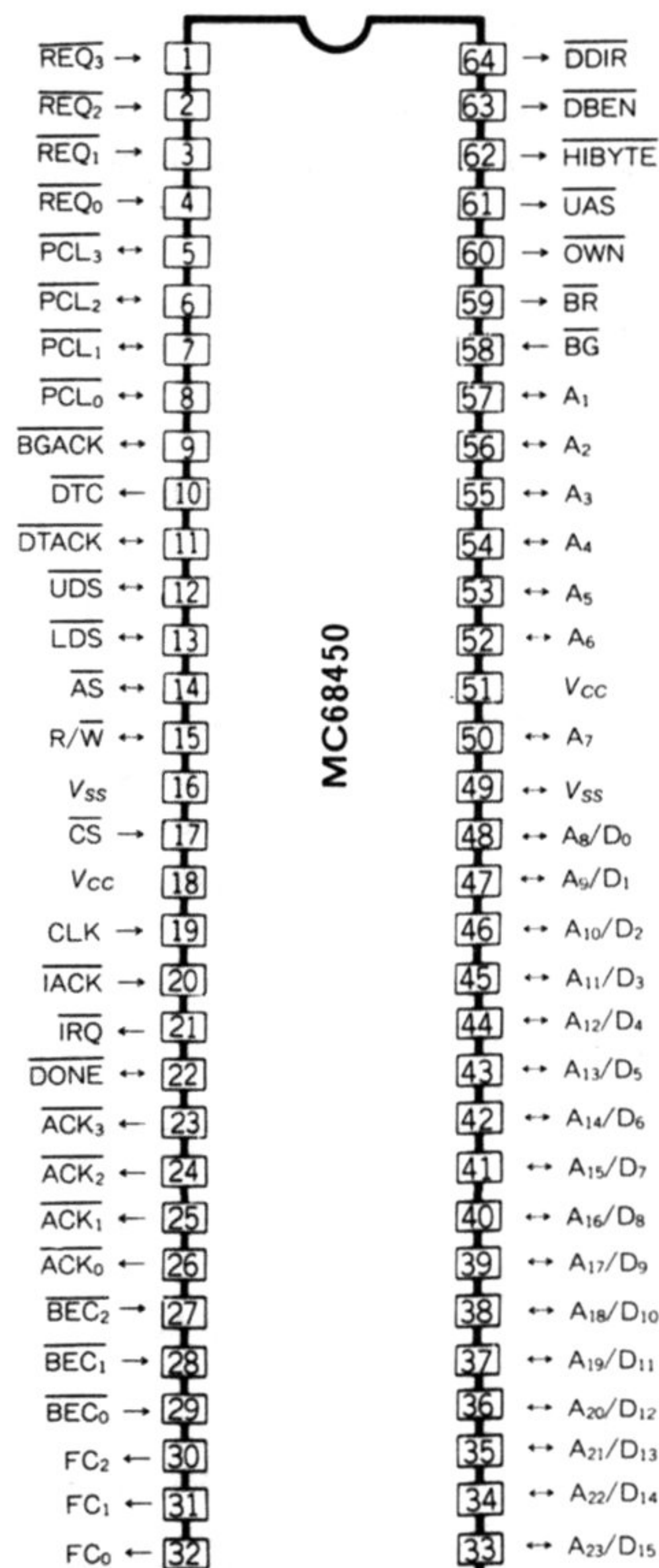
■ DC特性

記号	max/min*	単位
V_{IH}	2.0*	V
V_{IL}	0.8	V
V_{OH}	2.4*	V
V_{OL}	0.4	V

■ 端子機能

端子名	ピン番号	入出力	機能
A_0～A_4, A_5～A_{15}	4～19	入出力, 出力	DMA 転送を実行中は 16 本とも出力となり, DMA 転送を行うメモリのアドレスを CPU の代わりのシステムのアドレス・バスに出力する
D_0～D_7	28～21	入出力	CPU が DMAC の内部レジスタにデータをリード/ライトするために使われる. CPU が DMAC のレジスタを読み出すとき以外はハイ・インピーダンス状態
R/$\overline{W}$	3	入出力	CPU が動作中は入力モードとなり, "H"レベルの場合は CPU が DMAC のレジスタを読み出すことを指定し, "L"レベルの場合は書き込むことを指定する
$TxRQ_0$～$TxRQ_3$	32～29	入力	I/O デバイス・コントローラからの DMA 転送要求を受け付けるための入力端子で, 各チャネルごとに 1 本ずつもっている. I/O デバイス・コントローラは, DMA 転送を実行したいときに TxRQ を "H" レベルにして転送を要求し, 転送許可信号($\overline{TxSTB}$ またはデコードされた $TxAK_0$～$TxAK_3$)を受け取ると "L" レベルにリセットして要求を解除する
$\overline{TxSTB}$	34	出力	TxRQ に対する応答出力で, 転送許可を I/O デバイス・コントローラに知らせる. 次に TxAKA, TxAKB と組み合わせて, 各チャネルごとの転送許可($TxAK_0$～$TxAK_3$)を作る
TxAKA	35	出力	各チャネルの $TxRQ_0$～$TxRQ_3$に対する転送許可信号は, 応答チャネルの番号を TxAKA と TxAKB の 2 ビットにコード化した形で出力される

端子名	ピン番号	入出力	機能
$\overline{CS}$/TxAKB	2	入出力	TxAKB は $\overline{CS}$ 入力と兼用される. すなわち $\overline{CS}$/TxAKB 端子は CPU が動作中は $\overline{CS}$ 入力として使い, DMAC が転送動作中は TxAKB 出力として使われる
$\overline{DRQH}$	36	出力	CPU の $\overline{HALT}$ 端子に接続して CPU に HALT を要求するのに使う. この端子が"L"レベルになると, CPU は現在実行中の命令を終了後バスをハイ・インピーダンス状態とし, DMAC にシステム・バスをあけ渡す
$\overline{DRQT}$	37	出力	この端子はTSCモードDMAの場合に使われる
DGRNT	38	入力	$\overline{DRQH}$ または $\overline{DRQT}$ に対する応答信号で, CPU のバスがハイ・インピーダンス状態となって DMA を行ってもよいことを示す. この信号が "H" レベルの間に DMA 転送は行われる
$\overline{IRQ}$/$\overline{DEND}$	33	出力	この出力はブロック転送が終了したことを, CPU および I/O デバイス・コントローラに知らせるために使われる
ϕ_2DMA	40	入力	DMAC は一相のクロック ϕ_2DMA ですべての動作の同期をとる. 通常はシステムの ϕ_2 クロックを入力する
$\overline{RES}$	39	入力	この端子が"L"レベルになると DMAC はイニシャライズされる. なおコントロール・レジスタ(CHCR と GCR)はすべて 0 にクリアされるが, アドレス・レジスタ(ADR)と転送語数レジスタ(BCR)はクリアされない

DMAC (Direct Memory Access Controller)

■ ピン接続

MC68450

ピン	信号	ピン	信号
1	$\overline{REQ_3}$ →	64	→ $\overline{DDIR}$
2	$\overline{REQ_2}$ →	63	→ $\overline{DBEN}$
3	$\overline{REQ_1}$ →	62	→ $\overline{HIBYTE}$
4	$\overline{REQ_0}$ →	61	→ $\overline{UAS}$
5	$\overline{PCL_3}$ ↔	60	→ $\overline{OWN}$
6	$\overline{PCL_2}$ ↔	59	→ $\overline{BR}$
7	$\overline{PCL_1}$ ↔	58	← $\overline{BG}$
8	$\overline{PCL_0}$ ↔	57	↔ A_1
9	$\overline{BGACK}$ ↔	56	↔ A_2
10	$\overline{DTC}$ ←	55	↔ A_3
11	$\overline{DTACK}$ ↔	54	↔ A_4
12	$\overline{UDS}$ ↔	53	↔ A_5
13	$\overline{LDS}$ ↔	52	↔ A_6
14	$\overline{AS}$ ↔	51	V_{CC}
15	R/$\overline{W}$ ↔	50	↔ A_7
16	V_{SS}	49	↔ V_{SS}
17	$\overline{CS}$ →	48	↔ A_8/D_0
18	V_{CC}	47	↔ A_9/D_1
19	CLK →	46	↔ A_{10}/D_2
20	$\overline{IACK}$ →	45	↔ A_{11}/D_3
21	$\overline{IRQ}$ ←	44	↔ A_{12}/D_4
22	$\overline{DONE}$ ↔	43	↔ A_{13}/D_5
23	$\overline{ACK_3}$ ←	42	↔ A_{14}/D_6
24	$\overline{ACK_2}$ ←	41	↔ A_{15}/D_7
25	$\overline{ACK_1}$ ←	40	↔ A_{16}/D_8
26	$\overline{ACK_0}$ ←	39	↔ A_{17}/D_9
27	$\overline{BEC_2}$ →	38	↔ A_{18}/D_{10}
28	$\overline{BEC_1}$ →	37	↔ A_{19}/D_{11}
29	$\overline{BEC_0}$ →	36	↔ A_{20}/D_{12}
30	FC_2 ←	35	↔ A_{21}/D_{13}
31	FC_1 ←	34	↔ A_{22}/D_{14}
32	FC_0 ←	33	↔ A_{23}/D_{15}

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜7.0	V
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−55〜150	℃

■ 特　徴

- ６８０００バス・コンパチブルで互いに独立に動作可能な４チャネルDMAコントローラ
- チャネル・プライオリティはプログラマブル
- メモリ－メモリ，メモリ－Ｉ／Ｏデバイス間転送が可能
- ８／１６ビットのＩ／Ｏデバイス対応がプログラマブル
- オート・リクエストおよび外部リクエスト・モード
- チェインなし，アレイ・チェイン，リンク・アレイ・チェインによる転送をサポート
- 各チャネルごとに２種類の割り込みベクタ
- ６８０００バス例外処理サポート機能

■ DC特性

(T_a=0〜70℃，V_{CC}=5V±5%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=5.3mA	0.5	V
V_{OH}	I_{OH}=400μA	2.4*	V
I_{IL}		10	μA
C_{IN}		15	pF

■ ブロック図

■端子機能

端子名	名　称	ピン番号	入出力	機　能
CLK	クロック	19	入　力	DMACへの入力クロック
A_1～A_7	アドレス・バス	57～52, 50	入出力	「MPUモード」では A_1～A_7のアドレス・ラインと $\overline{LDS}$, $\overline{UDS}$ でDMACの内部レジスタをアクセスする
A_8/D_0～A_{23}/D_{15}	アドレス/データ・バス	48～33	入出力	この信号はアドレスとデータに時分割されている．$\overline{DDIR}$, $\overline{DBEN}$, $\overline{UAS}$ および $\overline{OWN}$ の各信号を用いて，外部回路によりデマルチプレクスを行う
FC_0～FC_2	ファンクション・コード	32～30	出　力	DMAバス・サイクルの間，ファンクション・コードを示す
$\overline{CS}$	チップ・セレクト	17	入　力	「MPUモード」のとき，DMACのチップ・セレクト信号として用いられる
$\overline{AS}$	アドレス・ストローブ	14	入出力	「MPUモード」では，この信号はアドレス入力が確定したことを示す入力信号となり，DMAバス・サイクルではDMACが出力したアドレスがバス上で確定したことを示す出力信号となる
$\overline{UAS}$	アッパ・アドレス・ストローブ	61	出　力	アドレス・ラインをラッチするために使われる出力信号
$\overline{OWN}$	オウン	60	出　力	「DMAモード」の間，DMACによってアサートされ，アドレス・ライン・ラッチの出力コントロール用に使われる
$\overline{DDIR}$	データ・ディレクション	64	出　力	双方向バッファの方向をコントロールするのに使われる
$\overline{DBEN}$	データ・バス・イネーブル	63	出　力	マルチプレクス・アドレス・データ・バス上の双方向バッファの出力をコントロールするのに使われる
$\overline{HIBYTE}$	ハイ・バイト	62	出　力	シングル・アドレス・モードでオペランドがバイトであるとき，下位バイトにつながったI/Oとメモリの上位バイトの間で転送を行う場合アサートされる
$R/\overline{W}$	リード/ライト	15	入出力	「MPUモード」のとき入力となり，「DMAモード」のとき出力となる
$\overline{UDS}$, $\overline{LDS}$	アッパ・データ・ストローブ，ロウア・データ・ストローブ	12, 13	入出力	アドレス・ラインの A_0に相当し，アクセスされているワード・データのどちらかのバイト（上位，下位）が有効であるかということを示す
$\overline{DTACK}$	データ・トランスファ・アクノリッジ	11	入出力	「MPUモード」では，この信号はMPUによるデータの読み出し，書き込みを完了したということを示す出力信号として使われる．「DMAモード」では，DMACはデータ転送の完了時期を知るためにこの信号をモニタする
BEC_0～BEC_2	バス・エクセプション・コントロール	29～27	入　力	DMAバス・サイクルで例外状態が発生したことを知らせるエンコードされた信号
$\overline{BR}$	バス・リクエスト	59	入　力	$\overline{BR}$に対するグラント信号で，次のバス・サイクルでバス占有権を与えるということをDMACに知らせるのに使われる
$\overline{BGACK}$	バス・グラント・アクノリッジ	9	入出力	DMACがバス・マスタとなっていることを知らせる力信号．および $\overline{BGACK}$ を出力するI/Oデバイスがバスを占有していることをモニタする入力信号として使われる
$\overline{IRQ}$	インタラプト・リクエスト	21	出　力	割り込みを要求するときに使われる信号
$\overline{IACK}$	インタラプト・アクノリッジ	20	入　力	現在のバス・サイクルが割り込みアクノリッジ・サイクルであることを知らせる
$\overline{REQ_{0\sim3}}$	チャネル・リクエスト	4～1	入　力	周辺デバイスからのDMA転送要求信号
$\overline{ACK_{0\sim3}}$	チャネル・アクノリッジ	26～23	出　力	転送要求してI/Oデバイスに対して転送が始まるということを知らせる信号
PCL_0～PCL_3	ペリフェラル・コントロール・ライン	8～5	入出力	START出力，イネーブル・クロック，READY，ABORT，STATUSおよび割り込みなどの入力として個別にプログラムされる多目的信号
$\overline{DONE}$	ダン	22	入出力	この信号は出力としては転送が終わり，最終のDMAバス・サイクルの $\overline{ACK_X}$ タイミングと同時にアサートされる．入力としてはI/OデバイスからDMA転送の正常終了を知らせるのに使われる
$\overline{DTC}$	データ・トランスファ・コンプリート	10	出　力	DMAバス・サイクルが正常に終了した場合に出力される

DMAC (Direct Memory Access Controller)

■ ピン接続

μPD71071C

ピン	信号	方向	ピン	信号	方向
1	CLK	→	48	HLDRQ	→
2	RESET	→	47	HLDAK	←
3	$\overline{END}/\overline{TC}$	↔	46	READY	←
4	$DMAAK_3$	←	45	$\overline{CS}$	←
5	$DMAAK_2$	←	44	$\overline{MWR}$	→
6	$DMAAK_1$	←	43	$\overline{MRD}$	→
7	$DMAAK_0$	←	42	$\overline{IOWR}$	↔
8	$DMARQ_3$	→	41	$\overline{IORD}$	↔
9	$DMARQ_2$	→	40	$\overline{UBE}$	↔
10	$DMARQ_1$	→	39	AEN	→
11	$DMARQ_0$	→	38	ASTB	→
12	GND		37	A_0	↔
13	D_{15}/A_{23}	↔	36	V_{DD}	
14	D_{14}/A_{22}	↔	35	A_1	↔
15	D_{13}/A_{21}	↔	34	A_2	↔
16	D_{12}/A_{20}	↔	33	A_3	↔
17	D_{11}/A_{19}	↔	32	A_4	→
18	D_{10}/A_{18}	↔	31	A_5	→
19	D_9/A_{17}	↔	30	A_6	→
20	D_8/A_{16}	↔	29	A_7	→
21	D_7/A_{15}	↔	28	D_0/A_8	↔
22	D_6/A_{14}	↔	27	D_1/A_9	↔
23	D_5/A_{13}	↔	26	D_2/A_{10}	↔
24	D_4/A_{12}	↔	25	D_3/A_{11}	↔

■ 特　徴

・四つの独立したＤＭＡチャネル
・１６ＭＢアドレスと６４Ｋトランスファ・カウンタ
・８／１６ビット・データ・バス幅切り替え可能
・豊富な転送機能
　バイト／ワード転送
　３種類の転送モード（シングル／デマンド／ブロック）
　２種類のバス・モード（リリース／ホールド）
　２種類の転送タイミング（通常／圧縮）
　メモリ－メモリ転送
・個々のＤＭＡリクエストの許可／禁止
・ソフトウェアＤＭＡリクエスト
・個々のＤＭＡチャネルのオート・イニシャライズの禁止／許可
・ＤＭＡチャネルの固定／回転優先順位
・カスケード接続可能

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{DD}	－0.5～＋7.0	V
入力電圧	V_{IN}	－0.5～＋7.0	V
動作温度	T_{OPR}	－40～＋85	℃
保存温度	T_{STG}	－65～＋125	℃

■ DC特性

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	$I_{OL}=2.5mA$	0.4	V
V_{OH}	$I_{OH}=400\mu A$	$0.7V_{DD}$*	V
I_{OFL}	$V_{OUT}=0\sim V_{DD}$	±10	μA
I_{IL}	$V_{IN}=0\sim V_{DD}$	±10	μA
C_{IN}		15	pF

■ ブロック図

バス・コントロール・ユニット
A_3～A_0
A_7～A_4
D_{15}/A_{23}～D_0/A_8
$\overline{CS}$
CLK
RESET
READY
ASTB
AEN
$\overline{UBE}$
$\overline{MRD}$, $\overline{MWR}$
$\overline{IORD}$, $\overline{IOWR}$
アドレス・バス・バッファ
データ・バス・バッファ
バス・コントロール・ロジック
内部アドレス・バス(24)
アドレス・インクリメント/デクリメント (24)
アドレス・レジスタ
カレント (24×4)
ベース (24×4)
内部データ・バス (16)
コントロール・レジスタ群
チャンネル (5)
デバイス・コントロール (10)
ステータス (8)
モード・コントロール (7×4)
テンポラリ (16)
リクエスト (4)
マスク (4)
DMAコントロール・ユニット
$DMARQ_3$～$DMARQ_0$
$DMAAK_3$～$DMAAK_0$
HLDRQ
HLDAK
$\overline{END}/\overline{TC}$
優先コントロール・ロジック
タイミング・コントロール・ロジック
カウント・レジスタ
ベース (16×4)
カレント (16×4)
ターミナル・カウント
カウント・デクリメント (16)

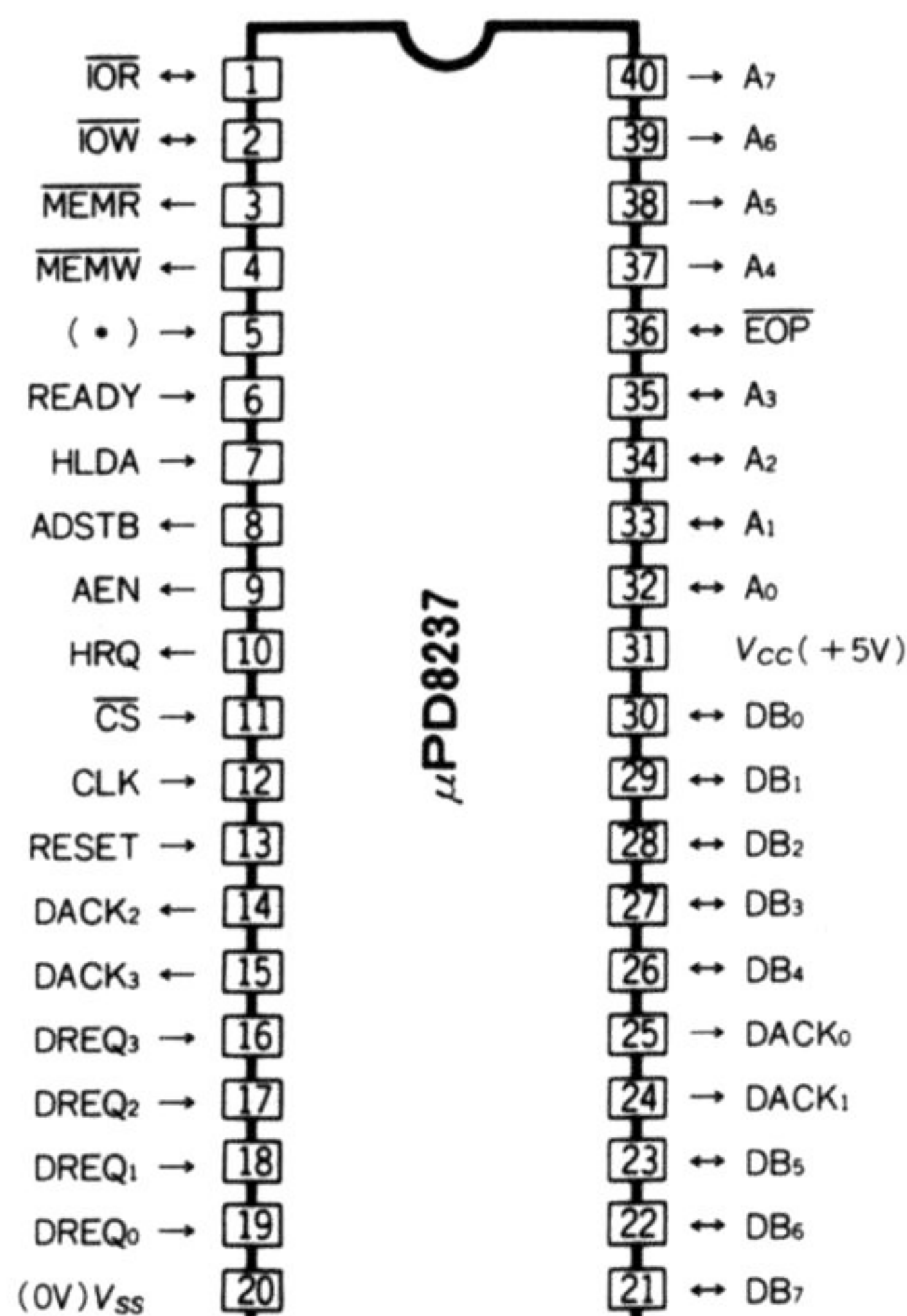
■**端子機能**

端子名	名　　称	ピン番号	入出力	機　　能
V_{DD}	電源	36	—	正電源端子
GND	グラウンド	12	—	グラウンド(0V)端子
CLK	クロック	1	入　力	内部動作，データ転送速度を制御するクロックを入力する端子
$\overline{CS}$	チップ・セレクト	45	入　力	I/O デバイスとして選択するための信号を入力する端子
RESET	リセット	2	入　力	初期化するための信号を入力する端子
READY	レディ	46	入　力	DMA 動作時に，1回のデータ転送が終了したことを示す信号の入力端子
HLDRQ	ホールド要求	48	出　力	CPU に対するバス・ホールド要求を出力する端子
HLDAK	ホールド応答	47	入　力	CPU からのバス・ホールド承認を入力する端子
$DMARQ_{3\sim0}$	DMA 要求	8～11	入　力	周辺デバイスからの DMA サービス要求を入力する端子
$DMAAK_{3\sim0}$	DMA 応答	4～7	出　力	周辺デバイスに DMA サービスが許可されたことを示す出力端子
$\overline{END}/\overline{TD}$	DMA 終了	3	入出力	DMA 転送を終了させるための入力と，指定された回数の DMA 転送が終了したことを示す出力を兼ねた端子
$A_3\sim A_0$	アドレス・バス	33～35, 37	入出力	アドレス・バスの下位4ビット端子
$A_7\sim A_4$	アドレス・バス	29～32	出　力	アドレス・バスの中位4ビット端子
$D_{15}/A_{23}\sim D_0/A_8$	データ/アドレス・バス	13～28	入出力	マルチプレクスによって，16ビット・データ・バスまたはアドレス・バス上位16ビットとして用いられる端子
ASTB	アドレス・ストローブ	38	出　力	DMA 動作中アドレスの上位16ビットを外部にラッチするための信号を出力する端子
AEN	アドレス・イネーブル	39	出　力	外部アドレス・ラッチの出力を許可するための信号を出力する端子
$\overline{UBE}$	アッパ・バイト・イネーブル	40	入出力	16ビット・データ・バス選択時に，データ・バスの上位バイトが有効であることを示すための入出力端子
$\overline{IORD}$	I/O リード	41	入出力	CPU が μPD71071のデータを読み出すための信号入力と，DMA 動作時に μPD71071が周辺デバイスからデータを読み出すための信号出力を兼ねた端子
$\overline{IOWR}$	I/O ライト	42	入出力	CPU が μPD 71071 にデータを書き込むための信号入力と，DMA 動作時に μPD 71071 が周辺デバイスにデータを書き込むための信号出力を兼ねた端子
$\overline{MRD}$	メモリ・リード	43	出　力	DMA 動作時に μPD 71071 がメモリからデータを読み出すための信号を出力する端子
$\overline{MWR}$	メモリ・ライト	44	出　力	DMA 動作時に μPD 71071 がメモリにデータを書き込むための信号を出力する端子

DMAC (Direct Memory Access Controller)

■ ピン接続

μPD8237

信号	方向	ピン	ピン	方向	信号
$\overline{IOR}$	↔	1	40	→	A_7
$\overline{IOW}$	↔	2	39	→	A_6
$\overline{MEMR}$	←	3	38	→	A_5
$\overline{MEMW}$	←	4	37	→	A_4
(•)	→	5	36	↔	$\overline{EOP}$
READY	→	6	35	↔	A_3
HLDA	→	7	34	↔	A_2
ADSTB	←	8	33	↔	A_1
AEN	←	9	32	↔	A_0
HRQ	←	10	31		V_{CC}(+5V)
$\overline{CS}$	→	11	30	↔	DB_0
CLK	→	12	29	↔	DB_1
RESET	→	13	28	↔	DB_2
$DACK_2$	←	14	27	↔	DB_3
$DACK_3$	←	15	26	↔	DB_4
$DREQ_3$	→	16	25	→	$DACK_0$
$DREQ_2$	→	17	24	→	$DACK_1$
$DREQ_1$	→	18	23	↔	DB_5
$DREQ_0$	→	19	22	↔	DB_6
(0V)V_{SS}		20	21	↔	DB_7

•：常に"H"レベルに保つ必要がある入力端子。内部プルアップ抵抗がついているためオープン使用可能

■ 特徴

・個々のDMAリクエストの許可／禁止制御
・四つの独立したDMAチャネル
・すべてのチャネルを個々にオート・イニシャライズ
・メモリーメモリ転送
・メモリ・ブロック・イニシャライズ
・アドレス・インクリメント／デクリメント
・1．6M（圧縮タイミング時は2．5M）byte／secまで転送
・任意のチャネル数に直接拡張可能
・転送終端用のEOP（エンド・オブ・プロセス）入力
・ソフトウェアDMAリクエスト
・DREQとDACK信号のアクティブ・レベルを各ラインごとに変更可能
・縦続接続

■ 最大定格

項　目	記号	定　格	単位
入力電圧	V_{IN} (対V_{SS})	−0.5～+7.0	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−65～+150	℃

■ ブロック図

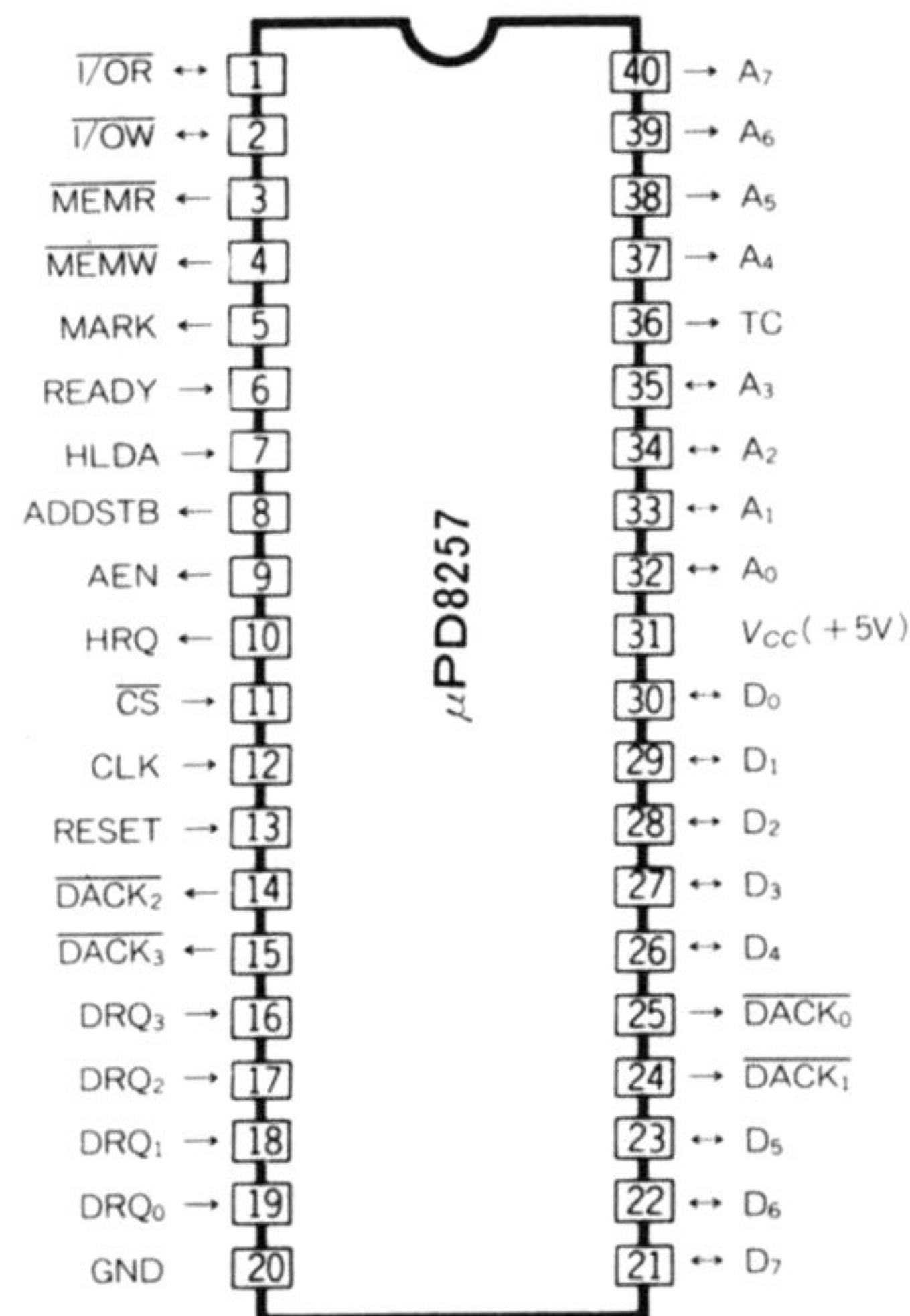
$\overline{EOP}$
RESET
$\overline{CS}$
READY
CLOCK
AEN
ADSTB
$\overline{MEMR}$
$\overline{MEMW}$
$\overline{IOR}$
$\overline{IOW}$
タイミング & コントロール
DEC テンポラリ・ワード・カウント・レジスタ(16)
INC/DEC テンポラリ・アドレス・レジスタ(16)
A_0～A_7
I/O バッファ
A_0～A_3 (アドレス)
出力バッファ
A_4～A_7 (アドレス)
リード・バッファ ベース・アドレス(16) ベース・ワード・カウント(16)
リード/ライト・バッファ カレント・アドレス(16) カレント・ワード・カウント(16)
A_8～A_{15}
コマンド・コントロール
ライト・バッファ
リード・バッファ
D_0～D_1
$DREQ_{0\sim3}$
HLDA
HRQ
$DACK_0$～3
プライオリティ・エンコーダ & プライオリティ・ローテイト・ロジック
コマンド(8)
マスク(4)
リクエスト(4)
ライト・バッファ MODE (4×6)
ステータス(8)
テンポラリ(8)
内部データ・バス
I/O バッファ
DB_0～DB_7 (データ・バス)

■ 端子機能

端 子 名	ピン番号	入 出 力	機　　能
CLK	12	入　力	8237 Aの内部動作とデータ転送速度の制御
$\overline{CS}$	11	入　力	アイドル・サイクル間にI/Oデバイスとして8237 Aを選択するために用いられる
RESET	13	入　力	コマンド，ステータス，リクエスト，テンポラリの各レジスタをクリアする非同期の入力．ファースト/ラスト/FFをクリアし，マスク・レジスタをセットする．リセット後はアイドル・サイクルに入る
READY	6	入　力	低速のメモリやI/O周辺デバイスに適応させるために，8237 Aからのメモリ・リード/ライト・パルスを拡張する
HLDA	7	入　力	ホールド・アクノリッジ信号．システム・バスの制御が放棄されたことを示す
$DREQ_0$ 〜 $DREQ_3$	19 〜 16	入　力	周辺回路がDMAサービスを要求するためのチャネル・リクエスト入力．個々に独立していて非同期．各DREQラインをアクティブにすることにより，リクエスト発生．固定優先順位は$DREQ_0$→$DREQ_3$の順．DREQは，その受け付けを知らせるDACKがアクティブになるまで，保持されなければならない．DREQのアクティブ・レベル（"H"/"L"）はプログラマブルであるが，RESETでアクティブ"H"にイニシャライズされる
DB_0 〜 DB_7	30〜26，23〜21	入出力	3ステート．システム・データ・バスに接続される．DMAサイクル中，アドレスの上位8ビットがデータ・バスに出力され，ADSTB信号によって外部ラッチにストローブ入力される
$\overline{IOR}$	1	入出力	3ステート．アイドル・サイクルでは，CPUがコントロール・レジスタをリードするために用いる入力制御信号となり，アクティブ・サイクルでは，DMAライト転送間に8237 Aが周辺回路からのデータをアクセスするために用いる出力制御信号となる
$\overline{IOW}$	2	入出力	3ステート．アイドル・サイクルでは，CPUが8237 Aに情報をロードするために用いられる入力制御信号となり，アクティブ・サイクルでは，DMAリード転送間に，8237 Aが周辺回路にデータをロードするために用いられる出力制御信号となる

端 子 名	ピン番号	入 出 力	機　　能
$\overline{EOP}$	36	入出力	オープン・ドレイン．DMAサービスの終了に関する情報を得る．外部$\overline{EOP}$信号入力（"L"）による場合と，各チャネルに対するターミナル・カウント（TC）に到達して一つのパルスが$\overline{EOP}$端子に出された場合，DMAサービスを終了する． その結果，リクエストをリセットし，オート・イニシャライズがイネーブルのときは，ベース・レジスタをそのチャネルのカレント・レジスタに書き込む． 使用しない場合，誤ったプロセス終了入力を防ぐためにプルアップしておく必要がある
A_0〜A_3	32〜35	入出力	3ステート．アドレスの下位4ビット・ライン．アイドル・サイクルでは入力となり，コントロール・レジスタをロードまたはリードするためのアドレスを示す．アクティブ・サイクルでは出力となり，出力アドレスの下位4ビットを供給する
A_4〜A_7	37〜40	出　力	3ステート．アドレスの上位4ビット・ライン．DMAサービス期間中のみイネーブルにされる
HRQ	10	出　力	CPUに対するホールド・リクエスト信号．システム・バスの制御を要求するために用いる．有効なDREQが現れると，HRQを発生する．HRQがアクティブになってから，HLDAがアクティブになる前に，少なくとも1クロック・サイクルが必要．最も速い移り方で，SI→SO→SO→SI→…となる
$DACK_0$ 〜 $DACK_3$	25，24 14，15	出　力	周辺回路にDMAサイクルが許可されたことを知らせる． アクティブ・レベルはプログラマブルであるが，リセット信号によりアクティブ"L"にイニシャライズされる
AEN	9	出　力	アドレスの上位8ビットを含むラッチをイネーブルにし，システム・アドレス・バスに出力させる．また，DMA転送間にはほかのシステム・バス・ドライバを禁止する
ADSTB	8	出　力	アドレス・ストローブ信号．外部ラッチに上位アドレス・バイトをストローブするために用いられる
$\overline{MEMR}$	3	出　力	3ステート．DMAリードまたはメモリ-メモリ転送間に，選択されたメモリ・ロケーションからデータをアクセスするために用いる
$\overline{MEMW}$	4	出　力	3ステート．DMAライトまたはメモリ-メモリ転送間に，選択されたメモリ・ロケーションからデータを書き込むために用いる

DMAC (DMA Controller)

■ ピン接続

μPD8257

信号	方向	ピン	ピン	方向	信号
$\overline{I/OR}$	↔	1	40	→	A_7
$\overline{I/OW}$	↔	2	39	→	A_6
$\overline{MEMR}$	←	3	38	→	A_5
$\overline{MEMW}$	←	4	37	→	A_4
MARK	←	5	36	→	TC
READY	→	6	35	↔	A_3
HLDA	→	7	34	↔	A_2
ADDSTB	←	8	33	↔	A_1
AEN	←	9	32	↔	A_0
HRQ	←	10	31		V_{CC}(+5V)
$\overline{CS}$	→	11	30	↔	D_0
CLK	→	12	29	↔	D_1
RESET	→	13	28	↔	D_2
$\overline{DACK_2}$	←	14	27	↔	D_3
$\overline{DACK_3}$	←	15	26	↔	D_4
DRQ_3	→	16	25	→	$\overline{DACK_0}$
DRQ_2	→	17	24	→	$\overline{DACK_1}$
DRQ_1	→	18	23	↔	D_5
DRQ_0	→	19	22	↔	D_6
GND		20	21	↔	D_7

■ 特　徴

- 四つの独立したDMAチャネル
- 連続したメモリ・アドレスとR／W信号を発生
- 優先付きDMA要求ロジックをもつ
- 128ビットMARK出力発生（これによりセクタ方式データ転送可能
- データ転送終了を示すターミナル・カウントを出力
- ブロック・チェーン動作に利用できるオート・ロード・モードをもつ
- チャネル数の拡張が可能

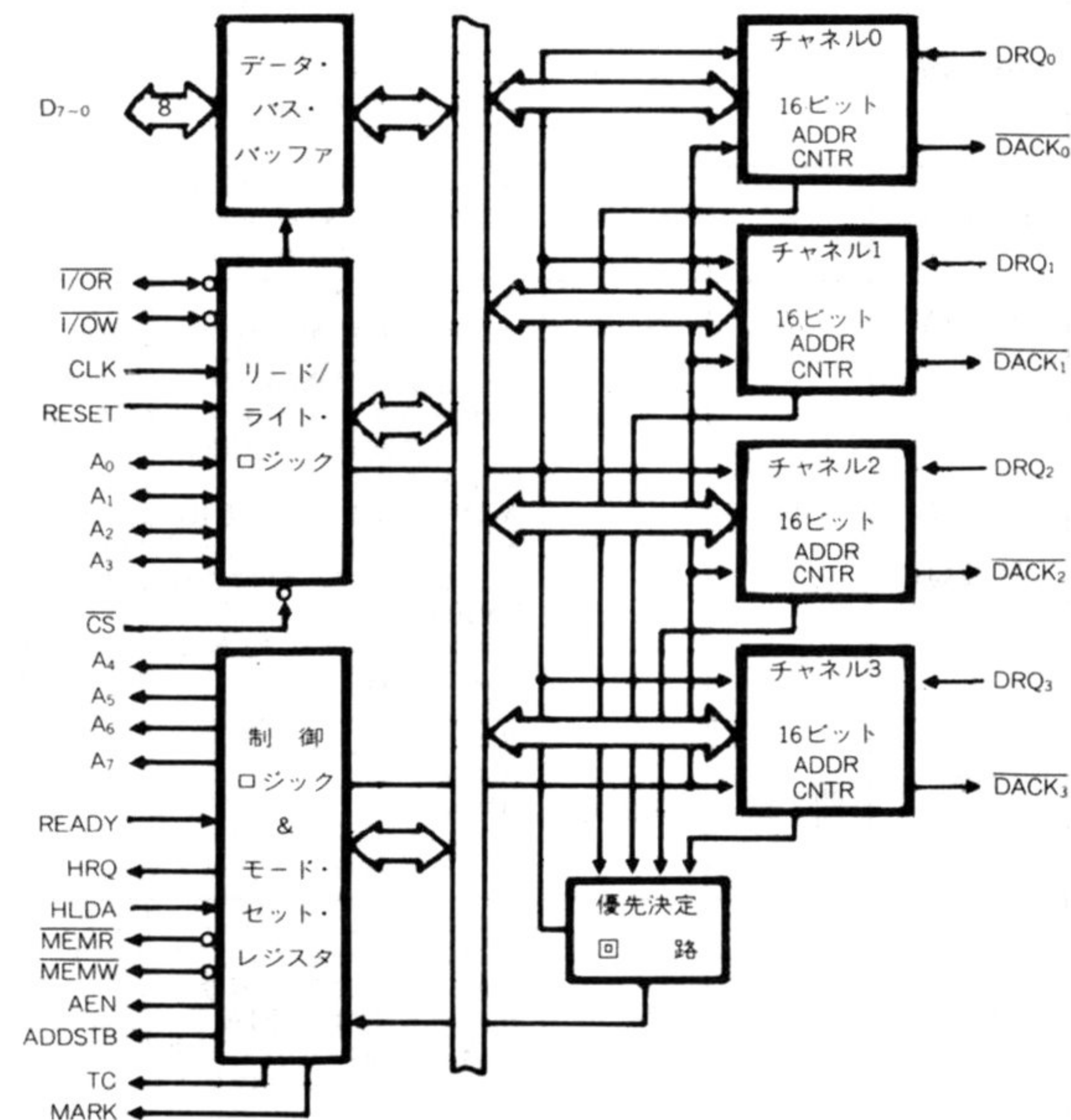
■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜7.0	V
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−65〜150	℃

■ DC特性

（$T_a=0\sim70$℃，$V_{CC}=5V\pm10\%$）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	$I_{OL}=1.7mA$	0.45	V
V_{OH}	$I_{OH}=80\mu A$	2.4*	V
I_{OL}	$V_{OUT}=0\sim V_{CC}$	±10	μA
I_{IL}	$V_{IN}=0\sim V_{CC}$	±10	μA
C_{IN}		10	pF

■端子機能

端子名	名　　称	ピン番号	入出力	機　　　能
$\overline{I/OR}$	I/O リード	1	入出力	8ビット・ステータス・レジスタの読み出し，または16ビット DMA アドレス・レジスタや16ビット TC レジスタの上/下位バイトの読み出しを行う
$\overline{I/OW}$	I/O ライト	2	入出力	8ビット・モード・セット・レジスタまたは16ビットの DMA アドレス・レジスタや TC レジスタの上/下位バイトの書き込みを行う
$\overline{MEMR}$	メモリ・リード	3	出　力	アドレスされたメモリからデータを読み出すために用いられる
MEMW	メモリ・ライト	4	出　力	アドレスされたメモリにデータを書き込むために用いられる
MARK	マーク	5	出　力	現在実行中の DMA サイクルは，前の MARK から数えて128サイクル目であることを知らせる
READY	レディ	6	入　力	メモリが低速でより長いサイクルを必要とする場合ウェイトをおく
HLDA	ホールド・アクノリッジ	7	入　力	ホールド要求が確認されると CPU から送り返されてくる信号を受ける入力
ADDSTB	アドレス・ストローブ	8	出　力	メモリ・アドレスの上位バイトをデータ・バスから8212に送り込むためのストローブ信号
AEN	アドレス・イネーブル	9	出　力	アドレス・イネーブル信号
HRQ	ホールド・リクエスト	10	出　力	システム・バスの制御権を要求する出力信号
$\overline{CS}$	チップ・セレクト	11	入　力	スレーブ・モードでは，I/O リードと I/O ライト入力をイネーブルにする
CLK	クロック	12	入　力	クロック入力
RESET	リセット	13	入　力	リセット入力ですべてのレジスタと制御信号をクリアし，スレーブ・モードになる
$\overline{DACK_0}$～$\overline{DACK_3}$	DMA アクノリッジ	25, 24, 14, 15	出　力	DMA サイクルが許可されたことを知らせる
$\overline{DRQ_0}$～$\overline{DRQ_3}$	DMA リクエスト	19～16	入　力	DMA サイクルを要求するために用いられ，それぞれ独立した非同期のチャネル要求入力
D_0～D_7	データ・バス	30～26, 23～21	入出力	双方向のデータ・バス
A_0～A_3	アドレス・バス	32～35	入出力	内部レジスタを選択するための入力
A_4～A_7	アドレス・バス	37～40	出　力	マスタ・モードでは，16ビット・メモリ・アドレスのうちビット 4～7 を出力する
TC	ターミナル・カウント	36	出　力	現在実行中の DMA サイクルが，そのデータ・ブロックの最終サイクルであることを知らせる

DMAC〔Direct Memory Access Controller〕

■ ピン接続 (BOTTOM VIEW)

*1	*2	V_{CC}	V_{SS}	D_{27}	V_{CC}	D_{23}	V_{SS}	D_{19}	D_{16}	D_{15}	V_{SS}	D_{10}	D_7	D_2
WIDTH	XWIDTH	*1	V_{SS}	D_{29}	D_{28}	D_{24}	D_{22}	D_{18}	V_{CC}	D_{14}	D_{11}	V_{CC}	NC	D_0
$\overline{PCL_3}$	*3	NC	*1	$\overline{RESET}$	D_{30}	D_{25}	D_{20}	NC	V_{SS}	D_{12}	D_8	D_4	D_3	$\overline{BC_0}$
$\overline{PCL_1}$	$\overline{PCL_2}$	*3	*1	*1	D_{31}	D_{26}	D_{21}	D_{17}	D_{13}	D_9	D_6	V_{SS}	V_{SS}	V_{CC}
$\overline{IRQ}$	$\overline{XIRQ}$	$\overline{PCL_0}$	V_{SS}	*1						D_5	D_1	V_{CC}	$\overline{BC_2}$	V_{SS}
$\overline{DHACK}$	$\overline{HREQ}$	$\overline{XHREQ}$	V_{CC}								$\overline{BC_1}$	V_{SS}	$\overline{BC_3}$	NC
$\overline{DHREQ}$	V_{SS}	$\overline{HACK}$	$\overline{XHACK}$								V_{CC}	A_0	A_1	A_2
$\overline{ABEN}$	NC	$\overline{XABEN}$	AIN								A_3	A_4	V_{SS}	A_5
$\overline{XAIN}$	V_{CC}	V_{SS}	V_{CC}								A_8	A_7	V_{CC}	A_6
V_{SS}	V_{CC}	V_{SS}	CLK								A_{13}	A_{10}	V_{SS}	A_9
NC	V_{CC}	$\overline{REQ_1}$	$\overline{XIACK}$	V_{CC}						INDEX ■	A_{14}	V_{CC}	A_{12}	A_{11}
V_{SS}	$\overline{REQ_2}$	$\overline{CS}$	$\overline{XDIN}$	V_{SS}	$\overline{XDS}$	$\overline{DONE}$	$\overline{IORDY}$	BAT_1	V_{SS}	V_{CC}	A_{18}	A_{15}	V_{CC}	V_{SS}
$\overline{REQ_3}$	$\overline{XCS}$	V_{SS}	$\overline{DBEN}$	$\overline{ACK_0}$	$\overline{XAS}$	XR/$\overline{W}$	$\overline{BERR}$	BAT_0	A_{26}	A_{23}	A_{19}	NC	A_{16}	V_{SS}
$\overline{REQ_0}$	NC	$\overline{XDBEN}$	$\overline{ACK_2}$	$\overline{DS}$	$\overline{AS}$	R/$\overline{W}$	$\overline{XDC}$	$\overline{BLOCK}$	A_{28}	A_{27}	A_{24}	A_{20}	V_{SS}	A_{17}
$\overline{IACK}$	$\overline{DIN}$	$\overline{ACK_3}$	$\overline{ACK_1}$	V_{SS}	V_{CC}	$\overline{CSTR}$	$\overline{RERUN}$	$\overline{DC}$	V_{SS}	BAT_2	A_{29}	A_{25}	A_{22}	A_{21}

＊1印の端子はV_{SS}に接続すること
＊2印の端子はOPENにすること
＊3印の端子はV_{CC}に接続すること

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.3	V
消費電力	P_D	3.0	W
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−55〜150	℃

■ DC特性

(T_a＝0〜70℃, V_{CC}＝5V± 5%)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝3.2mA	0.5	V
V_{OH}	I_{OH}＝400μA	2.4	V
I_{OL}	V_{OUT}＝0〜V_{CC},	±10	μA
I_{IL}	V_{IN}＝0〜V_{CC}	±10	μA
C_{IN}	f＝1MHz,	20	pF

■ 特　徴

- データ・バス32ビット、アドレス・バス32ビットのDMAコントローラ
- 16ビット・データ・バスにも対応可能
- 4本の独立したI／Oチャネルをもつ
- I／Oデバイス・メモリ間転送、メモリ・メモリ間転送が可能
- 内部リクエスト・モードでのバスの使用率を設定可
- オート・トリガ，外部トリガによる転送が可能
- 二つのバス間のDMA転送が可能
- 二つのCPU間の通信機能内蔵
- 最大転送速度27MB／s

■ ブロック図

データ制御ユニット
例外制御部
データ制御部
バス権制御部
端子制御部
コミュニケーション制御部
割り込み制御部
内部データ・バス
内部アドレス・バス
マイクロ・シーケンス制御ユニット
エラー・テスト部
カウンタ制御部
ゲート制御PLA部
マイクロ・シーケンス制御部
転送要求制御部
転送動作制御部
転送要求制御ユニット
例外信号
データ・バス
バス権制御信号
バス制御信号
割り込み要求信号
アドレス・バス
クロック
転送要求信号
周辺装置制御信号

■端子機能

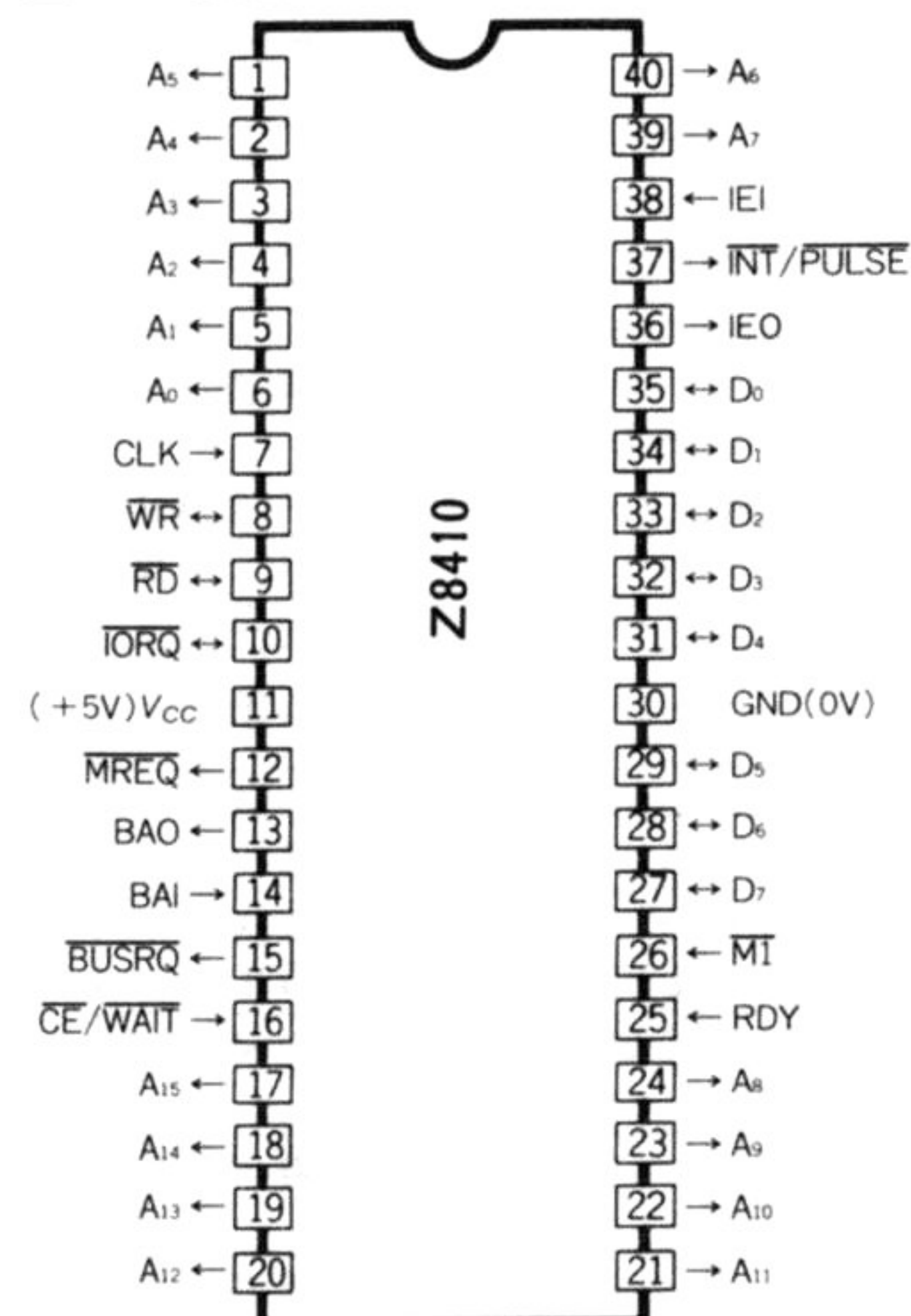
端子名	名称	ピン番号	入出力	機能
A_0～A_{29}	Address 0～29	1～4， 49～53， 56，58～ 61，98， 102，104， 106～108 139，142， 144，145， 173～176	A_0～A_{22} 出力 A_{23}～A_{29} 入出力	アドレス入出力端子，A_{23}～A_{29}は同期入力端子
D_0～D_{31}	Data 0～31	33，35，37 ～39，41 ～44，84 ～88，90， 91，94， 128～130 133～135 163～170 179	入出力	DMACとCPU，外部デバイスとの間のデータ転送に用いるデータ入出力端子
$\overline{BC_0}$～ $\overline{BC_3}$	Byte Access Control 0～3	45，96， 97，171	入出力	32ビット・データ・バスの有効となるバイト位置を示す
BAT_0～ BAT_2	Bus Access Type0～2	5，109 148	出力	DMAの実行するバス・サイクルのタイプを示す出力
$\overline{BLOCK}$	Block	62	出力	ブロック転送バス・サイクルであることを示す出力
$\overline{AS}$ $\overline{XAS}$	Address strobe	65， 112	出力	DMACが出力しているアドレスが確定していることを示す
$\overline{DS}$ $\overline{XDS}$	Data Strobe	66， 151	出力	ライト時はDMACが出力しているデータが確定していることを示す
$R/\overline{W}$ $XR/\overline{W}$	Read/ Write	64， 111	入出力	データ・バスのデータ転送の方向を制御する入出力端子
$\overline{DC}$ $\overline{XDC}$	Data Transfer Complete	7， 63	入出力	データ・バス上のデータが有効であること，あるいはデータ書き込みが完了したことを示すための入出力端子
$\overline{XCS}$ $\overline{CS}$	Chip Select	70， 116	入力	DMAC内部のレジスタのデータ読み出し，書き込みを要求するための入力端子
$\overline{ABEN}$ $\overline{XABEN}$	Address Bus Enable	22， 120	出力	DMACと外部のアドレス・バス間のアドレス・バス・バッファを制御するための出力端子

端子名	名称	ピン番号	入出力	機能
$\overline{XAIN}$ $\overline{AIN}$	Address In	21， 157	出力	DMACと外部のアドレス・バス間のアドレス・バス・バッファの方向を制御するための出力端子
$\overline{XDBEN}$ $\overline{DBEN}$	Data Bus Enable	68， 114	出力	DMACと外部のデータ・バス間のデータ・バス・バッファを制御するための出力端子
$\overline{DIN}$ $\overline{XDIN}$	Data In	14， 153	出力	DMACと外部のデータ・バス間のデータ・バス・バッファのデータ転送方向を制御するための出力端子
WIDTH XWIDTH	Width	28 81	入力	データ・バス幅を設定する端子
$\overline{HREQ}$ $\overline{XHREQ}$	Hold Request	77 122	出力	DMACが外部のバス権を要求していることを示す出力端子
$\overline{HACK}$ $\overline{XHACK}$	Hold Acknowledge	121 158	入力	DMACが外部のバス権を獲得したことを通知される入力端子
$\overline{IRQ}$ $\overline{XIRQ}$	Interrupt Request	25 78	出力	割り込み処理を要求するための端子
$\overline{IACK}$ $\overline{XIACK}$	Interrupt Acknowledge	15 154	入力	CPUからの割り込み応答の入力端子
$\overline{REQ_0}$～ $\overline{REQ_3}$	Data Transfer Request	16，17 71，117	入力	I/Oデバイスからの転送要求を受け付けるための入力端子
$\overline{ACK_0}$～ $\overline{ACK_3}$	Data Transfer Acknowledge	12，13 67．113	出力	I/Oデバイスに対して転送が実行されることを通知するための出力端子
$\overline{PCL_0}$～ $\overline{PCL_3}$	Peripheral Control Line	26，27 79，123	入出力	チャネルごとに機能に定義する事ができる多目的入出力端子
$\overline{DONE}$	Last Data Transfer Done	150	入出力	転送が正常終了したことを通知するための入出力信号
$\overline{CSTR}$	Cycle Start	9	出力	バス・サイクルの開始を示す
IORDY	I/O Ready	149	入力	READY付きI/OデバイスのREADY端子
$\overline{RESET}$	Reset	127	入力	DMACを初期状態にするための端子
$\overline{BERR}$	Bus Error	110	入力	バスエラーが発生したことをDMACに通知するための入力端子
$\overline{RERUN}$	Rerun	8	入力	バス・サイクルの再実行をDMACに要求するための端子

DMAC (Direct Memory Access Controller)

■ ピン接続

Z8410

ピン	信号	ピン	信号
1	A_5 ←	40	→ A_6
2	A_4 ←	39	→ A_7
3	A_3 ←	38	← IEI
4	A_2 ←	37	→ $\overline{INT}/\overline{PULSE}$
5	A_1 ←	36	→ IEO
6	A_0 ←	35	↔ D_0
7	CLK →	34	↔ D_1
8	$\overline{WR}$ ↔	33	↔ D_2
9	$\overline{RD}$ ↔	32	↔ D_3
10	$\overline{IORQ}$ ↔	31	↔ D_4
11	(+5V) V_{CC}	30	GND(0V)
12	$\overline{MREQ}$ ←	29	↔ D_5
13	BAO ←	28	↔ D_6
14	BAI →	27	↔ D_7
15	$\overline{BUSRQ}$ ←	26	← $\overline{M1}$
16	$\overline{CE}/\overline{WAIT}$ →	25	← RDY
17	A_{15} ←	24	→ A_8
18	A_{14} ←	23	→ A_9
19	A_{13} ←	22	→ A_{10}
20	A_{12} ←	21	→ A_{11}

■ 特　徴

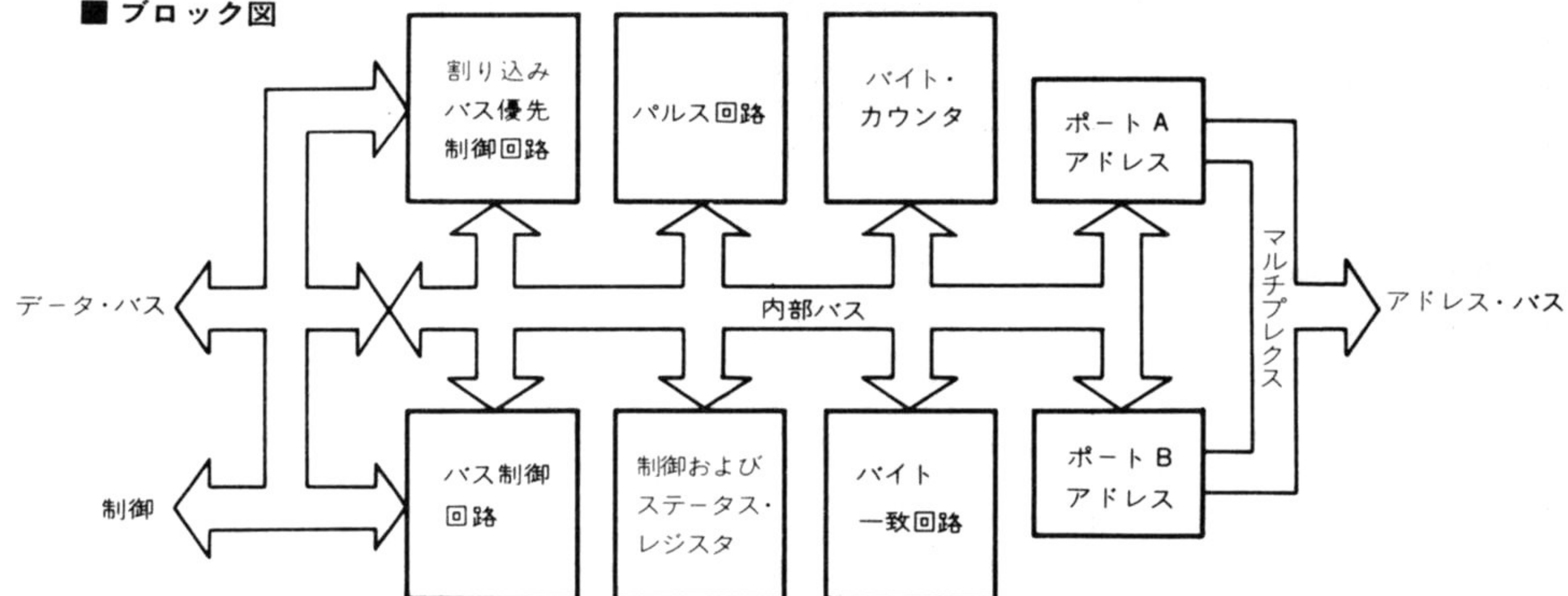
・バイト，バースト，連続の3モード動作
・各モードで転送，サーチ，サーチ／転送が可能
・サイクル長，エッジ・タイミング可変
・メモリ－I／O，メモリ－メモリ，I／O－I／O間の動作が可能
・アドレスは固定，自動インクリメント／デクリメントともに可能
・モード2の割り込み，デイジィ・チェーン可能
・外付け回路なしでシステム・バスに接続可能
・パワーオン・リセット回路内蔵．外部リセット不可

■ 最大定格

項　目	記号	定　格	単位
入力電圧	V_{IN}	−0.3～+7.0	V
出力電圧	V_{OUT}	−0.3～+7.0	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−65～+150	℃

■ DC特性

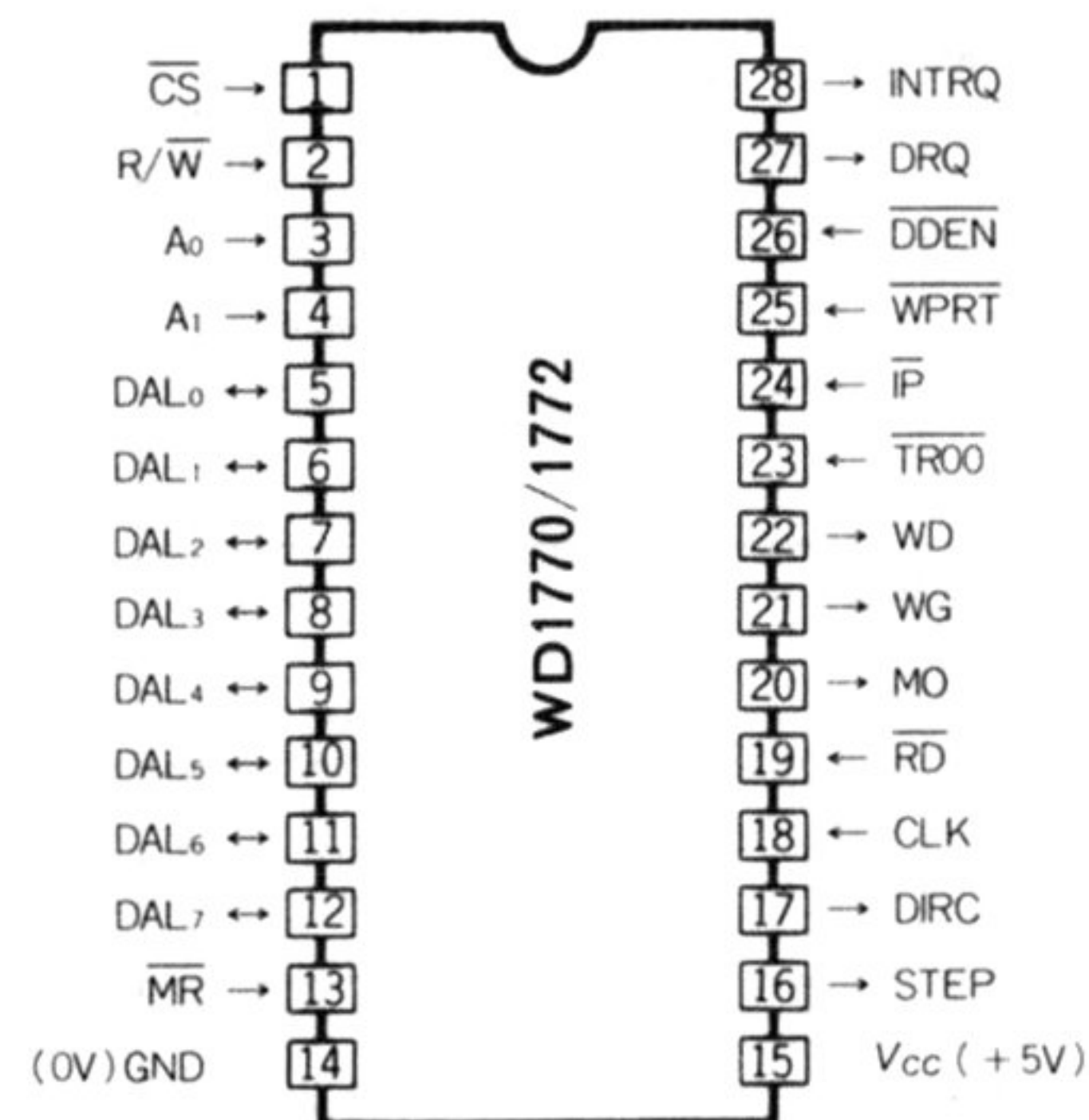
記　号	max/min*	単位
V_{ILC}	0.45	V
V_{IHC}	V_{CC}−0.6*	V
V_{IL}	0.8	V
V_{IH}	2.0*	V
V_{OL}	0.4	V
V_{OH}	2.4*	V

■ ブロック図

■ 端子機能

端 子 名	ピン番号	入 出 力	機 能
A_0～A_{15}	1～6, 17～24, 39～40	出 力	16ビットのアドレス・バス．DMAによって出力されるアドレス・バスでソース・ポートおよびデスティネーション・ポートに送られる
CLK	7	入 力	単相のクロック信号．DMAに対するクロック入力
$\overline{WR}$	8	入出力	ライト信号．入力として用いられる場合，MPUがDMAの制御レジスタへの書き込みを行い，出力として用いられる場合，メモリまたはI/Oポート・アドレスへの書き込みをDMAが制御する
$\overline{RD}$	9	入出力	リード信号．入力として用いられる場合，MPUがDMAのステータス・レジスタの読み出しを行い，出力として用いられる場合，メモリまたはI/Oポート・アドレスからの読み出しをDMAが制御する
$\overline{IORQ}$	10	入出力	入出力リクエスト信号．I/Oデータの読み出し/書き込みをするときにDMAが制御する
$\overline{MREQ}$	12	出 力	メモリ・リクエスト信号．メモリ・データの読み出し/書き込みをするときにDMAが制御する
$\overline{BAO}$	13	出 力	バス線イネーブル出力信号．複数個のDMA構成において，バス使用権の優先順位制御を行う
$\overline{BAI}$	14	入 力	バス線イネーブル入力信号．システム・バスの使用権がDMA制御のために解放されたことを示す
$\overline{BUSREQ}$	15	入出力	バス・リクエスト信号．システム・バス制御のための要求をMPUに送ることを示す
$\overline{CE}/\overline{WAIT}$	16	入 力	チップ・イネーブル/ウェイト信号．通常$\overline{CE}$として動作するが，データ転送時には$\overline{WAIT}$として動作するようにプログラム可能
RDY	25	入 力	レディ信号．DMAによってモニタされ有効極性を判定する
$\overline{M1}$	26	入 力	マシン・サイクル1を示す信号．MPUが命令のオペコード・フェッチ・サイクルあるいは割り込みアクノリッジを示す
D_0～D_7	27～29, 31～35	入出力	8ビットの双方向性データ・バス．この端子により，MPUからの制御バイト，DMAからのステータス・バイト，メモリまたはI/Oからのデータ転送を行う．
IEO	36	出 力	割り込みイネーブル出力信号．IEIとともに用いて，複数個の周辺LSIを接続した場合の割り込みの優先順位のためのデイジィ・チェーンを形成する
IEI	38	入 力	割り込みイネーブル入力信号．IEOとともに用いて，複数個の周辺LSIを接続した場合の割り込みの優先順位のためのデイジィ・チェーンを形成する
$\overline{INT}/\overline{PULSE}$	37	出 力	割り込みリクエスト信号．割り込み要求およびパルス発生用

FDC (Floppy Disk Controller)

■ ピン接続

信号	ピン		ピン	信号
$\overline{CS}$ →	1	WD1770/1772	28	→ INTRQ
R/$\overline{W}$ →	2		27	→ DRQ
A_0 →	3		26	← $\overline{DDEN}$
A_1 →	4		25	← $\overline{WPRT}$
DAL_0 ↔	5		24	← $\overline{IP}$
DAL_1 ↔	6		23	← $\overline{TR00}$
DAL_2 ↔	7		22	→ WD
DAL_3 ↔	8		21	→ WG
DAL_4 ↔	9		20	→ MO
DAL_5 ↔	10		19	← $\overline{RD}$
DAL_6 ↔	11		18	← CLK
DAL_7 ↔	12		17	→ DIRC
$\overline{MR}$ →	13		16	→ STEP
(0V) GND	14		15	V_{CC} (+5V)

■ 最大定格

項　目	記号	定　格	単位
入力電圧	V_{IN}	−15〜−0.3	V
動作温度	T_{OPR}	0〜+70	℃
保存温度	T_{STG}	−55〜+125	℃

■ DC特性 (T_a=0〜70℃, V_{CC}=5V±10%)

記 号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=1.6mA	0.4	V
V_{OH}	I_{OH}=100μA	2.4*	V
I_{OL}	$V_{OUT}=V_{CC}$	10	μA
I_{IL}	$V_{IN}=V_{CC}$	10	μA

■ 特　徴

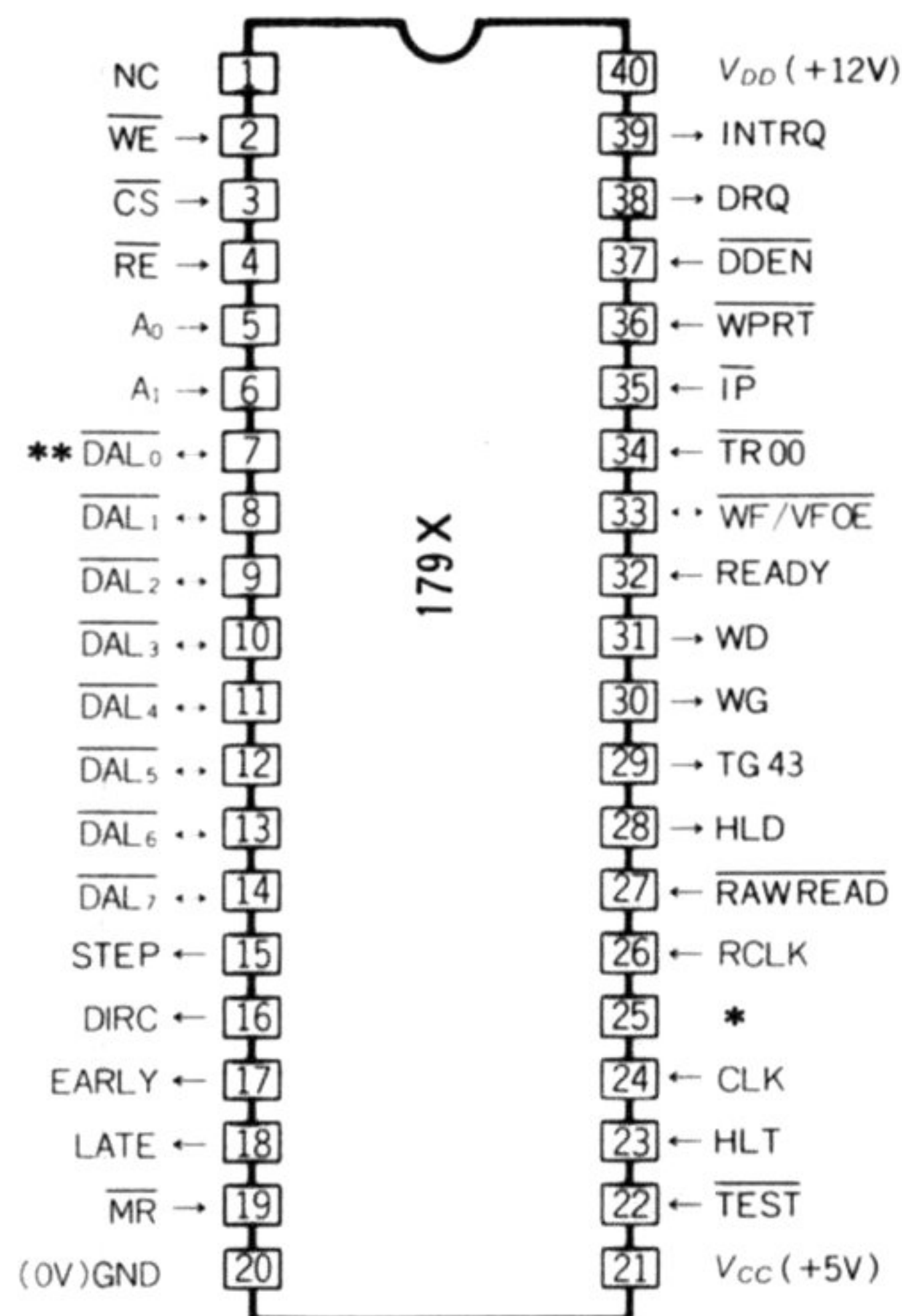
・データ・セパレータ内蔵
・ライト・プリコンペンセーション機能内蔵
・5 1/4インチ単密度，倍密度両方に適用
・セクタ長は128，256，512，1024から選択
・8ビット双方向バスをもつ
・WD1770：標準179Xステップ・レート
　WD1772：高速バージョン

■ ブロック図

■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{CS}$	チップ・セレクト	1	入力	R/$\overline{W}$を有効にするチップ・セレクト端子
R/$\overline{W}$	リード/ライト	2	入力	データ・アクセス・ライン上のデータのリード/ライト方向を決める
A_0, A_1	アドレス$_0$, 1	3, 4	入力	リード/ライトを行う内部レジスタを選択する. A_1 A_0 R/$\overline{W}$=1 R/$\overline{W}$=0 0 0 ステータス・レジスタ コマンド・レジスタ 0 1 トラック・レジスタ トラック・レジスタ 1 0 セクタ・レジスタ セクタ・レジスタ 1 1 データ・レジスタ データ・レジスタ
DAL_0~DAL_7	データ・アクセス・ライン	5~12	入出力	データ入出力用の8ビットの双方向性バス
$\overline{MR}$	マスタ・リセット	13	入力	マスタ・リセット入力で, 内部レジスタをクリアする. 内部プルアップ抵抗付き
GND	グラウンド	14	—	グラウンド
V_{CC}	電源	15	—	電源(+5V)
STEP	ステップ	16	出力	ドライバのリード/ライト・ヘッドのステップ信号(シーク・パルス)を出力する
DIRC	ディレクション	17	出力	ステッピング(シーク)動作の方向を示す. センタ方向のとき"H"となる
CLK	クロック	18	入力	内部回路のクロック信号入力
$\overline{RD}$	リード・データ	19	入力	ドライブからのデータ入力で, クロック・ビットとデータ・ビットで構成されている
MO	モータ・オン	20	出力	リード/ライト, ステッピング動作前にモータをONにする出力信号
WG	ライト・ゲート	21	出力	ディスケットへの書き込み前に有効となる出力信号
WD	ライト・データ	22	出力	ディスケットへの書き込みデータで, クロック・ビットとデータ・ビットを含む
$\overline{TR00}$	トラック00	23	入力	リード/ライト・ヘッドがトラック0に位置するかどうかを示す信号を入力する
$\overline{IP}$	インデックス・パルス	24	入力	リード/ライト・ヘッドがインデックス・ホールに位置することを示す信号を入力する
$\overline{WPRT}$	ライト・プロテクト	25	入力	ディスケットが書き込み禁止状態であるかどうかを示す信号を入力する
$\overline{DDEN}$	ダブル・デンシティ・イネーブル	26	入力	シングル(FM)かダブル(MFM)かを選択する. "L"のときダブル・デンシティとなる
DRQ	データ要求	27	出力	"H"のときに, データ・レジスタがフル(リード時)または空(ライト時)を示している
INTRQ	割り込み要求	28	出力	転送データや実行結果の処理を要求する割り込み要求出力信号

FDC (Floppy Disk Controller)

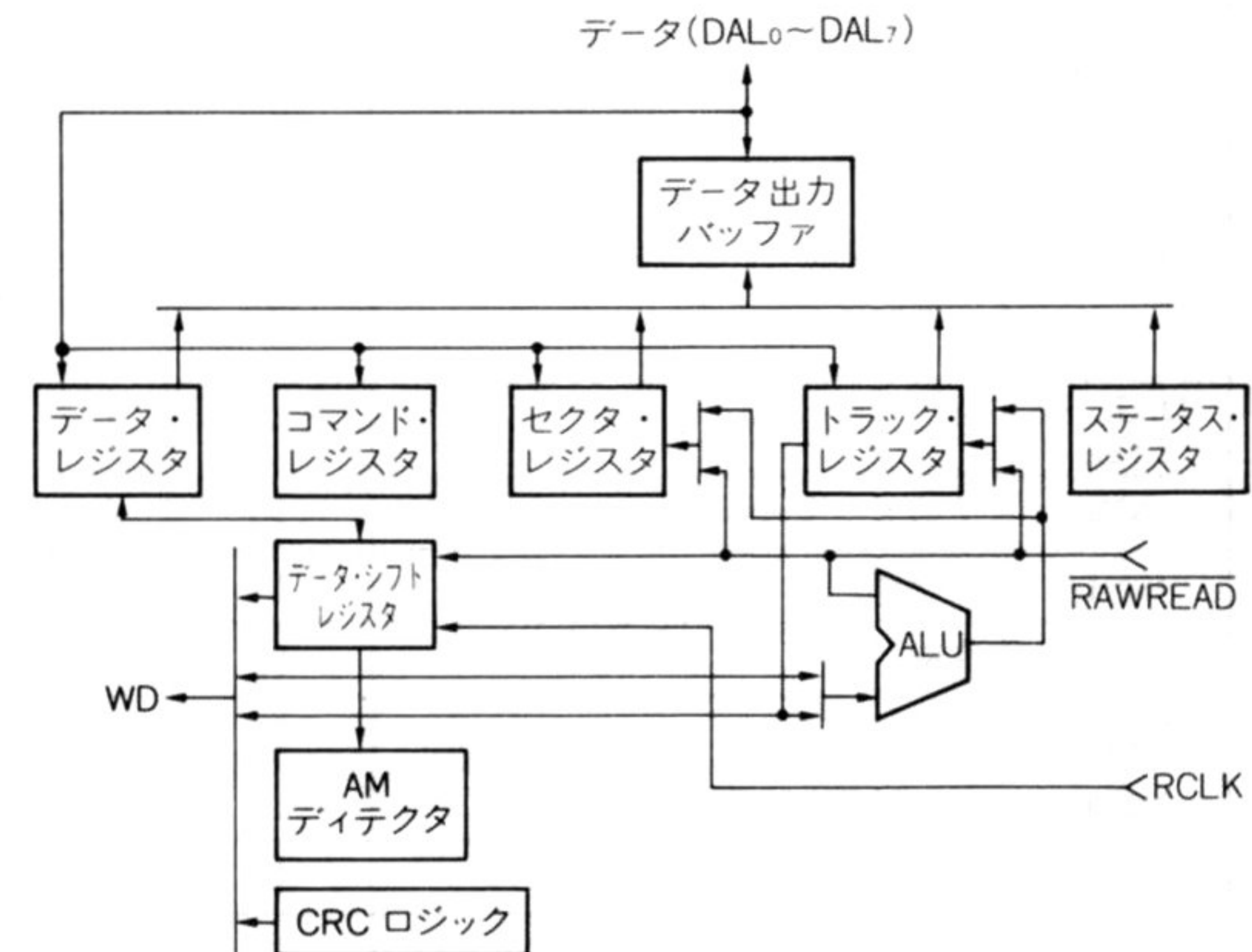
■ ピン接続

*1791/3 = RG
 1795/7 = SSO
**1793/7 = 正論理

■ 特　徴

・単密度，倍密度の両方に適用可能
　単密度：ＩＢＭ３７４０フォーマット
　倍密度：ＩＢＭシステム３４フォーマット
・ソフトで各種項目指定可能
　セクタ長
　ステップ・レート
　サイド・セレクト一致検出
・ライト・プリコンペンセーション機能内蔵（ＦＭ，ＭＦＭ）
・ＤＭＡおよびプログラム転送可能

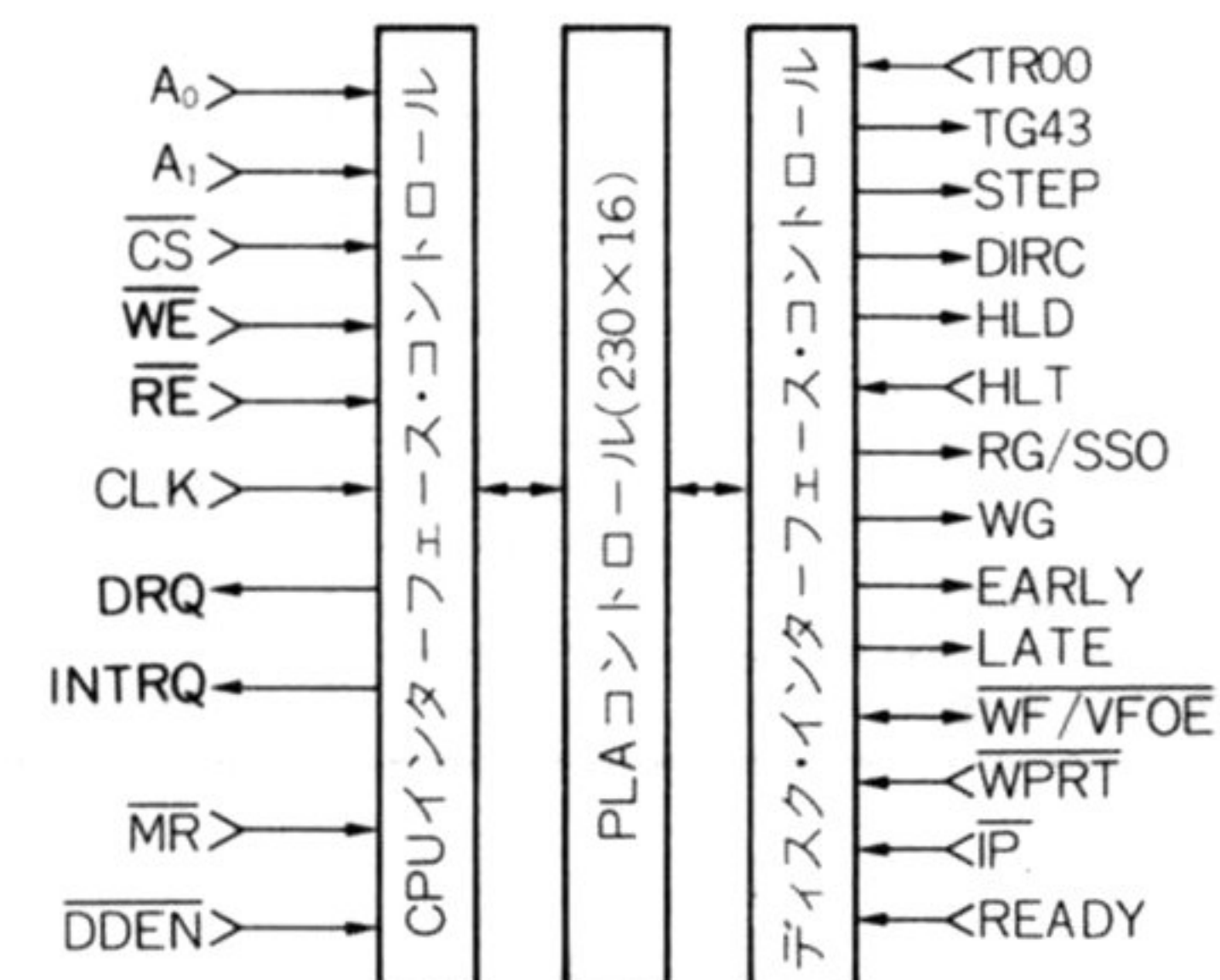
■ 179X-02ファミリー機能一覧

	1791	1793	1795	1797
シングル・デンシティ（FM）	○	○	○	○
ダブル・デンシティ（MFM）	○	○	○	○
データ・バス（正/負）	負	正	負	正
ライト・プリコンペンセーション	○	○	○	○
サイド・セレクト出力			○	○

■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{DD}	−0.3～+15	V
入力電圧	V_{IN}	−0.3～+15	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	55～+125	℃

■ DC特性

項　目	max/min*	単位
V_{IH}	2.6*	V
V_{IL}	0.8	V
$V_{OH}(I_O=-100\mu A)$	2.8*	V
$V_{OL}(I_O=1.6mA)$	0.45	V
P_D	0.5	W

■ **端子機能**

端 子 名	ピン番号	入 出 力	機　　　能
NC	1	—	No Connection
$\overline{WE}$, $\overline{CS}$, $\overline{RE}$	2, 3, 4	入　力, 入　力, 入　力	チップ・セレクト・リード/ライトのコントロール
A_0, A_1	5, 6	入　力	A_0 A_1の組み合わせでレジスタを選択する
DAL_0～DAL_7	7～14	入出力	CPUとの間でのデータのやりとり，コマンド・ステータスはこのデータより行う．タイプによって正負の論理がある
STEP	15	出　力	ヘッド移動のためのステップ・パルス出力
DIRC	16	出　力	ヘッドの移動方向を示す出力
EARLY, LATE	17, 18	出　力, 出　力	データ書き込み時のシフト信号
$\overline{MR}$	19	入　力	リセット
(0V)GND	20	—	グラウンド
V_{CC}(+5V)	21	—	電源（+5V）
$\overline{TEST}$	22	入　力	テスト用端子
HLT	23	入　力	HLDに対する応答信号
CLK	24	入　力	ディスクの仕様に応じたクロックを与える
RCLK	26	入　力	ディスクから読み取ったデータから，データ・セパレータによって分離されたクロックを加える
$\overline{RAWREAD}$	27	入　力	ディスク・ドライブからの読み取りデータをこの端子へ与える
HLD	28	出　力	ヘッドをディスクへロードする信号を出力
TG43	29	出　力	ヘッドがトラック44以上にあると“H”
WG	30	出　力	“H”でディスクへの書き込みを示す
WD	31	出　力	ディスク・ドライブへの書き込みデータが出力される
READY	32	入　力	“H”でディスクが動作可能であることを示す
$\overline{WF/VFOE}$	33	入出力	書き込み時の障害またはデータ読み込みを示す
$\overline{TR00}$	34	入　力	ディスクのヘッドがトラック0にあることを示す
IP	35	入　力	ディスクの1回転ごとの基準パルス入力
$\overline{WPRT}$	36	入　力	ディスクのライト・プロテクトの検出
$\overline{DDEN}$	37	入　力	単密度，倍密度の選択
DRQ	38	出　力	データのリード/ライトの同期に使用
INTRQ	39	出　力	コマンドの実行，終了を割り込みなどでCPUに知らせる
V_{DD}(+12V)	40	—	電源（+12V）．セカンド・ソースにはこの端子がNC（+5V単一電源）のものもある

FDC (Floppy Disk Controller)

■ ピン接続

SPC2050F

■ 特 徴

・ＩＢＭ　ＰＣ／ＡＴ相当バス準拠の5.25/3.5インチＦＤコントローラ
・コマンド・セットはＩＢＭ　ＰＣ／ＡＴ対応
・ホスト側ドライバ／レシーバ内蔵
・ドライブ側ドライバ／レシーバ内蔵
・データ転送レートはプログラム指定可能
・マルチセクタ／マルチトラック機能
・ドライブは２台まで接続可能
・シーク動作は同時に２台まで可能
・データ転送はＤＭＡ転送／プログラム転送可能
・無調整で外付け部品のないアナログ方式のＶＦＯ回路によるデータ・セパレータ内蔵

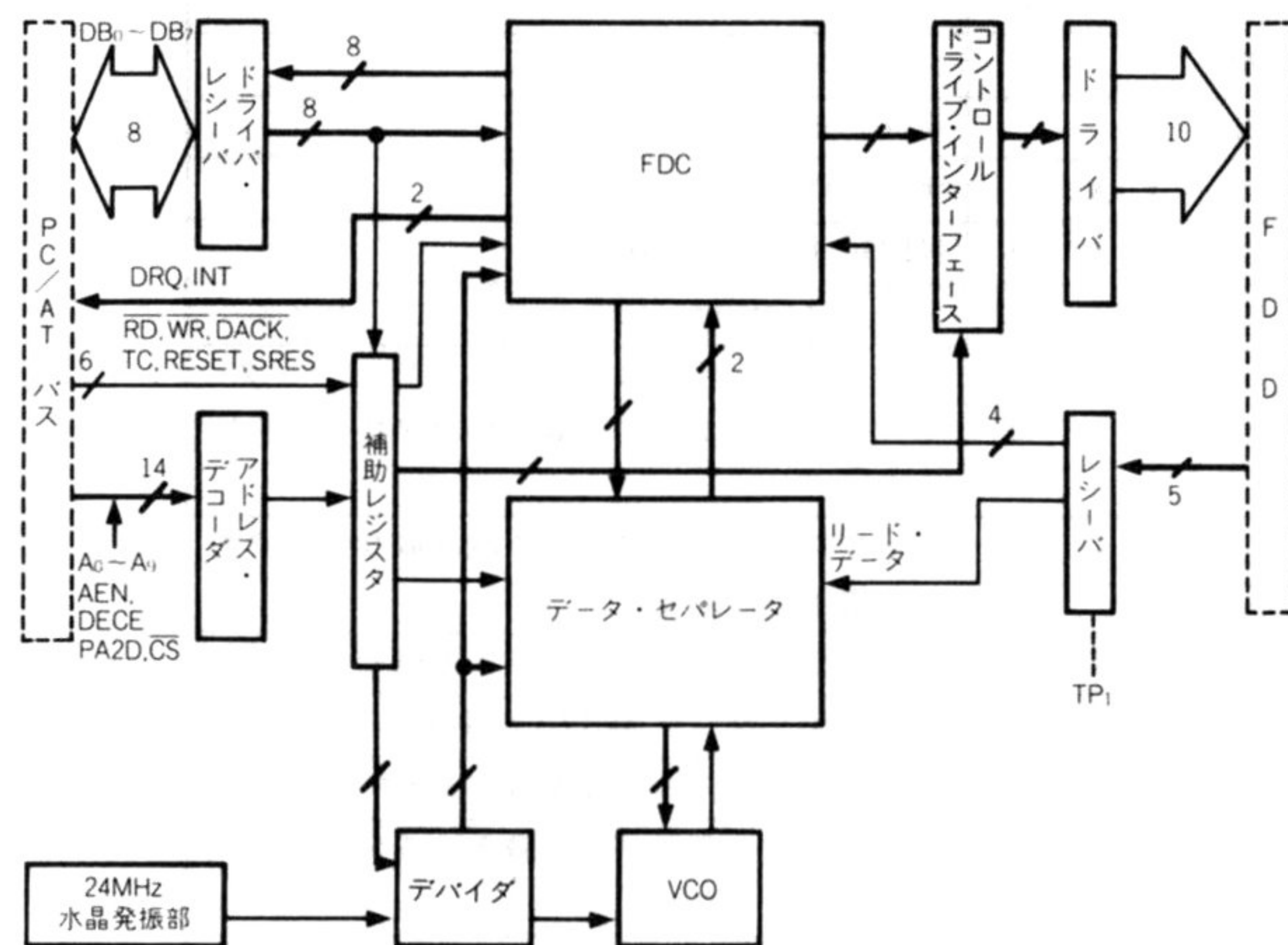
■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜V_{CC}+0.5	V
動作温度	T_{OPR}	0〜65	℃
保存温度	T_{STG}	−65〜150	℃

■ DC特性

（T_a=0〜65℃, V_{CC}=5V±5%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=12mA	0.4	V
V_{OH}	I_{OH}=2mA	4.0*	V

■ ブロック図

■ 端子機能

端 子 名	ピン番号	入 出 力	機 能
A_0~A_9	70~76, 78~80	入 力	PC/AT バスのアドレス線の入力端子
DB_0~DB_7	54~56, 59~62, 65	入出力	PC/AT バスの双方向，3 ステートのデータ・バスの入出力端子
$\overline{RD}$	87	入 力	メイン・システムが，ステータス，データを読み出すための制御信号の入力端子
$\overline{WR}$	88	入 力	メイン・システムが，コマンド，データを書き込むための制御信号の入力端子
AEN	81	入 力	PC/AT バスのアドレス・イネーブル信号の入力端子．DMA 転送中に“H”レベルにする
DRQ	67	出 力	DMA モードにおけるデータ転送要求信号の出力端子（“H” アクティブ）
INT	66	出 力	メイン・システムに対して，コマンド実行結果の処理を要求する信号の出力端子（“H” アクティブ）
$\overline{DACK}$	82	入 力	DMAの応答信号の入力端子（“L”アクティブ）
TC	83	入 力	データ転送の終了指示信号の入力端子（“H” アクティブ）
SRES	89	入 力	PC/AT バスのシステム・リセット信号の入力端子（“H” アクティブ）
$\overline{RESET}$	90	入 力	内部リセット信号の入力端子（“L”アクティブ）
X_1	95	入 力	24MHz 水晶発振回路用反転増幅器の入出力端子
X_2	96	出 力	
DECE	84	入 力	チップ・セレクトの選択端子．この入力端子を“H”にすると，IC 内部のアドレス・デコーダ出力により，チップ・セレクトされる
$\overline{CS}$	86	入 力	DECE=“L”のとき，本 IC のチップ・セレクトの入力端子となる
PA2D	85	入 力	I/O ポート・アドレスの選択端子． PA2D=“L”；3FXH PA2D=“H”；37XH
$\overline{PCXT}$	1	入 力	データ転送レート制御端子．“L”レベルにすると 250Kbit/sec に固定となる
$\overline{TV}$, $\overline{TF}$, TVF9	6, 5, 11	入 力	テスト用端子
TPS_0, TVF_1, TVF_4, TVF_{10}	17, 13, 10, 12	出 力	

端 子 名	ピン番号	入 出 力	機 能
DIRL	51	出 力	シーク動作の方向を指定する信号の出力端子．“L”で内周方向，“H”で外周方向を指定する
STPL	49	出 力	ヘッドの移動数を与えるステップ・パルスの出力端子（“L” アクティブ）
HSLL	47	出 力	ヘッド 0，1 の選択信号の出力端子．“L”でヘッド 1，“H”でヘッド 0 を選択する
MOT_1	45	出 力	ドライブ 1 のモータ・オン信号の出力端子（“L” アクティブ）
MOT_2	43	出 力	ドライブ 2 のモータ・オン信号の出力端子（“L” アクティブ）
DSL_1	41	出 力	ドライブ 1 のセレクト信号の出力端子（“L” アクティブ）
DSL_2	39	出 力	ドライブ 2 のセレクト信号の出力端子（“L” アクティブ）
REWL	37	出 力	“L”レベルで高ビット密度であることを示す
WRDT	35	出 力	ドライブへの書き込みデータの出力端子（“L” アクティブ）
WRGT	33	出 力	ドライブに対して書き込みを指示する信号の出力端子（“L” アクティブ）
TRK_0	28	入 力	ヘッドがシリンダ 0 に位置することを示す信号の入力端子（“L” アクティブ）
READY	27	入 力	ドライブがレディ状態であることを示す信号の入力端子（“L” アクティブ）
INDEX	26	入 力	ドライブのインデックス検出信号の入力端子（“L” アクティブ）
REDT	25	入 力	ドライブからの読み出しデータの入力端子（“L” アクティブ）
WPRT	24	入 力	ドライブからのメディア書き込み禁止状態を示す信号の入力端子（“L” アクティブ）
TP_1	23	入 力	インデックス切り換えのための入力端子．“H”のときドライブからのインデックス信号が直接コントローラ部へ入力される
PSA	7	入 力	プレ・シフト制御端子．“H”にするとプレ・シフト固定になる
$T\phi$, TSYN, TDT, TWIND, TPS_1, TVF_6	98, 22, 21, 20, 14, 3	入出力	テスト用端子

FDC (Floppy Disk Controller)

■ ピン接続

MCS3201

■ 特　徴

- ＩＢＭ　ＰＣ／ＡＴおよびＸＴディスク・ドライブ
- システム互換
- 360K/720K/1.2M/1.44Mフォーマットをサポート
- 最大４台までの3.5/5.25インチＦＤドライブをサポート
- μＰＤ７６５Ａをエミュレートする
- ＤＭＡモードまたは非ＤＭＡモードのいずれかで動作するハンドシェイク信号を内蔵
- リード回路を簡素化するための組み込みアドレス・マーク検出回路
- ＩＢＭ　ＰＣシステム・アドレス・デコーダ内蔵
- ディジタル・データ・セパレータ内蔵のため微調整不要
- データ・レート／データ・レコード長はプログラマブル
- マルチセクタおよびマルチトラック転送機能

■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜7.0	V
消費電力	P_D	1.0	W
動作温度	T_{OPR}	−10〜70	°C
保存温度	T_{STG}	−55〜150	°C

■ DC特性

（T_a＝0〜70°C, V_{CC}＝5V±5%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝12mA	0.4	V
V_{OH}	I_{OH}＝16mA	2.4*	V
I_{OL}	V_{OUT}＝V_{CC}	10	μA
I_{IL}	V_{IN}＝0, V_{CC}	1	μA

■ 端子機能

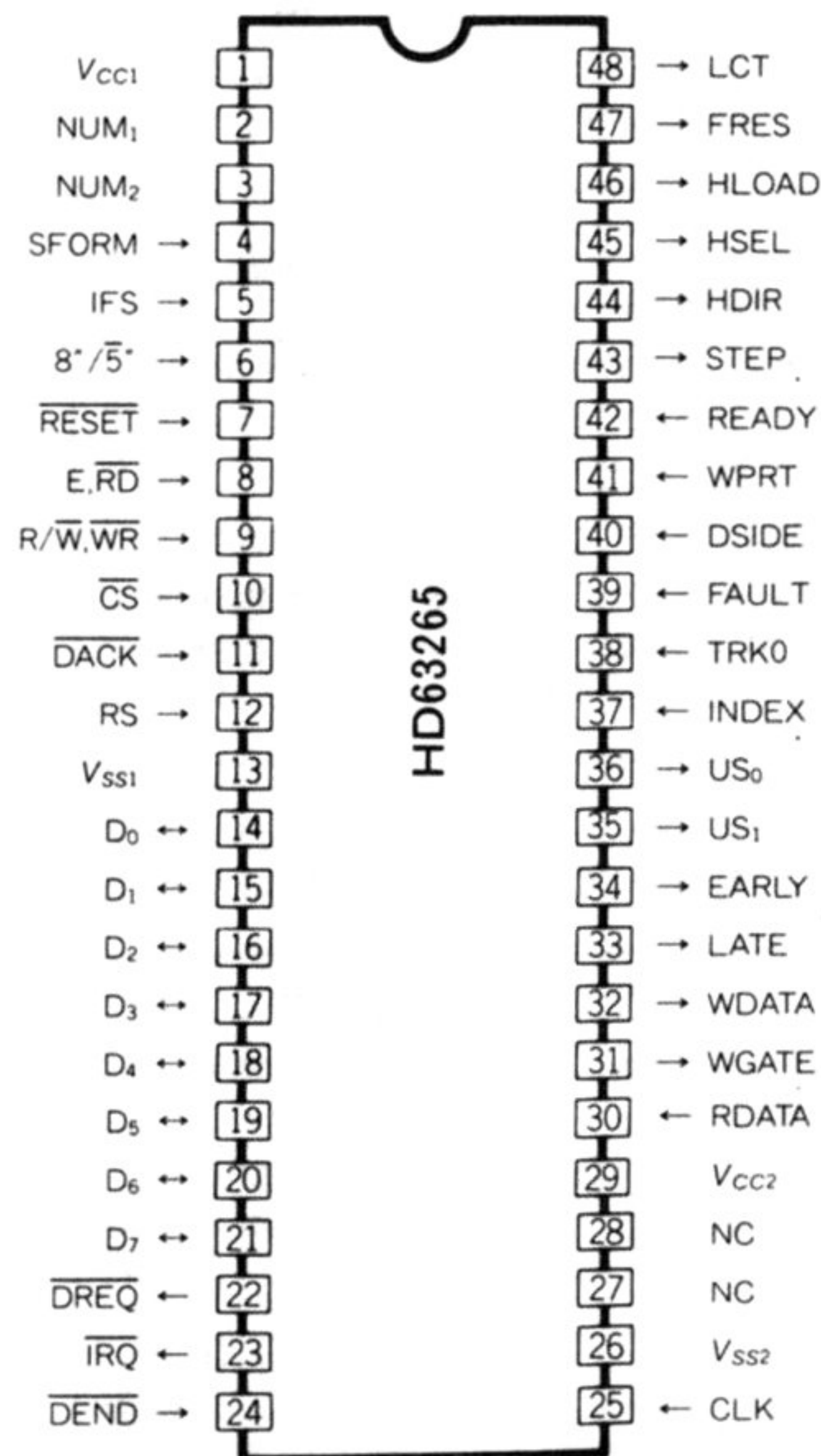
端子名	ピン番号	入出力	機能
SA_0～SA_9	1～10	入力	アドレス・バス
AEN	11	入力	アドレス・イネーブル，DMA コントローラからの入力．このラインがアクティブのとき，DMA コントローラがアドレス・バスを制御する
SD_0～SD_7	12～15，18～21	入出力	データ・バス
RESET	22	入力	コントローラをアイドル状態にリセットするアクティブ"H"入力．FDD への出力ラインをすべてディセーブル状態にリセットする
DRQ	23	出力	DRQ＝1のときの FDC による DMA リクエスト
$\overline{IOW}$	24	入力	SD バスから FDC にデータを転送するプロセッサからのコマンド
$\overline{IOR}$	25	入力	チップから SD バスにデータを転送するプロセッサからのコマンド
IRQ	26	出力	IRQ＝1のときに生成される割り込みリクエスト
$\overline{DACK}$	27	入力	0にセットされると，DMA サイクルがアクティブになり，コントローラは DMA 転送を行う
T/C	28	入力	1にセットされると，DMA モードまたは割り込みモードで Read/Write/Scan コマンドを実行中にデータ転送を終了させる
ADDSEL	29	入力	アドレス・セレクト．1にセットされると SA-3FX，0にセットされると SA-37X
$\overline{CS}$	30	入力	チップ・セレクト．0にセットされると，FDC がセレクトされる
$XTAL_1$	33	入力	水晶発振器入力
$XTAL_2$	34	出力	水晶発振器出力
I_7～I_0	35～42	入力	3FO からの8ビット・リード・オンリ・レジスタに予約
$\overline{MO_3}$，$\overline{MO_2}$，$\overline{MO_1}$，$\overline{MO_0}$	43，44，48，49	出力	0にセットされると，モータ・オンがディスク・ドライブ3をイネーブルにする．この信号はオープン・ドレイン出力
$\overline{DS_3}$，$\overline{DS_2}$，$\overline{DS_1}$，$\overline{DS_0}$	46，47，51，52	出力	0にセットされると，ドライブ・セレクトはディスク・ドライブ3をイネーブルにする．この信号はオープン・ドレイン出力

端子名	ピン番号	入出力	機能
$\overline{WE}$	53	出力	ライト・イネーブル．0にセットされると，マイクロプロセッサから FDD にライトを行う．オープン・ドレイン出力
$\overline{DIR}$	55	出力	ヘッド・ステッパ・モータの方向．オープン・ドレイン出力．ロジック1＝外周運動．ロジック0＝内周運動
$\overline{HEAD}$	56	出力	ヘッド・セレクト，オープン・ドレイン出力．どちらのディスク・ドライブ・ヘッドをアクティブにするかを決定する．ロジック1＝サイド0，ロジック0＝サイド1
$\overline{RWC}$	58	出力	ライト電流低減．この信号は，2スピード・ディスク・ドライブで転送レートを選択するために使用できる．ロジック0＝250Kbit/sec．ロジック1＝500Kbit/sec．オープン・ドレイン出力
$\overline{WD}$	59	出力	ライト・データ．ロジック"L"オープン・ドレイン．プリコンペンセートされたシリアル・データをセレクトされた FDD にライトする．オープン・ドレイン
$\overline{STEP}$	61	出力	STEP 出力パルス．アクティブ"L"オープン・ドレイン出力．ヘッドを別のシリンダに移動するためのパルスをプログラマブル・レートで生成する
$\overline{INDEX}$	62	入力	ディスク・ドライブからのアクティブ"L"のシュミット入力．インデックス・ホールでマークされるトラック先頭からのヘッド位置を感知する
$\overline{TAK_0}$	63	入力	トラック00．ディスク・デライブからのアクティブ"L"のシュミット入力．ヘッド位置が最外周トラックを超えたときの信号
$\overline{WP}$	64	入力	ライト・プロテクト．ディスク・ドライブからのアクティブ"L"のシュミット入力は，ディスケットがライト・プロテクトされていることを示す
$\overline{RDATA}$	65	入力	リード・データ入力．FDD からマイクロプロセッサにリードされた信号
$\overline{DSKCHG}$	66	入力	ディスケットの交換．この信号は電源投入時およびディスケットが取り出されたときにアクティブ"L"になる．これは適当なディスケットが挿入されていて，STEP パルスが受信されるまでアクティブになっている

FDC (Floppy Disk Controller)

■ ピン接続

HD63265

左側信号	ピン	ピン	右側信号
V_{CC1}	1	48	→ LCT
NUM_1	2	47	→ FRES
NUM_2	3	46	→ HLOAD
SFORM →	4	45	→ HSEL
IFS →	5	44	→ HDIR
8"/5" →	6	43	→ STEP
$\overline{RESET}$ →	7	42	← READY
E, $\overline{RD}$ →	8	41	← WPRT
R/$\overline{W}$, $\overline{WR}$ →	9	40	← DSIDE
$\overline{CS}$ →	10	39	← FAULT
$\overline{DACK}$ →	11	38	← TRK0
RS →	12	37	← INDEX
V_{SS1}	13	36	→ US_0
D_0 ↔	14	35	→ US_1
D_1 ↔	15	34	→ EARLY
D_2 ↔	16	33	→ LATE
D_3 ↔	17	32	→ WDATA
D_4 ↔	18	31	→ WGATE
D_5 ↔	19	30	← RDATA
D_6 ↔	20	29	V_{CC2}
D_7 ↔	21	28	NC
$\overline{DREQ}$ ←	22	27	NC
$\overline{IRQ}$ ←	23	26	V_{SS2}
$\overline{DEND}$ →	24	25	← CLK

■ 特　徴

- ６８系および８０系ＣＰＵ用のＦＤコントローラ
- 無調整アナログＶＦＯ方式の高精度データ・セパレータ内蔵
- ライト・プリコンペンセーション回路内蔵し，プリコンペ量はプログラマブル
- トラックの内外周でプリコンペ量切り替え可能
- データ転送速度
  - ＦＭ変調　：125, 150, 250kbps
  - ＭＦＭ変調：250, 300, 500kbps
- データのＤＭＡ転送，プログラム転送機能をもつ
- ＩＢＭ，ＥＣＭＡ（ＩＳＯ）フォーマット・データ内蔵
- マルチセクタ，マルチトラック・リード／ライト可能，マルチ・シーク可能
- ドライブ制御範囲
  - ドライブ数：４台
  - ヘッド数　：２ヘッド／ドライブ
  - シリンダ数：２５５シリンダ／ドライブ
  - セクタ数　：２５５セクタ／トラック
- セクタ長はプログラマブル

■ DC特性

（T_a＝0～70℃，V_{CC}＝5V±5%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝1.6mA	0.5	V
V_{OH}	I_{OH}＝400μA	2.4*	V
I_{IL}	V_{IN}＝0～V_{CC}	±2.5	μA
C_{IN}		15	pF

■ ブロック図

■ 最大定格

項目	記号	定格	単位
電源電圧	V_{CC}	−0.3～7.0	V
入力電圧	V_{IN}	−0.3～V_{CC}+0.3	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−55～150	℃

■端子機能

端子名	ピン番号	入出力	機能
CLK	25	入力	クロック入力端子
$\overline{RESET}$	7	入力	$\overline{DREQ}$，$\overline{IRQ}$信号を“H”レベルにし，その他のすべての出力信号を“L”レベルにする
E，$\overline{RD}$	8	入力	IFSの入力に応じてイネーブル，リードを入力する
R/$\overline{W}$，$\overline{WR}$	9	入力	IFSの入力に応じて，リード/ライト，ライトを入力する
$\overline{CS}$	10	入力	FDCをアドレッシングするための端子
RS	12	入力	リード，ライトを行うレジスタを選択する
D_0～D_7	14～21	入出力	リード・ライト可能なデータ・バス
$\overline{IRQ}$	23	出力	割り込み要求信号
$\overline{DACK}$	11	入力	DMAモード時，データ転送のタイミングを入力する端子
$\overline{DRFQ}$	22	出力	DMACへのデータ転送要求信号出力端子
$\overline{DEND}$	24	入力	データ転送を止めるための入力端子
RDATA	30	入力	FDDからのREAD DATA信号入力端子
WGATE	31	出力	FDDへの書き込み制御信号出力端子
WDATA	32	出力	FDDへのWRITE DATA信号出力端子
LATE EARLY	33 34	出力	WRITE PRECOMPENSATION制御信号を出力する端子
US_1 US_0	35 36	出力	FDDを選択する信号を出力．US_0，US_1をデコードすることで4台までのFDDが選択できる

端子名	ピン番号	入出力	機能
INDEX	37	入力	FDDからのINDEX信号を入力
TRK 0	38	入力	FDDからのTRACK 00信号を入力
FAULT	39	入力	FDDからのFAULT信号を入力
DSIDE	40	入力	FDDからのDOUBLE SIDE信号を入力
WPRT	41	入力	FDDからのWRITE PROTECTED信号を入力
READY	42	入力	FDDからのREADY信号を入力
STEP	43	出力	FDDのヘッドを動かすSTEP信号を出力
HDIR	44	出力	FDDのヘッドの移動方向を示す信号を出力
HSEL	45	出力	FDDのヘッドを選択する信号を出力
HLOAD	46	出力	FDDにヘッド・ロードを指示する信号を出力
FRES	47	出力	FDDにFAULT信号をリセットする信号を出力
LCT	48	出力	FDDのデータ書き込み電流の制御信号を出力
SFORM	4	入力	フォーマッティング時のフォーマット・データを選択
IFS	5	入力	ホスト・インターフェースの指定を入力する端子
8″/5″	6	入力	データ転送速度を指定する入力端子

FDC (Floppy Disk Controller)

■ ピン接続

HD63266

V_{SS9} MON3 MON2 MON1 MON0 V_{SS8} DS3 DS2 DS1 DS0 V_{SS7} HSEL HLOAD HDIR STEP V_{SS6}

64 49

1 8"/5" XTALSEL RESET E.RD R/W.WR CS DACK RS0 RS1 V_{SS1} V_{SS2} D0 D1 D2 D3 D4 16

48 WDATA WGATE V_{CC4} V_{CC3} V_{CC2} NC V_{SS5} V_{SS4} EXTAL1 XTAL1 NC EXTAL2 XTAL2 RDATA INDEX TRKO 33

17 32

D5 D6 D7 DREQ IRQ DEND V_{SS3} 1/2EX1 V_{CC1} NUM1 NUM2 IFS SFORM INP READY WPRT

■ 特　徴

- 高精度データ・セパレータ回路内蔵
- ＦＤＤ用ドライバ・レシーバ回路内蔵
- 16MHzおよび19.2MHz用のクロック発振回路内蔵
- ホスト・システムに対し8MHzクロックを出力
- ４本の出力ポートと１本の入力ポートを内蔵
- ４本のドライブ・セレクト出力信号により3.5インチ，5.25インチＦＤＤとダイレクトに接続可能
- 最大４台のドライブを制御可能
- データ転送レート
  ＦＭ変調　：125，150，250Kbps
  ＭＦＭ変調：250，300，500Kbps

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.3	V
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−55〜150	℃

■ DC特性

(T_a=0〜70℃，V_{CC}=5V±10%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		V_{CC}×0.42*	V
V_{OL}	I_{OL}=1.6mA	0.5	V
V_{OH}	I_{OH}=400μA	V_{CC}−1.0*	V
I_{IL}	V_{IN}=0〜V_{CC}	±2.5	μA
C_{IN}		15	pF

■ ブロック図

FDC
Host
FDD
ホスト・インターフェース
ROM アドレス・コントロール
ALU
タイマ
シーク・コントロール
内部バス
μROM
RAM
ライト・コントロール
リード・コントロール
VFO
I/O ポート
クロック・ジェネレータ
ドライバ・レシーバ

ALU：Arithmetic Logic Unit
VFO：Variable Frequency Oscillator

■端子機能

端子名	名　称	ピン番号	入出力	機　能
$\overline{RESET}$	リセット	3	入　力	1/2EX$_1$以外の出力信号を"High"レベルにする．D_0～D_7は入力状態となる．1/2EX$_1$は影響されない
E $\overline{RD}$	イネーブル、リード	4	入　力	記号 / IFS / / 機能: E $\overline{RD}$ / 0 / $\overline{RD}$ / リード動作を制御する信号を入力する E $\overline{RD}$ / 1 / $\overline{WR}$ / イネーブル信号を入力する R/$\overline{W}$, $\overline{WR}$ / 0 / $\overline{WR}$ / ライト動作を制御する信号を入力する R/$\overline{W}$, $\overline{WR}$ / 1 / R/$\overline{W}$ / リード動作であるかライト動作であるかを指定する信号を入力する
R/$\overline{W}$ $\overline{WR}$	リード/ライト、ライト	5	入　力	
$\overline{CS}$	チップ・セレクト	6	入　力	FDC をアドレッシングするための入力
RS_0, RS_1	レジスタ・セレクト 0，1	8，9	入　力	リード，ライトを行うレジスタを選択する
D_0～D_7	データ・バス 0～7	12～19	入出力	リード，ライト可能なデータ・バス
$\overline{IRQ}$	インタラプト・リクエスト	21	出　力	Non-DMA モードにおけるデータ転送時 MPU へのデータ転送要求を行う．また READ, WRITE, SEEK 系コマンドの終了を MPU へ知らせる
$\overline{DACK}$	DMA アクノリッジ	7	入　力	DMA 転送時，データ転送のタイミングを入力する端子
$\overline{DREQ}$	DMA リクエスト	20	出　力	DMAC へのデータ転送要求信号出力端子
$\overline{DEND}$	DMA エンド	22	入　力	データ転送を停止させる信号の入力端子
$\overline{IND}$	インプット・ポート	30	入　力	CHECK DEVICE STATUS コマンドの発行またはインプット・レジスタをリードすることで，入力レベルを知ることができるインプット・ポート
$\overline{READY}$	レディ	31	入　力	FDD からの $\overline{READY}$ 信号を入力する
$\overline{WPRT}$	ライト・プロテクト	32	入　力	FDD からの $\overline{WRITE\ PROTECTED}$ 信号を入力する
$\overline{TRK0}$	トラック 0	33	入　力	FDD からの $\overline{TRACK00}$ 信号を入力する
$\overline{INDEX}$	インデックス	34	入　力	FDD からの $\overline{INDEX}$ 信号を入力する
$\overline{RDATA}$	リード・データ	35	入　力	FDD からの $\overline{READ\ DATA}$ 信号を入力する
$\overline{WGATE}$	ライト・ゲート	47	出　力	FDD への書き込み制御信号出力端子
$\overline{WDATA}$	ライト・データ	48	出　力	FDD への $\overline{WRITE\ DATA}$ 信号出力端子
$\overline{STEP}$	ステップ	50	出　力	FDD のヘッドを動かす $\overline{STEP}$ 信号を出力する
$\overline{HDIR}$	ヘッド・ディレクション	51	出　力	FDDのヘッドの移動方向を示す信号を出力する
$\overline{HLOAD}$	ヘッド・ロード	52	出　力	FDD にヘッド・ロードを指示する信号を出力する
HSEL	ヘッド・セレクト	53	出　力	FDD のヘッドを選択する信号を出力する
$\overline{DS_0}$～$\overline{DS_3}$	ドライブ・セレクト 0～3	55～58	出　力	FDD を選択する信号を出力する
$\overline{MON_0}$～$\overline{MON_3}$	モータオン 0～モータオン 3	60～63	出　力	MON SET，MON RESET コマンドによりステータス・レジスタの BSY＝0 の間自由にセット，リセットできる出力ポート
1/2EX$_1$	1/2EXTAL$_1$	24	出　力	発振クロックを1/2分周したクロックを出力する
$XTAL_2$, $EXTAL_2$		36，37	—，入力	19.2MHz の水晶振動子を接続する
$XTAL_1$, $EXTAL_1$		39，40	—，入力	16MHz の水晶振動子を接続する
8″/5″	データ転送、レート選択	1	入　力	データ転送速度を指定する．8″/5″端子は，入力クロックの分周量を変えることでデータ転送速度を指定し，XTALSEL 端子は入力クロックとして EXTAL$_1$側のクロック（16MHz）を選ぶか，EXTAL$_2$側のクロック（19.2MHz）を選ぶかを選択する
XTALSEL	クロック選択	2	入　力	
IFS	インターフェース・セレクト	28	入　力	ホスト・インターフェースを指定する入力端子
SFORM	セレクト・フォーマット・データ	29	入　力	フォーマッティング時のフォーマット・データを選択する

FDC (Floppy Disk Controller)

■ ピン接続

μPD72067

信号	方向	ピン	ピン	方向	信号
DB_6	↔	1	48	↔	DB_5
DB_7	↔	2	47	↔	DB_4
DRQ	←	3	46	↔	DB_3
$\overline{DACK}$	→	4	45	↔	DB_2
TC	→	5	44	↔	DB_1
INT	←	6	43	↔	DB_0
XB_1	→	7	42		GND
XB_2		8	41	←	A_0
EXT	→	9	40	←	$\overline{CS}$
XA_1	→	10	39	←	$\overline{WR}$
XA_2		11	38	←	$\overline{RD}$
GND		12	37	←	RESET
GND		13	36		V_{CC}
RDATA	→	14	35	→	$\overline{RW}$/SEEK
WDATA	←	15	34	→	LCT/DIR
PCS_0(SYNC)	↔	16	33	→	FLTR/STEP
PCS_1(WINDOW)	→	17	32	→	HDLD
FMT(MFM)	↔	18	31	←	READY
CLKOUT	←	19	30	←	WPRT/2SIDE
INDEX	→	20	29	←	FLT/TRK_0
DR_1(EM_3)	↔	21	28	→	WE
DR_0(EM_2)	↔	22	27	→	US_0
EM_1	←	23	26	→	US_1
EM_0	←	24	25	→	SIDE

■ 特　徴

- スピンドル・モータ制御回路，書き込み補償回路などを内蔵したＦＤコントローラ
- 周辺回路の設定をプログラムで行う内部モードと外部端子で行う外部モードがある
- μPD765、7265などとコマンド・コンパチブル
- ウインドウ信号発生用ディジタルＶＦＯ内蔵
- データ転送速度
  MFM:500,300,250kbps
  FM :250,150,125kbps
- ＩＢＭフォーマットとＥＣＭＡ／ＩＳＯフォーマットの両方に対応
- 従来のＦＤＣと機能コンパチブルで，ＦＤを４台ドライブ可能
- Ｖシリーズのデータ・バス，制御バスとコンパチブル

■ ブロック図

コマンド実行時に自動的に選択される

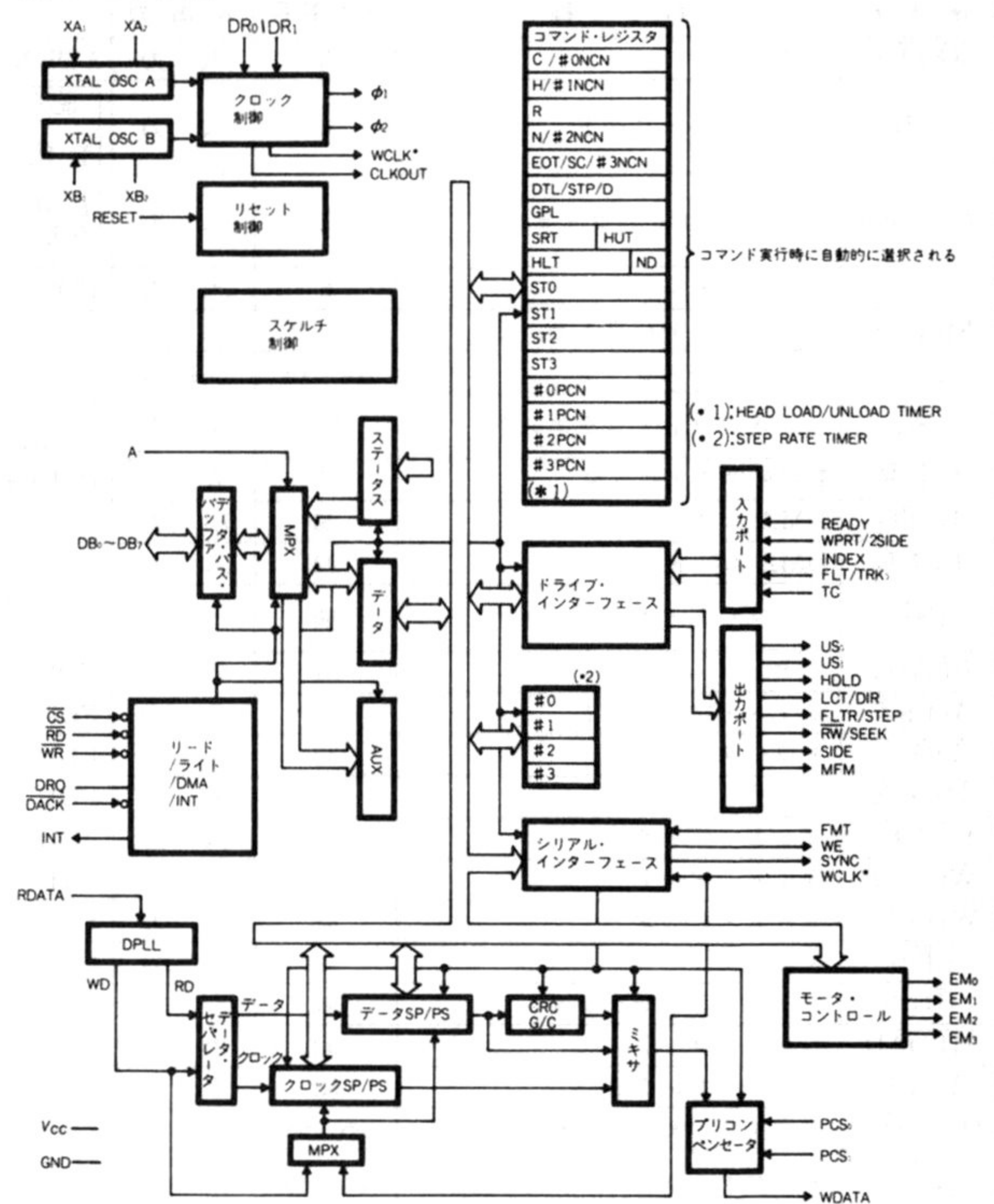
(＊1):HEAD LOAD/UNLOAD TIMER
(＊2):STEP RATE TIMER

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜 V_{CC}＋0.5	V
動作温度	T_{OPR}	−10〜70	℃
保存温度	T_{STG}	−65〜150	℃

■ DC特性

（T_a＝−10〜70℃, V_{CC}＝5V±10%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝2.0mA	0.45	V
V_{OH}	I_{OH}＝200μA	0.7× V_{CC}*	V
I_{OL}	V_{OUT}＝0.45〜 V_{CC}	±10	μA
I_{IL}	V_{IN}＝0〜 V_{CC}	±10	μA
C_{IN}		10	pF

■端子機能

端子名	ピン番号	入出力	機能
RESET	37	入力	アイドル状態にする
$\overline{RD}$	38	入力	メイン・システムがFDCからデータ・バスへデータを読み出すための制御信号
$\overline{WR}$	39	入力	メイン・システムがデータ・バスのデータをFDCへ書き込むための制御信号
$\overline{CS}$	40	入力	$\overline{RD}$，$\overline{WR}$信号を有効にする
A_0	41	入力	アドレス・バスを介してFDC内部のステータス・レジスタ，データ・レジスタ，または補助コマンド・レジスタを選択
DB_0～DB_7	43～48，1，2	入出力	双方向3ステートのデータ・バス
DRQ	3	出力	DMAモードでのデータ転送要求信号
$\overline{DACK}$	4	入力	DMAサイクルの許可信号
TC	5	入力	データ転送の終了指示信号
INDEX	20	入力	ドライブのリード/ライト・ヘッドがメディア上のトラックの物理的開始点に位置することを示す信号
INT	6	出力	メイン・システムに対して転送データや実行結果の処理を要求する信号
PCS_0 (SYNC)(注1)	16	入力（出力）	外部モードのときはPCS_0となり，プリコンペンセーション量を決める信号を入力する
PCS_1 (WINDOW)(注1)	17	入力（入力）	外部モードのときはPCS_1となり，プリコンペンセーション量を決める信号を入力する
RDATA	14	入力	ドライブからの読み出しデータで，クロック・ビットとデータ・ビットで構成されている信号
FMT (MFM)(注1)	18	入力（出力）	外部モードのときはFMTとなり，IBMフォーマットかECMAフォーマットかを選択する信号を入力する．0：IBMフォーマット 内部モードのときのフォーマットは，SELECT FORMATコマンドで指定する．内部モードでEXT＝1のときはMFMとなり，外付けVFO回路の動作モードを指定する信号を出力する．EXT＝0のときは無意味となる．0：FMモード
XA_1	10	入力	内部VFOを用いるとき（EXT＝0）は，32MHzの水晶振動子を接続する．外部クロックを用いるときは，XA_1端子に入力する（XA_2端子はオープン）．外付けVFOを用いるとき（EXT＝1）は，16MHzの水晶振動子を接続する．外部クロックを用いるときは，XA_1端子に入力する（XA_2端子はオープン）．
XA_2	11	—	
XB_1	7	入力	300kbps系のデータ転送速度を用いるときに19.2MHzの水晶振動子を接続する．外部クロックを用いるときは，XB_1端子に入力する（XB_2端子はオープン）．300kbps系のデータ転送速度を用いない場合は，XB_1端子をプルダウンする（XB_2端子はオープン）
XB_2	8	—	

端子名	ピン番号	入出力	機能
EXT(注2)	9	入力	内部モードのときに内蔵のVFO回路を用いるか，外付けのVFOを用いるかを決める信号を入力する．0：内蔵
WE	28	出力	ドライブに対して書き込みを指示する信号
SIDE	25	出力	両面型ドライブのヘッド0，1を選択する信号．0のときヘッド0
$US_{0,1}$	27，26	出力	ドライブ選択信号
WDATA	15	出力	ドライブへの書き込みデータで，クロック・ビットとデータ・ビットで構成する
$DR_{0,1}$ ($EM_{2,3}$)	22，21	入力（出力）	外部モードのときは$DR_{0,1}$となりデータ転送速度を決める信号を入力する．内部モードのときは$EM_{2,3}$となりドライブのスピンドル・モータの制御信号を出力する．FDCに19.2MHzのクロックを供給しない場合（XB_1端子をプルダウンしている場合），DR_1(EM_3)端子は必ずプルダウンする
$EM_{0,1}$	24，23	出力	ドライブのスピンドル・モータの制御信号を出力
CLKOUT	19	出力	外付けVFOとしてμPD71065/71066を用いる場合，μPD71065/71066が必要なクロックを出力する．DR_1＝0のときは16MHz，DR_1＝1のときは19.2MHzのクロックが出力
FLT/TRK_0	29	入力	$\overline{RW}$/SEEK信号が，$\overline{RW}$を指定しているときはFLTとなり，ドライブのFAULT状態であるかどうかを示す信号を入力する．$\overline{RW}$/SEEK信号が，SEEKを指定しているときはTRK_0となり，ドライブのリード/ライト・ヘッドがシリンダ0に位置するかどうかを示す信号を入力する
WPRT/2SIDE	30	入力	$\overline{RW}$/SEEK信号が，$\overline{RW}$を指定しているときはWPRTとなり，メディアが書き込み禁止状態であるかどうかを示す信号を入力する．$\overline{RW}$/SEEK信号がSEEKを指定しているときは2 SIDE
READY	31	入力	ドライブがレディ状態であることを示す信号
HDLD	32	出力	ドライブのリード/ライト・ヘッドをロード状態にする信号
FLTR/STEP	33	出力	$\overline{RW}$/SEEK信号が$\overline{RW}$を指定しているときはFLTRとなり，ドライブのFAULT状態を解除する．$\overline{RW}$/SEEK信号をSEEKを指定しているときはSTEP
LCT/DIR	34	出力	$\overline{RW}$/SEEK信号が$\overline{RW}$を指示しているときはLCTとなり，ドライブのリード/ライト・ヘッドが43番目以降のシリンダを選択．$\overline{RW}$/SEEK信号がSEEKを指定しているときはDIRとなり，シーク動作の方向を指定する．0のとき遠心方向
$\overline{RW}$/SEEK	35	出力	ドライブ・インターフェース信号のうち，リード/ライト用とシーク用を兼用している信号を区別する信号．0のときRW

（注1）内部モードで内蔵VFOを使用する場合を含め，常にプルアップまたはプルダウンして入力レベルを固定する．
（注2）内蔵モードの場合EXT＝0のときは“L”で，EXT＝1のときはクロックを出力する．外部モードでは“L”になる．

HFDC (Hard/Floppy Disk Controller)

■ ピン接続

μPD7260

信号	ピン	ピン	信号
SYNC ←	1	40	V_{CC}
R/W DATA ↔	2	39	→ RGATE
RCLK →	3	38	→ WGATE
RESET →	4	37	← CLK
INT ←	5	36	← INDEX
DMAREQ ←	6	35	→ PCL
$\overline{TC}$ →	7	34	→ PCE
WCLK →	8	33	← [DSD] (2SIDE)
$\overline{RD}$ →	9	32	← [SKC] (WPRT)
$\overline{WR}$ →	10	31	← FLT/TRK0
A_0 →	11	30	← READY
D_0 ↔	12	29	→ DS_0
D_1 ↔	13	28	→ DS_1
D_2 ↔	14	27	→ HS_0
D_3 ↔	15	26	→ [HS_1]
D_4 ↔	16	25	→ [HS_2] (FLTR)
D_5 ↔	17	24	→ [HS_3] (HDLD)
D_6 ↔	18	23	→ RW/$\overline{SEEK}$
D_7 ↔	19	22	→ MFM/STEP
GND	20	21	→ RWC/DIR

(　)：フロッピ・ディスクのみ
[　]：ハード・ディスクのみ

■ 特　徴

- ＩＢＭ／ＥＣＭＡフォーマットのフロッピ・ディスクとフロッピ準拠インターフェースのハード・ディスクの制御が可能なコントローラ
- ハード／フロッピ・ディスク併せて４台まで接続可能
- トラック・フォーマットはプログラマブル
  データ長：128, 256, 512, 1024, 2048, 4096, 819 バイト／セクタ
  セクタ数：256セクタ／トラック（最大）
- １６種類のディスク・コマンドをもつ
- マルチセクタ，マルチトラック・リード／ライト可能，マルチ・シーク可能
- ＣＲＣ発生，チェック機能をもつ
- ＥＣＣ発生，チェック，訂正情報の生成機能をもつ（ハード・ディスクのみ）
- ＤＭＡデータ転送

■ ブロック図

CLK, RESET → プロセシング・ユニット
フォーマット・コントロール: RCLK, WCLK, R/W DATA, SYNC, RGATE, WGATE, INDEX
データ FIFO (8×8)
マルチプレクサ: D_0～D_7
コマンド・ステータス・レジスタ
内部バス
ディスク・インターフェース: PCL, PCE, [DSD] (2SIDE), [SKC] (WPRT), FLT/TRK0, READY, DS_0, DS_1, HS_0, [HS_1], [HS_2] (FLTR), [HS_3] (HDLD), RW/$\overline{SEEK}$, MFM/STEP, RWC/DIR
リード/ライト・割り込み・DMA コントロール: A_0, $\overline{RD}$, $\overline{WR}$, INT, DMARQ, $\overline{TC}$
ROM
RAM

(　)内はフロッピ・ディスク・インターフェースのとき
[　]内はハード・ディスク・インターフェースのとき

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～7.0	V
入力電圧	V_{IN}	−0.5～7.0	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−65～150	℃

■ DC特性

(T_a＝0～70℃，V_{CC}＝5V±10%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝2.0mA	0.45	V
V_{OH}	I_{OH}＝100μA	2.4*	V
I_{OL}	V_{OUT}＝0.45～V_{CC}	±30	μA
I_{IL}	V_{IN}＝0.45～V_{CC}	±10	μA
C_{IN}		15	pF

■端子機能

端子名	ピン番号	入出力	機能
CLK	37	入力	外部クロック入力
D_0~D_7	11, 12~19	入力 入出力	8ビットの双方向データ・バス
$\overline{RD}$	9	入力	データ/ステータスを読み出すための制御信号が入力される
$\overline{WR}$	10	入力	データ/コマンドを書き込むための制御信号が入力される
A_0	11	入力	レジスタとデータFIFOを選択する信号が入力される
INT	5	出力	ホスト・システムに対する割り込み要求信号を出力
DMARQ	6	出力	ホスト・システムに対するDMA要求信号を出力
$\overline{TC}$	7	入力	データ転送の終了指示信号がホスト・システムから入力される
RESET	4	入力	リセット入力.CLK信号の100サイクル以上の時間"H"レベルを入力すると,すべての内部レジスタをクリアし,アイドル状態になる
R/W DATA	2	入出力	リード動作時にはディスク・ドライブからの読み出しデータの入力となり,ライト動作時にはディスク・ドライブの書き込みデータの出力となる
SYNC	1	出力	読み出しデータの中から連続する16ビット長の"0"を検出したことを示す信号
RCLK	3	入力	読み出しデータをサンプリングするためのクロック信号がVFO回路から入力される
WCLK	8	入力	ディスク・ドライブへの書き込みデータ,PCL,PCE信号の出力タイミングを作るためのクロック信号が入力される
RGATE	39	出力	データ読み出しのための制御信号を出力
WGATE	38	出力	データ書き込みのための制御信号を出力
INDEX	36	入力	インデックス・ホール検出信号が入力される

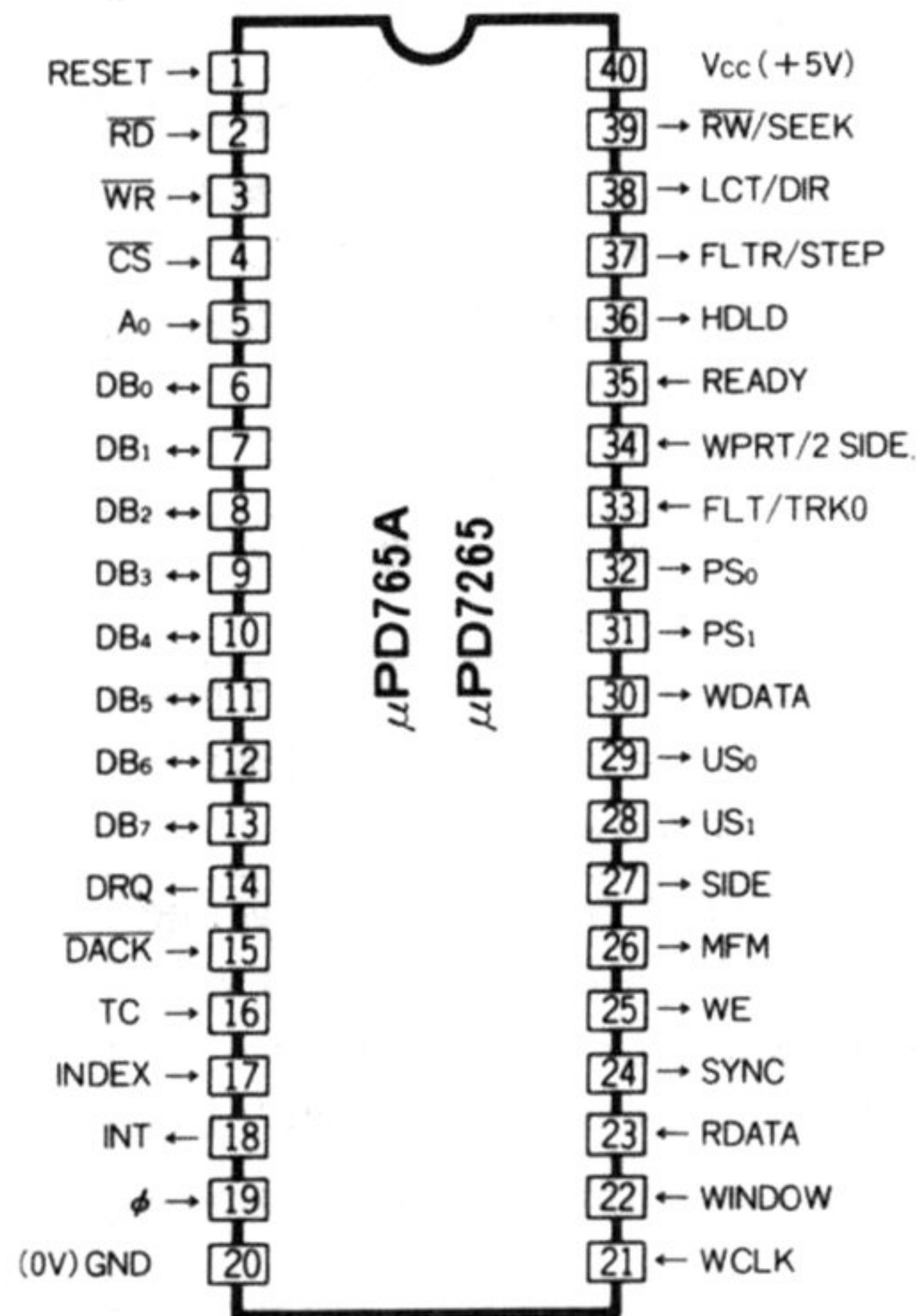
端子名	ピン番号	入出力	機能
PCL, PCE	35, 34	出力	リード・データのピーク・シフトを補正するため,ディスク・ドライブにデータを書き込むときに,あらかじめ大きなピーク・シフトを生じるビットを一定時間遅らせるか早めることを指示する信号を出力
DS_0, DS_1	29, 28	出力	ディスク・ドライブで選択信号を出力
READY			ディスク・ドライブがレディ状態であることを示す信号が入力される
RW/$\overline{SEEK}$	23	出力	ディスク・ドライブ・インターフェース信号の内,シーク用とリード/ライト用を兼用している信号を区別するための信号を出力
MFM/STEP	22	出力	リード/ライト動作の場合には,VFO回路の動作モードを指定するMFM信号を出力する.シーク動作の場合には,リード/ライト・ヘッドを移動させるためのSTEP信号を出力する
RWC/DIR	21	出力	Read Write Current信号またはDirection信号を出力する
FIT/TRK0	31	入力	FaultまたはTrack0信号を出力する
HS_0~HS_3*	24~27	出力	リード/ライト・ヘッド選択信号を出力する
DSD*	33	入力	該当のディスク・ドライブが選択されたことを示す信号を入力する
SKC*	32	入力	ヘッドのシーク動作を完了し,静止したことを示すSKC信号を入力する
HS_0**	27	出力	リード/ライト・ヘッド選択信号を入力する
2SIDE**	33	入力	両面用のメディアが入っていることを示す信号入力
FLTR**	25	出力	フォルト状態をクリアする信号
HDLD**	24	出力	ヘッドをロード状態にする信号
WPRT**	32	入力	メディアが書き込み禁止であることを示す信号を入力

*ハード・ディスクの端子機能　　**フロッピ・ディスクの端子機能

FDC (Floppy Disk Controller)

■ ピン接続

μPD765A / μPD7265

ピン	信号	ピン	信号
1	RESET →	40	Vcc (+5V)
2	$\overline{RD}$ →	39	→ $\overline{RW}$/SEEK
3	$\overline{WR}$ →	38	→ LCT/DIR
4	$\overline{CS}$ →	37	→ FLTR/STEP
5	A_0 →	36	→ HDLD
6	DB_0 ↔	35	← READY
7	DB_1 ↔	34	← WPRT/2 SIDE
8	DB_2 ↔	33	← FLT/TRK0
9	DB_3 ↔	32	→ PS_0
10	DB_4 ↔	31	→ PS_1
11	DB_5 ↔	30	→ WDATA
12	DB_6 ↔	29	→ US_0
13	DB_7 ↔	28	→ US_1
14	DRQ ←	27	→ SIDE
15	$\overline{DACK}$ →	26	→ MFM
16	TC →	25	→ WE
17	INDEX →	24	→ SYNC
18	INT ←	23	← RDATA
19	ϕ →	22	← WINDOW
20	(0V) GND	21	← WCLK

■ 特　徴

- ＦＭ／ＭＦＭ制御（コマンドで指定）
- 記録長は可変
  128, 256, 512, 1024, 2048, 4096, 819バイト／セクタ
- マルチセクタ，マルチトラック機能
- ドライバは4台まで接続可能
- 部分リード／ライト機能（１２８バイト／セクタのみ）
- ＣＲＣ発生，チェック機能内蔵
- ステップ速度プログラマブル
- ヘッド・ロード／アンロード時間プログラマブル
- データ・スキャン機能（一致，大，小の検出）
- ＤＭＡ／ｎｏｎ－ＤＭＡデータ転送
- ライト補正用制御信号発生
- ７６５　：ＩＢＭフォーマット・コンパチブル
  ７２６５：ＥＣＭＡ／ＩＳＯミニフロッピ・フォーマット・コンパチブル

■ 最大定格

（T_a＝25℃）

項　目	記号	定　格	単位
すべての端子		−0.5～＋7.0	V
動作温度	T_{OPR}	−10～＋70	℃
保存温度	T_{STG}	−65～＋150	℃

■ ブロック図

DB₀～DB₇
データ・バス・バッファ
レジスタ部
シリアル・インターフェース・コントローラ
WCLK
WDATA
WE
PS_0
PS_1
RDATA
WINDOW
SYNC
DRQ
$\overline{DACK}$
INT
$\overline{RD}$
$\overline{WR}$
A_0
TC
RESET
リード/ライト・DMAコントロール部
$\overline{CS}$
ドライバ・インターフェース・コントローラ
入出ポート
READY
WPRT/2 SIDE
INDEX
FLT/TRK0
出力ポート
US_0
US_1
MFM
$\overline{RW}$/SEEK
HDLD
SIDE
LCT/DIR
FLTR/STEP
ϕ
Vcc
GND

■ DC特性

（μPD765A, μPD7265　：T_a＝−10～＋70℃，V_{CC}＝＋5V±5%
μPD726A-2　：T_a＝−10～＋70℃，V_{CC}＝＋5V±10%）

項　目	記号	測定条件	規格値 μPD765A・μPD7265		規格値 μPD765A-2		単位
			min	max	min	max	
"L"レベル入力電圧	V_{IL}		−0.5	0.8	−0.5	0.8	V
"H"レベル入力電圧	V_{IH}		2.0	Vcc+0.5	2.0	Vcc+0.5	V
"L"レベル入力電圧(ϕ, WCLK)	$V_{IL\phi}$		−0.5	0.65	−0.5	0.65	V
"H"レベル入力電圧(ϕ, WCLK)	$V_{IH\phi}$		2.4	Vcc+0.5	2.4	Vcc+0.5	V
"L"レベル出力電圧	V_{OL}	I_{OL}＝2.0mA		0.45		0.45	V
"H"レベル出力電圧	V_{OH}	I_{OH}＝−200μA	2.4	Vcc	2.4	Vcc	V
"L"レベル入力リーク電流	I_{LIL}	V_{IN}＝0V		−10		−10	μA
"H"レベル入力リーク電流	I_{LIH}	V_{IN}＝Vcc		+10		+10	μA
"L"レベル出力リーク電流	I_{LOL}	V_{OUT}＝+0.45V		−10		−10	μA
"H"レベル出力リーク電流	I_{LOH}	V_{OUT}＝Vcc		+10		+10	μA

■ 端子機能

端子名	ピン番号	入出力	機能
RESET	1	入力	FDCをアイドル状態にする
$\overline{RD}$	2	入力	データを読み出すための制御信号
$\overline{WR}$	3	入力	FDCへ書き込むための制御信号
$\overline{CS}$	4	入力	$\overline{RD}$，$\overline{WR}$信号を有効にする
A_0	5	入力	アドレス・バスを介してFDC内部のステータス・レジスタまたはデータ・レジスタを選択するための信号
DB_7～DB_0	6～13	入出力	双方向3ステートのデータ・バス
DRQ	14	出力	DMAモードでのデータ転送要求信号．
$\overline{DACK}$	15	入力	DMAサイクルの許可信号
TC	16	入力	データ転送の終了指示信号
INDEX	17	入力	ドライブのリード/ライト・ヘッドがメディア上のトラックの物理的開始点に位置することを示す信号
INT	18	出力	メイン・システムに対して，転送データや実行結果の処理を要求する信号
ϕ	19	入力	単相，TTLレベル・クロックでプルアップ抵抗を必要とする．
WCLK	21	入力	ライト時の転送データのタイミング信号．ただしリード時にも入力しておく必要がある． FM：16ϕ_{CY}，MFM：8ϕ_{CY}
WINDOW	22	入力	VFO回路で生成する信号．
RDATA	23	入力	ドライブからの読み出しデータ．
SYNC	24	出力	FDCの動作モードを表示する信号．
WE	25	出力	ドライブに対して書き込みを指示する信号
MFM	26	出力	VFO回路の動作モードを指定する信号．
SIDE	27	出力	両面型ドライブのヘッド0,1を選択する信号．
$US_{0,1}$	29，28	出力	ドライブ選択信号．
WDATA	30	出力	ドライブへの書き込みデータ．
$PS_{0,1}$	32，31	出力	MFMモードで書き込むときに生じるピーク・シフトを相殺する目的で，あらかじめWDATAのビットを予想されるピーク・シフトとは逆方向にシフトさせるための指示信号
FLT/TRK0	33	入力	$\overline{RW}$/SEEK信号が，$\overline{RW}$を指定しているときはFLTとなり，ドライブのFAULT状態であるかどうかを示す信号を入力する． $\overline{RW}$/SEEK信号が，SEEKを指定しているときはTRK0となり，ドライブのリード/ライト・ヘッドがシリンダ0に位置するかどうかを示す信号を入力する
WPRT/2SIDE	34	入力	$\overline{RW}$/SEEK信号が，$\overline{RW}$を指定しているときはWPRT信号となる． $\overline{RW}$/SEEK信号がSEEKを指定しているときは2SIDE信号となる．
READY	35	入力	ドライブがレディ状態であることを示す信号
HDLD	36	出力	ドライブのリード/ライト・ヘッドをロード状態にする信号
FLTR/STEP	37	出力	$\overline{RW}$/SEEK信号が$\overline{RW}$を指定しているときはFLTR信号となる． $\overline{RW}$/SEEK信号がSEEKを指定しているときはSTEPとなり，シーク・パルスを発生する
LCT/DIR	38	出力	$\overline{RW}$/SEEK信号が$\overline{RW}$を指示しているときはLCTとなる． $\overline{RW}$/SEEK信号がSEEKを指定しているときはDIRとなり，シーク動作の方向を指定する．
$\overline{RW}$/SEEK	39	出力	ドライブ・インターフェース信号のうち，リード/ライト用とシーク用を兼用している信号を区別する信号．

FDC(Floppy Disk Controller)

■ ピン接続

82077

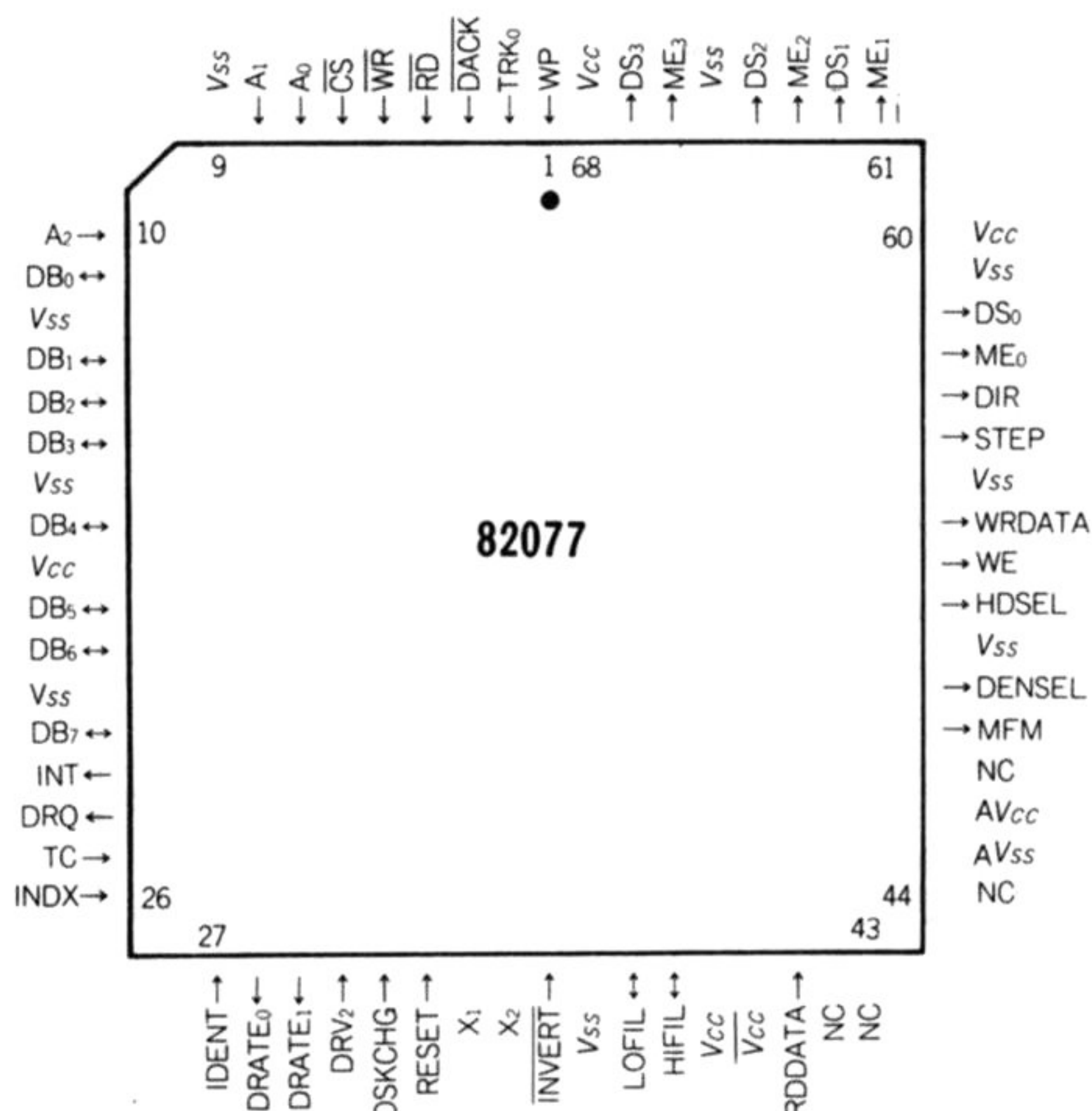
V_{SS} A1 A0 $\overline{CS}$ $\overline{WR}$ $\overline{RD}$ $\overline{DACK}$ $\overline{TRK_0}$ $\overline{WP}$ V_{CC} DS3 ME3 V_{SS} DS2 ME2 DS1 ME1

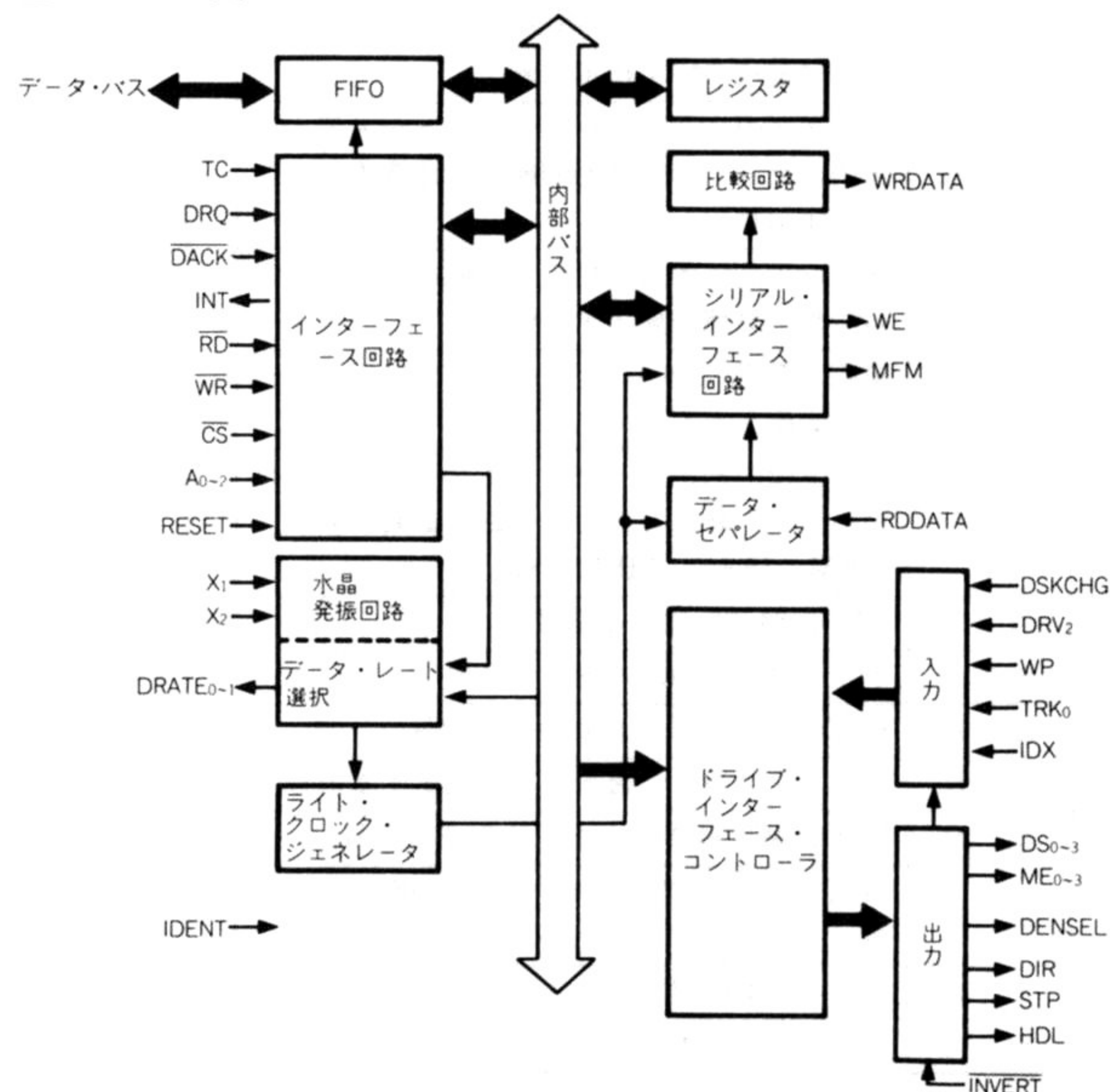
9 1 68 61

A2 DB0 V_{SS} DB1 DB2 DB3 V_{SS} DB4 V_{CC} DB5 DB6 V_{SS} DB7 INT DRQ TC INDX (10–26)

V_{CC} V_{SS} DS0 ME0 DIR STEP V_{SS} WRDATA WE HDSEL V_{SS} DENSEL MFM NC AV_{CC} AV_{SS} NC (60–44)

27 43

IDENT DRATE0 DRATE1 DRV2 DSKCHG RESET X1 X2 $\overline{INVERT}$ V_{SS} LOFIL HIFIL V_{CC} V_{CC} RDDATA NC NC

■ 特　徴

・ＩＢＭ　ＰＣ／ＡＴおよびＰＳ／２ディスク・ドライブ・システム互換
・250K/300K/500K/1Mbpsのアナログ・データ・セパレータ
・最大４台までの3.5/5.25インチＦＤドライブをサポート
・１２ｍＡのデータ・バス・ドライブ，４０ｍＡのディスク・ドライブ能力をもつ
・２５６トラックを直接アクセス可能
・１６バイトのＦＩＦＯメモリ内蔵

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜8.0	V
入力電圧	V_{IN}	GND−2.0〜6.0	V
消費電力	P_D	1.0	W
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−65〜150	℃

■ DC特性

（T_a＝0〜70℃, V_{CC}＝5V±10％）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝2.5mA	0.4	V
V_{OH}	I_{OH}＝2.5mA	3.0	V
I_{OL}	V_{OUT}＝0.45〜V_{CC}	±10	μA
I_{IL}	V_{IN}＝0, V_{CC}	±10	μA
C_{IN}	f＝1MHz, T_a＝25℃	10	pF

■ ブロック図

データ・バス
FIFO
レジスタ
内部バス
比較回路
WRDATA
TC
DRQ
$\overline{DACK}$
INT
$\overline{RD}$
$\overline{WR}$
$\overline{CS}$
A0〜7
RESET
インターフェース回路
シリアル・インターフェース回路
WE
MFM
データ・セパレータ
RDDATA
X1
X2
水晶発振回路
データ・レート選択
DRATE0〜1
ライト・クロック・ジェネレータ
IDENT
ドライブ・インターフェース・コントローラ
入力
DSKCHG
DRV2
WP
TRK0
IDX
出力
DS0〜3
ME0〜3
DENSEL
DIR
STP
HDL
$\overline{INVERT}$

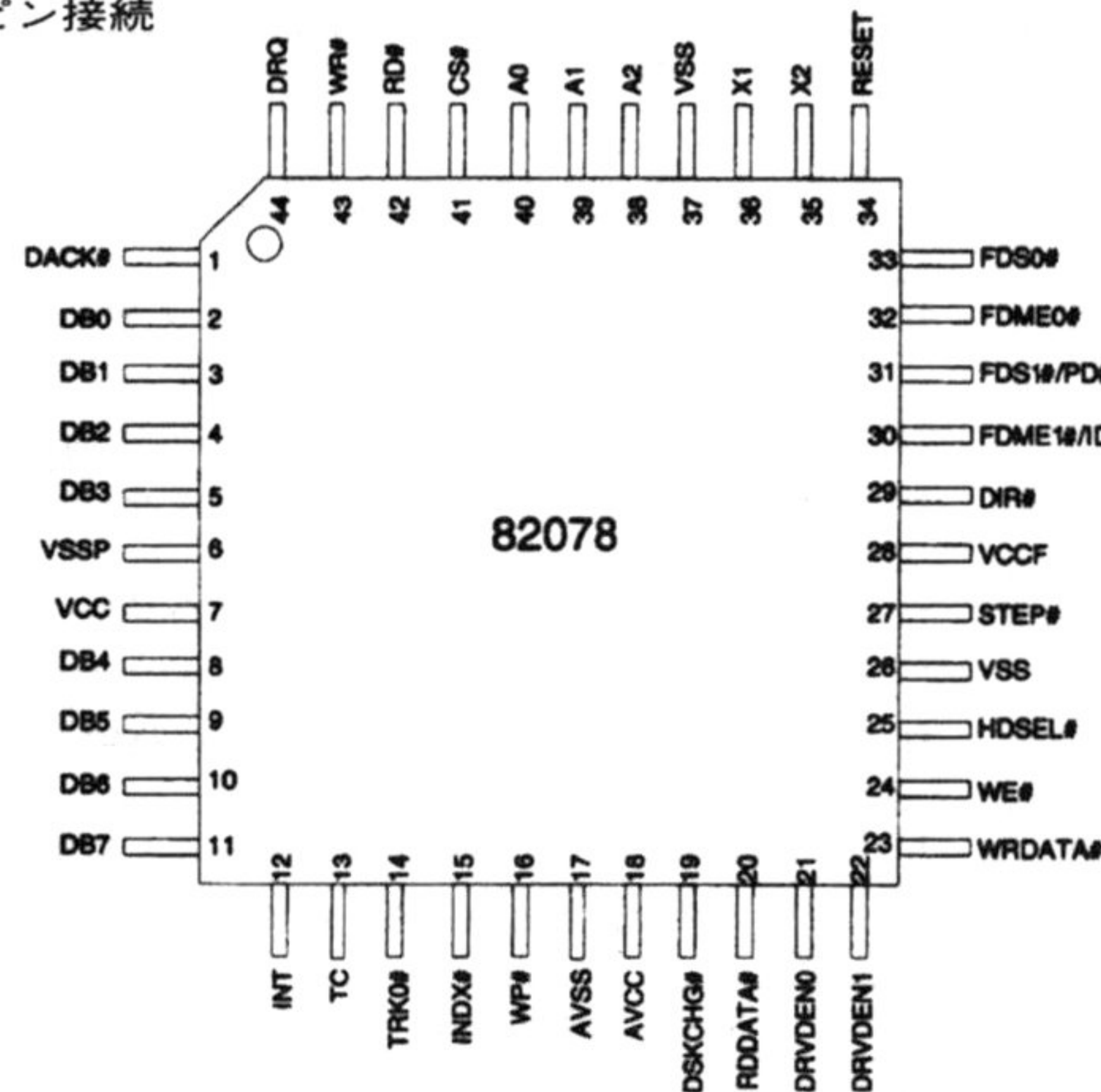
■ 端子機能

端子名	ピン番号	入出力	機能
RESET	32	入力	リセット入力．“H”アクティブで，内部レジスタはクリアされる
$\overline{CS}$	6	入力	リード，ライト時のチップ・セレクト
A_0～A_2	7，8，10	入力	内部レジスタ選択用アドレス
DB_0～DB_7	11，13～15，17，19，20，22	入出力	12mA のドライブ能力をもつデータ・バス
$\overline{RD}$	4	入力	読み出しコントロール信号
$\overline{WR}$	5	入力	書き込みコントロール信号
DRQ	24	出力	DMA コントローラへのサービス要求
$\overline{DACK}$	3	入力	DMA 受け付け信号入力
TC	25	入力	DMA コントローラからの終了信号入力．AT モードでは“H”アクティブ，PS/2モードでは“L”アクティブ
INT	23	出力	非DMA モードでのデータ転送用割り込み出力
X_1，X_2	33，34	—	水晶振動子接続端子
IDENT	27	入力	PC-AT または PS/2モードの選択信号．“H”のとき AT モード，“L”のとき PS/2モード
$\overline{INVERT}$	35	入力	ディスク・コントロール用のすべての信号の極性を反転させる
ME_0～ME_3	57，61，63，66	出力	ドライブ0～3のモータ・イネーブル信号
DS_0～DS_3	58，62，64，67	出力	ドライブ0～3のセレクト信号．ディジタル出力レジスタと $ME_{0\sim3}$ をデコードして作られる
HDSEL	51	出力	使用するディスク面を選択する．“H”のときサイド1を示す
STEP	55	出力	ドライバへのステップ・パルスを供給する
DIR	56	出力	ヘッドの動作方向を決める．“H”のときセンタ方向を示す
WRDATA	53	出力	ドライバへの FM/MFM シリアル・データ
WE	52	出力	ディスクへのライト・イネーブルを示す信号
DENSEL	49	出力	ディスクへの書き込み密度が“L”か“H”かを示す．PS/2と AT では密度と信号の対応が逆
DSKCHG	31	入力	ディスク交換信号で，ディジタル入力レジスタに格納される
DRV_2	30	入力	セカンド・ドライブが実装されているか否かを示す．ステータス・レジスタAに格納される
TRK_0	2	入力	ヘッドがトラック0の位置にあることを示す
WP	1	入力	ディスクが書き込み保護されているか否かを示す
INDX	26	入力	トラックの先頭を示す
RDDATA	41	入力	ディスクからのシリアル・データ入力
HIFIL	38	入出力	内部のデータ・セパレータ用のリファレンス信号
LOFIL	37	入出力	リファレンス・フィルタ・キャパシタ用のロー・ノイズ・グラウンド
MFM	48	出力	データのエンコード/デコード・モードを選択する．“H”のとき MFM となる
$DRATE_{0,1}$	28，29	出力	データ・レート・レジスタのビット0，1を出力している

Floppy Disk Controller

■ピン接続

82078

1 DACK#, 2 DB0, 3 DB1, 4 DB2, 5 DB3, 6 VSSP, 7 VCC, 8 DB4, 9 DB5, 10 DB6, 11 DB7, 12 INT, 13 TC, 14 TRK0#, 15 INDX#, 16 WP#, 17 AVSS, 18 AVCC, 19 DSKCHG#, 20 RDDATA#, 21 DRVDEN0, 22 DRVDEN1, 23 WRDATA#, 24 WE#, 25 HDSEL#, 26 VSS, 27 STEP#, 28 VCCF, 29 DIR#, 30 FDME1#/IDLE#, 31 FDS1#/PD#, 32 FDME0#, 33 FDS0#, 34 RESET, 35 X2, 36 X1, 37 VSS, 38 A2, 39 A1, 40 A0, 41 CS#, 42 RD#, 43 WR#, 44 DRQ

■最大定格

項目	記号	定　格	単位
電源電圧	V_{CC}	-0.5～+8.0	V
入力電圧	V_{IN}	-2.0～+6.5	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	-65～+150	℃

■ DC 特性

（Ta＝0～70℃）

記号	V_{CC}＝5V±10%		V_{CC}＝3.3V±0.3V		単位
	測定条件	max/min*	測定条件	max/min*	
V_{IL}		0.8		0.8	V
V_{IH}		2.0*		2.0*	V
V_{OL}	I_{OL}＝12mA	0.45	I_{OL}＝6mA	0.45	V
V_{OH}	I_{IL}＝4mA	3.0*	I_{IL}＝2mA	2.4*	V
I_{IL}	VIN＝0，V_{CC}	±10	VIN＝0，V_{CC}	±10	μA
C_{IN}	Ta＝25℃，f＝1MHz	10	Ta＝25℃，f＝1MHz	10	pF

■特　徴

- ポータブルPC，デスクトップPCのいずれにも利用できるIBMおよびISOフォーマット準拠のコントローラ
- ブート・ドライブの選択が可能
- 250K／300K／500K／1Mbpsのアナログ・データ・セパレータ内蔵
- プログラマブルな内部発信回路
- 高性能パワー・マネージメント機能内蔵
  - ―ダイレクト・パワーダウンと自動パワーダウンを選択可能
  - ―2個の外部パワー・マネージメント端子
  - ―パワーダウン時の消費電力はゼロ
- 垂直磁化方式の4MBドライブもサポート
- 16バイトのFIFO内蔵
- 82077，8272（765コンパチ）と機能的にコンパチブル
- 5V系および3.3V系の2種類のバージョンが利用可能

■ブロック図

RD#　WR#　A[0:2]　DACK#　DRQ　INT　TC　CS#　RESET　DB[0:7]　X[1:2]

ホスト・インターフェース回路

SRA　SRB　DOR　TDR　MSR　DSR　FIFO　DIR　CCR

内部バス

比較回路　シリアル・インターフェース回路　ライト・クロックジェネレータ　データ・セパレータ

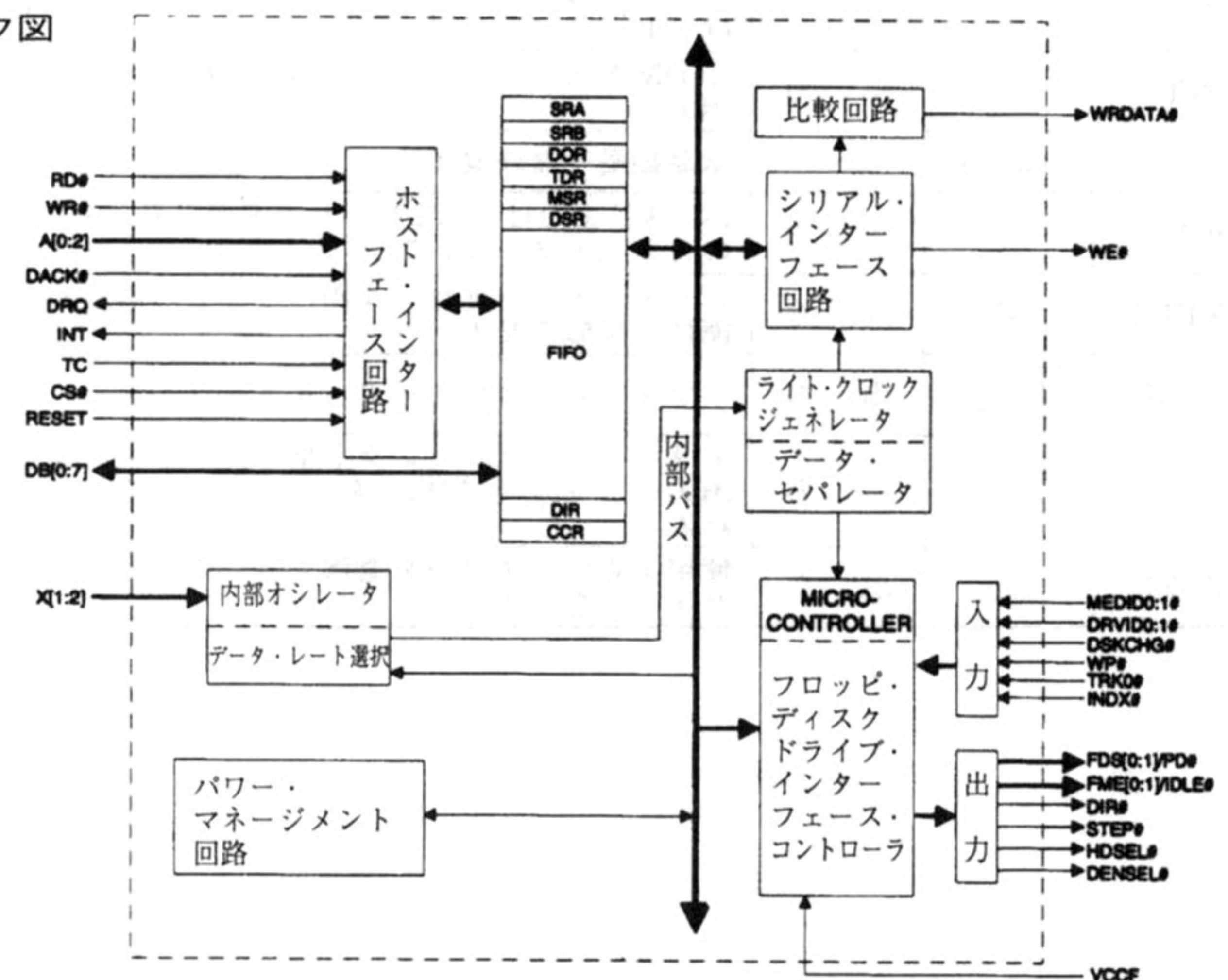
内部オシレータ　データ・レート選択

パワー・マネージメント回路

MICRO-CONTROLLER　フロッピ・ディスクドライブ・インターフェース・コントローラ

入力：MEDID0:1#　DRVID0:1#　DSKCHG#　WP#　TRK0#　INDX#

出力：FDS[0:1]/PD#　FME[0:1]/IDLE#　DIR#　STEP#　HDSEL#　DENSEL#

WRDATA#　WE#　VCCF

■端子機能

ホスト・インターフェース

端子名	ピン番号	入出力	機能
RESET	34	入力	リセット入力端子 スペック・コマンドで設定された以外のレジスタの内容はこの信号でリセットされる
A0, A1, A2	40, 39, 38	入力	内部レジスタ選択用アドレス
CS#	41	入力	リード，ライト時のチップ・セレクト
RD#	42	入力	フロッピ・ドライブからシステムへのデータ転送時のリード・コントロール信号
WR#	43	入力	システムからフロッピ・ドライブへのデータ転送時のライト・コントロール信号
DRQ	44	出力	DMAコントローラへのDMA要求信号
DACK#	1	入力	DMAアクノリッジ信号
DB0～DB7	2～5, 8～11	入出力	ドライブ能力12mAのデータ・バス
INT	12	出力	非DMAモードでのデータ転送用およびステータス変化時の割り込み出力
TC	13	入力	DMAコントローラからの転送終了信号入力
X1, X2	36, 35	—	外部クロック接続または水晶振動子接続端子

ＰＬＬ部分

端子名	ピン番号	入出力	機能
RDDATA#	20	入力	フロッピ・ディスクからのシリアル・データ入力

ディスク・コントロール

端子名	ピン番号	入出力	機能
TRK0#	14	入力	ヘッドがトラック0の位置にあることを示す信号で，アクティブLow
INDX#	15	入力	トラックの先頭であることを示すインデックス信号で，アクティブLow

ディスク・コントロール（続き）

端子名	ピン番号	入出力	機能
WP#	16	入力	ディスクが書き込み保護されているか否かを示すライト・プロテクト信号でアクティブLow
DSKCHG#	19	入力	フロッピ・ドライブからのディスク交換信号で，ディジタル入力レジスタ(DIR)に格納される
DRVDEN0, DRVDEN1	21, 22	出力	フロッピ・ドライブ側で使用される記録密度信号
WRDATA#	23	出力	フロッピ・ドライブへの書き込み用MFMシリアル・データ
WE#	24	出力	フロッピ・ドライブへの書き込みが可能であることを示すライト・イネーブル信号
STEP#	27	出力	フロッピ・ドライブ側でトラック間の移動用に使用されるステップ・パルス信号出力
DIR#	29	出力	ヘッドの動作方向を示す信号で，L(アクティブ)の時センター方向への移動を示す
HDSEL#	25	出力	使用するフロッピ・ディスク面を選択するヘッド・セレクト信号．L(アクティブ)の時サイド1を選択し，それ以外はデフォルトでサイド0
FDME0#	32	出力	モータ0のドライブ・イネーブル信号で，ディジタル出力レジスタ(DOR)から直接コントロールされる
FDME1#/ IDLE#	30	出力	自動パワーダウン・コマンドの44PDENビットのレベルによって下記機能が選択される FDME1#:モータ1のドライブ・イネーブル信号で，ディジタル出力レジスタ(DOR)から直接コントロールされる IDLE# :アイドル状態であることを示す
FDS0#	33	出力	フロッピ・ドライブ0の選択信号で，ディジタル出力レジスタ(DOR)のセレクト・ビットからデコードされる
FDS1#/PD#	31	出力	自動パワーダウン・コマンドの44PDENビットのレベルによって下記機能が選択される FDS1#:フロッピ・ドライブ1の選択信号で，ディジタル出力レジスタ(DOR)のセレクト・ビットからデコードされる PD# :一部パワーダウン状態の時L(アクティブ)となる

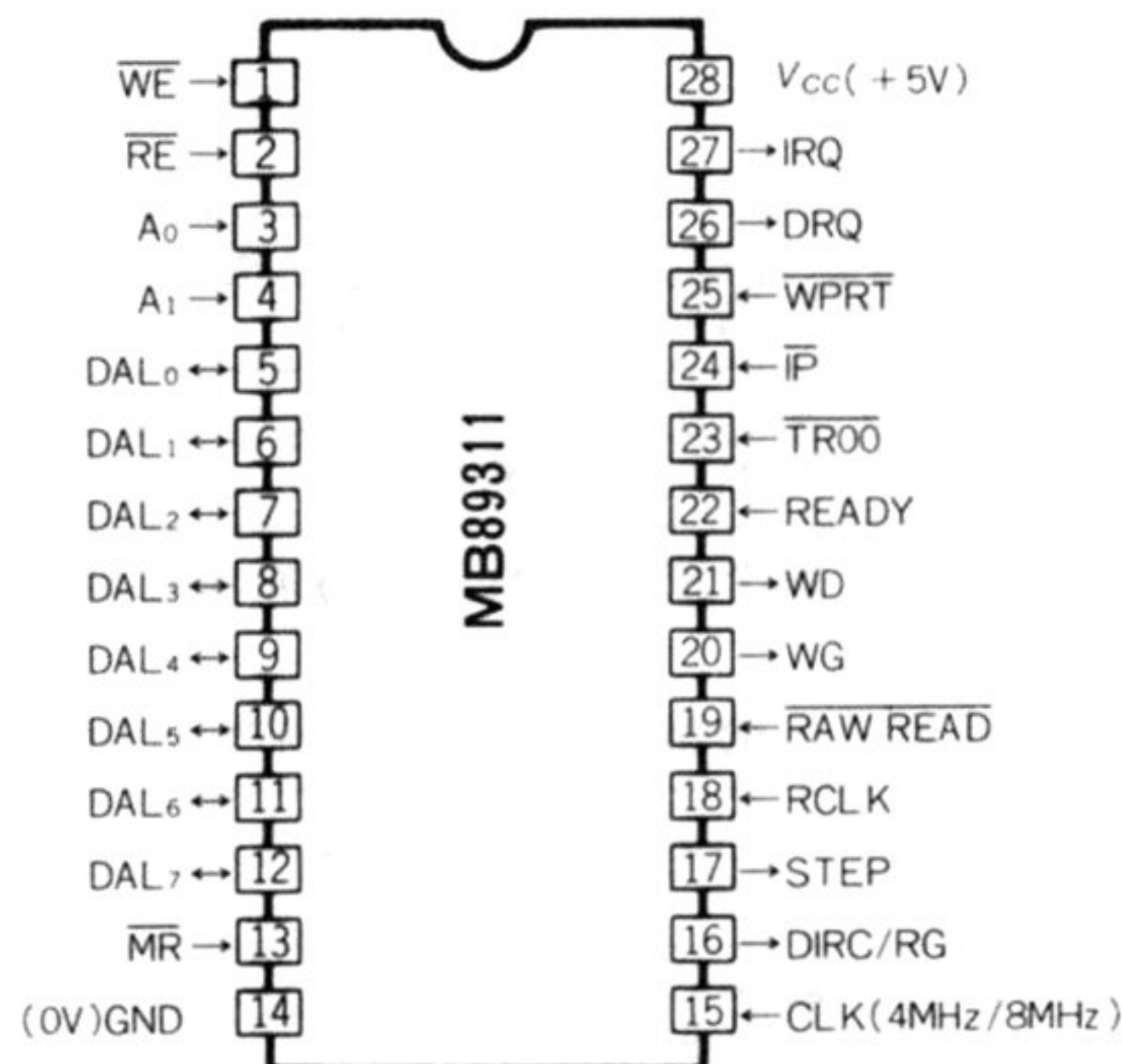
注）#はLowアクティブの端子であることを示す

FDC (Floppy Disk Controller)

■ ピン接続

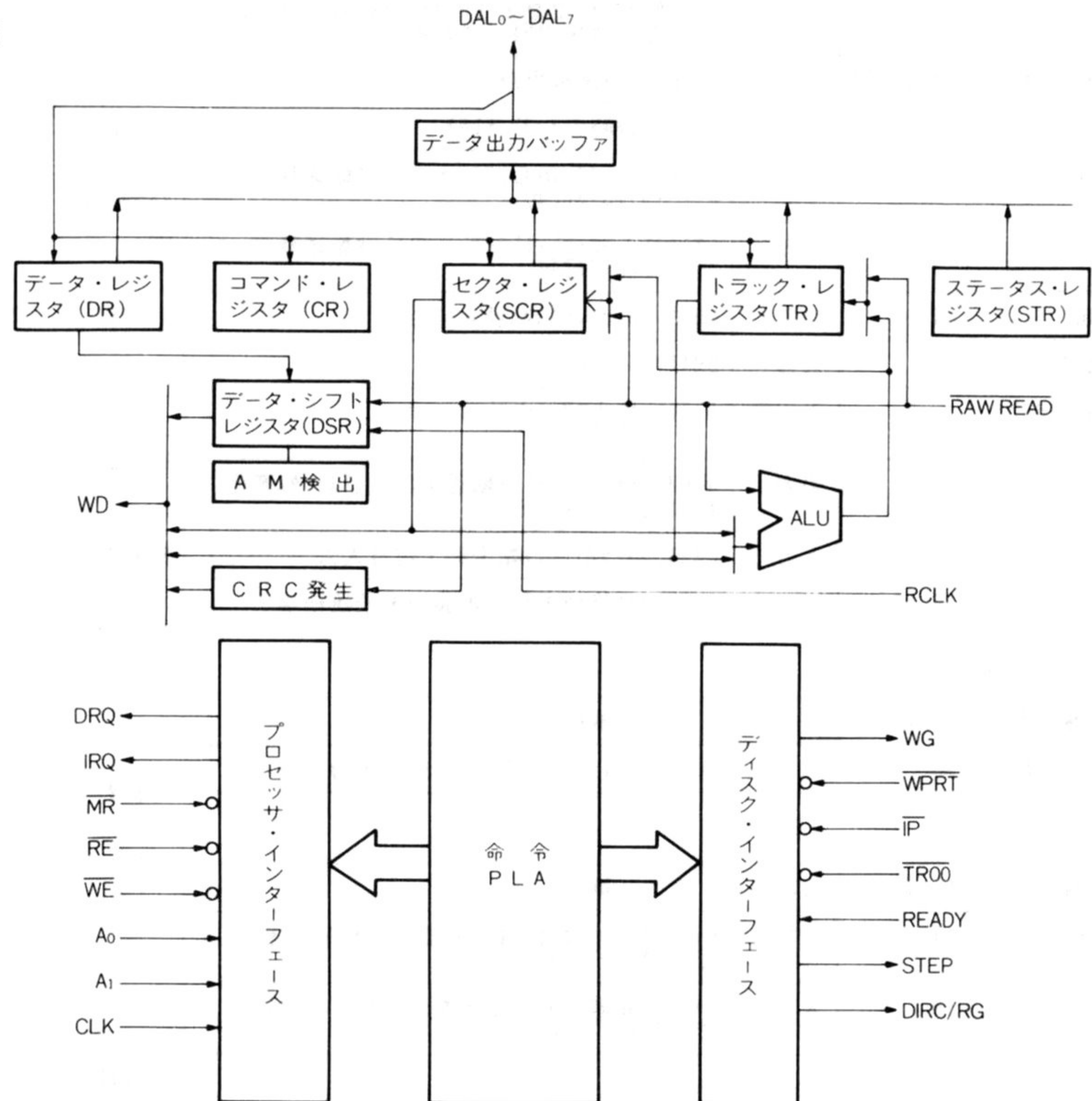
■ 特 徴

- ＩＢＭソフト・セクタ・フォーマットおよびＩＳＯフォーマット可能
- トラック・シーク後，自動ベリファイ
- 連続セクタ・リード／ライト可能
- 最終セクタ指定可能（拡張コマンド・モード）
- ＬＯＳＴ　ＤＡＴＡエラー時，そのセクタの処理後異常終了

■ ブロック図

■ 最大定格

項目	記号	定格	単位
電源電圧	V_{CC}	−0.3～＋7.0	V
	GND	0	V
入力電圧	V_{IN}	−0.3～V_{CC}+0.5	V
出力電圧	V_{OUT}	−0.3～V_{CC}+0.5	V
動作温度	T_{OPR}	−40～＋85	℃
保存温度	T_{STG}	−55～＋150	℃

■ DC特性

記号	測定条件	max/min*	単位
V_{IL}		0.8/−0.3	V
V_{IH}		V_{CC}/2.2	V
V_{OH}	I_{OH}＝−400μA	2.4*	V
	I_{OH}＝−100μA	V_{CC}−0.4*	V
V_{OL}	I_{OL}＝2.5mA	0.45	V
I_{CC}	V_{CC}=5.5V,出力端子オープン	10	mA
I_{CC}	V_{CC}＝5.5V,出力端子オープン	10	mA

■ 端子機能

端子名	ピン番号	入出力	機能
$\overline{WE}$, $\overline{RE}$	1, 2	入力 入力	リード/ライトのコントロール
A_0, A_1	3、4	入力	A_0, A_1の組み合わせでレジスタを選択する
DAL_0～DAL_7	5～12	入出力	8ビットの双方向性3ステートの入出力端子. $\overline{RE}$＝$\overline{WE}$＝"H"のときハイ・インピーダンスとなる
$\overline{MR}$	13	入力	リセット
GND	14	—	(0V) グラウンド
CLK	15	入力	基本クロック入力端子 (4MHz/8MHz)
DIRC/RG	16	出力	ヘッドの移動方向を指定する. "H"で外側, "L"で内側/リード時, "H"でSYNCバイトの検出を示す
STEP	17	出力	ヘッドを移動させるためのステップ・パルス出力
RCLK	18	入力	データ・セパレータによって分離されたクロックを加える
$\overline{RAWREAD}$	19	入力	ディスクから読み出されるシリアル・データ. クロック・ビット, データ・ビットが混在している
WG	20	出力	"H"でディスクへの書き込みを示す
WD	21	出力	ディスクへの書き込みデータ・パルスを出力する
READY	22	入力	"H"でディスク・ドライブが動作可能であることを示す
$\overline{TR00}$	23	入力	ディスクのヘッドがトラック0にあることを示す
$\overline{IP}$	24	入力	ディスクの1回転ごとの基準パルスの入力
$\overline{WPRT}$	25	入力	ディスクの書き込み禁止を検出する. "L"で書き込みを行わない

端子名	ピン番号	入出力	機能
DRQ	26	出力	データのリード/ライトの同期をとるために使用する
IRQ	27	出力	コマンドの実行終了を割り込みなどでCPUに知らせる
V_{CC}	28	—	電源 (5V)

FDC (Floppy Disk Controller)

■ ピン接続

■ 特　徴

・Z80ファミリのマイクロ・プログラム方式FDコントローラ
　割り込みデイジィ・チェーン信号
　割り込みベクタの送出
　Z80CPUのRETI命令の解読
・データのDMA転送，プログラム転送機能をもつ
・IBMフォーマット・コンパチブル
　片面単密度，両面単密度，両面倍密度
　128, 256, 512, 1024バイト／セクタ
　8, 15, 26セクタ／トラック
・ミニフロッピ制御可能
・両面倍密度FDD2台接続可能
・コマンド処理時のエラー内容表示が豊富
・CRC処理機能をもつ

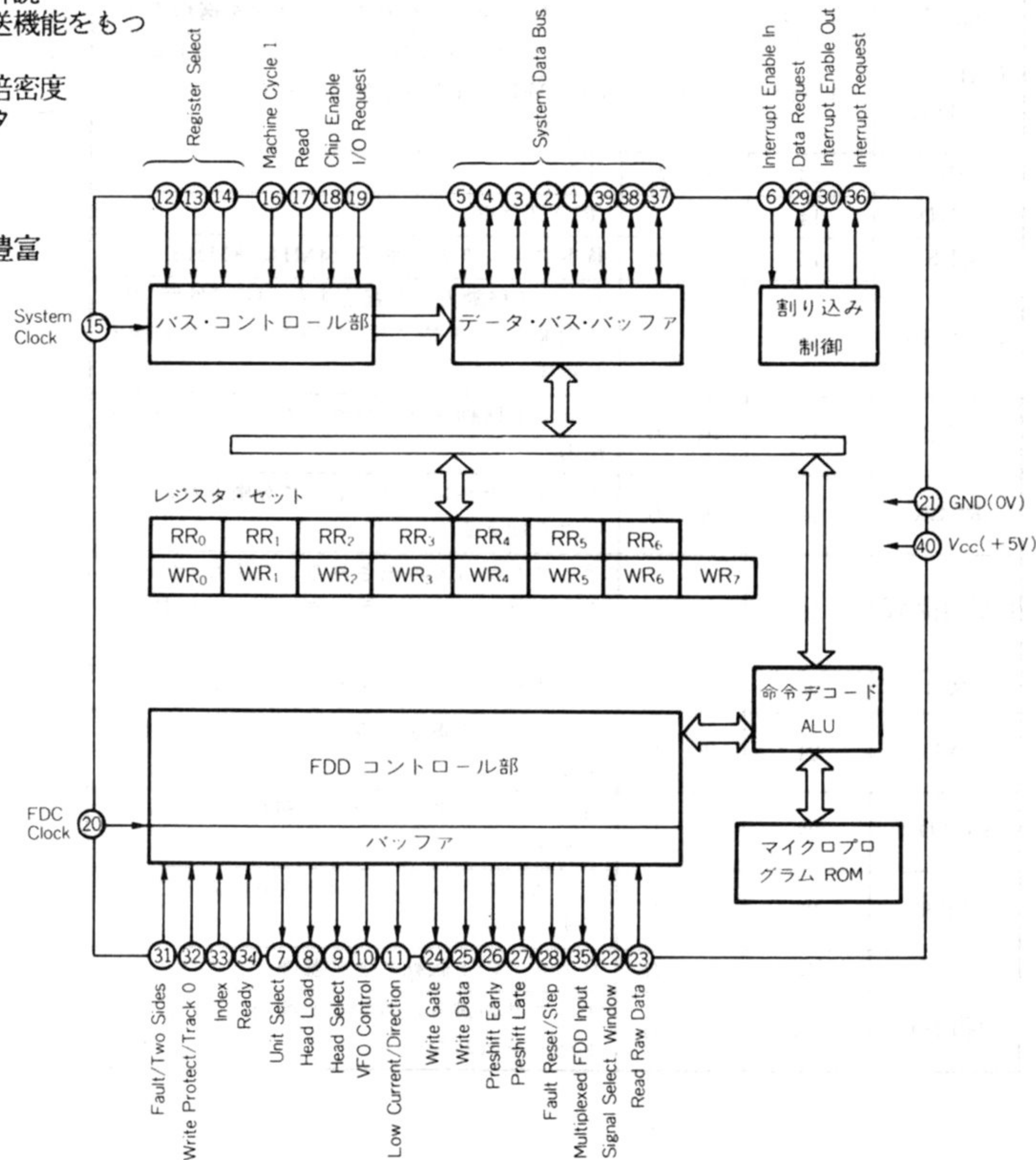
■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜7.0	V
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−55〜150	℃

■ DC特性

(T_a=0〜70℃, V_{CC}=5V±5%)

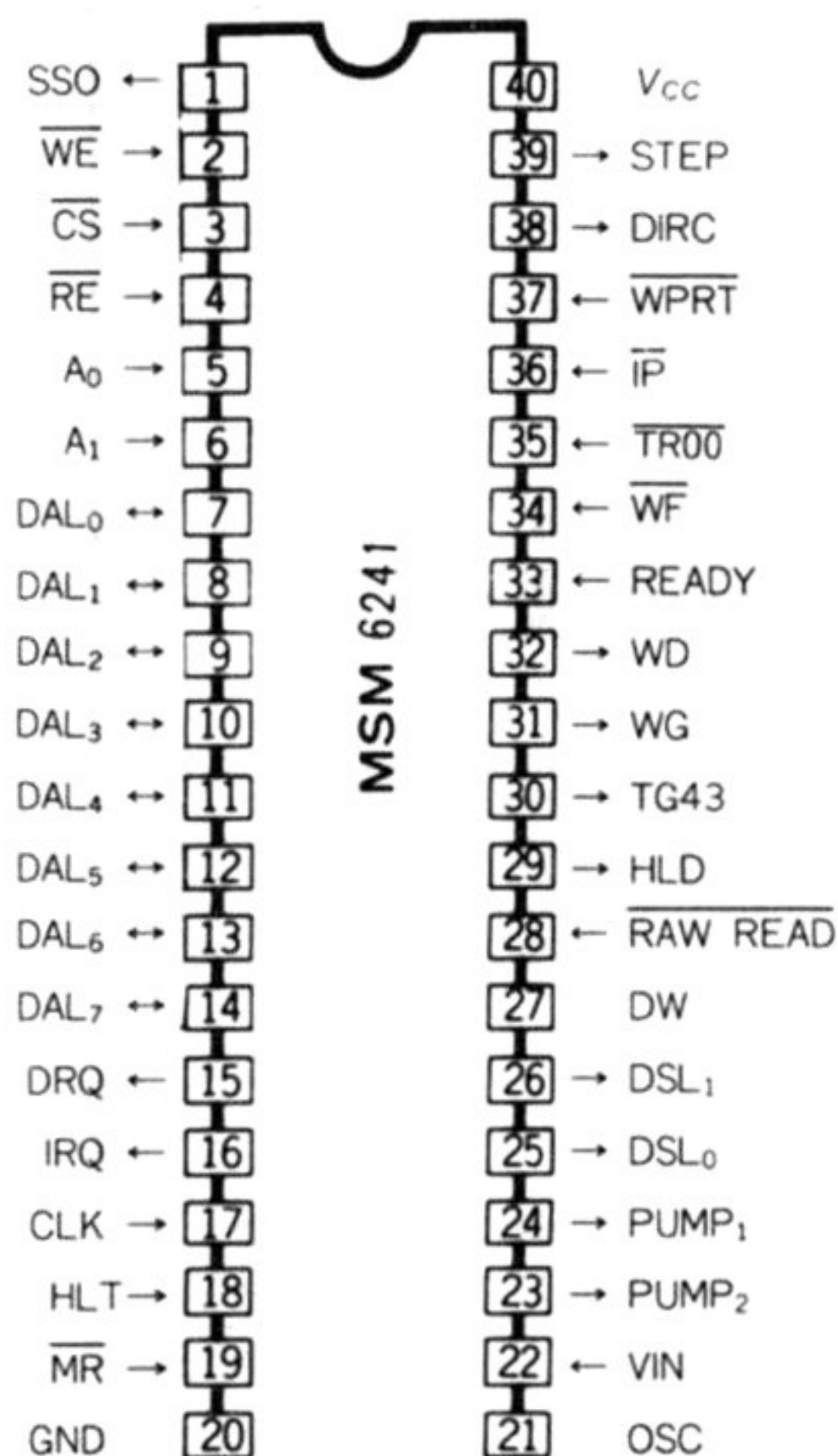
記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=2.0mA	0.4	V
V_{OH}	I_{OH}=250μA	2.4*	V
I_{OL}	V_{OUT}=0〜V_{CC}	10	μA
I_{IL}	V_{IN}=0〜V_{CC}	10	μA
C_{IN}		12	pF

■端子機能

端子名	名　　称	ピン番号	入出力	機　　能
D_0～D_7	データ・バス	1～5, 37～39	入出力	システム・データ・バス
RS_0～RS_2	レジスタ選択	12～14	入　力	FDCの内部レジスタ(RR_0～RR_6およびWR_0～WR_7)の選択に使用
$\overline{M1}$	マシン・サイクル1	16	入　力	アクティブ“L”. CPUの$\overline{M1}$と$\overline{RESET}$のAND構成により供給. $\overline{IORQ}$とともにアクティブになることにより割り込み応答を示す
$\overline{RD}$	読み出しサイクル	17	入　力	アクティブ“L”. アクティブのとき読み出し動作
$\overline{CE}$	チップ・イネーブル	18	入　力	アクティブ“L”. アクティブのとき, CPUからコマンドやデータの送受が可能
$\overline{IORQ}$	入出力要求	19	入　力	アクティブ“L”. $\overline{RD}$がアクティブのとき読み出し動作, アクティブでない場合書き込み動作. $\overline{M1}$とともにアクティブになることにより割り込み応答を示す
CLOCK	システム・クロック	15	入　力	内部同期信号用として標準のZ80システム・クロックを使用
FCLK	FDCクロック	20	入　力	FDD制御信号同期用として2MHzクロックを使用. ただし, ミニ・フロッピでは1MHzクロックを使用
IEI	割り込みイネーブル入力	6	入　力	アクティブ“H”. 割り込み優先順位を決めるデイジィ・チェーンを形成するために使用
IEO	割り込みイネーブル出力	30	出　力	アクティブ“H”. IEIとともに割り込み優先順位を決めるデイジィ・チェーンを形成するために使用
$\overline{INT}$	割り込み要求	36	出　力	アクティブ“L”. 割り込みを要求するときアクティブ
DRQ	DMAへのデータ要求	29	出　力	アクティブ“H”. FDCとDMA間のデータ転送要求信号
MUXS	マルチプレクス	35	出　力	FDD制御信号のマルチプレクサの選択信号
WP/TR0	ライト・プロテクト/トラック・ゼロ	32	入　力	アクティブ“H”. MUXSが“H”のときWP信号. 挿入されたディスケットが書き込み保護されていることを示す. MUXSが“L”のときTR0信号. ヘッドがトラック・ゼロにあることを示す
FLT/TS	フォルト/ツー・サイド	31	入　力	アクティブ“H”. MUXSが“H”のときFLT信号. FDDがフォルト状態であることを示す. MUXSが“L”のときTS信号. 両面用メディアが入っていることを示す
FR/STP	フォルト・リセット/ステップ	28	出　力	アクティブ“H”. MUXSが“H”のときFR信号. FDDのフォルト状態をリセットする. また, MUXSが“L”のときシークのSTP信号
LCT/DIR	ロー・カレント/ディレクション	11	出　力	アクティブ“H”. FDDのロー・カレント入力およびディレクション入力に接続. シーク・コマンド以外のときLCT信号. ヘッドが44トラック以上のシリンダを選択しているときに“H”. またシーク・コマンドのときDIR信号. 求心方向のシーク時に“H”
RDY	レディ	34	入　力	アクティブ“H”. FDDのレディ信号
IDX	インデックス	33	入　力	アクティブ“H”. メディア上のトラックの物理的開始点を示す
HDS	ヘッド選択	9	出　力	両面型FDDの場合, “L”のときヘッド0. 片面型FDDの場合はFDDの選択信号として使用可能
HDL	ヘッド・ロード	8	出　力	アクティブ“H”. FDDのヘッドをロード状態にする
US	ユニット選択	7	出　力	アクティブ“H”. FDDユニットの選択.
WG	書き込みゲート	24	出　力	アクティブ“H”. FDDに対する書き込み指示信号
WDA	書き込みデータ	25	出　力	アクティブ“H”. FDDへの書き込みシリアル・データを転送
RRD	読み出しデータ	23	入　力	アクティブ“H”. FDDからの読み出しシリアル・データを入力
WDW	ウィンドウ	22	入　力	VFO回路でつくられる信号. RRDのデータとクロックの分離に使用
VFO	VFO制御	10	出　力	アクティブ“H”. VFO回路に対し, ロック・タイミングを指示
PSL	プレシフト	27	出　力	アクティブ“H”. MFMモードでの書き込み補正信号. 外部の書き込み補正回路に対し, WDAを遅らせることを指示. FMモードではアクティブ状態保持
PSE	プレシフト・アーリィ	26	出　力	アクティブ“H”. MFMモードでの書き込み補正信号. 外部の書き込み補正回路に対し, WDAを早めることを指示. FMモードではアクティブ状態保持

FDC (Floppy Disk Controller)

■ ピン接続

MSM 6241

ピン	信号	ピン	信号
1	SSO ←	40	V_{CC}
2	$\overline{WE}$ →	39	→ STEP
3	$\overline{CS}$ →	38	→ DIRC
4	$\overline{RE}$ →	37	← $\overline{WPRT}$
5	A_0 →	36	← $\overline{IP}$
6	A_1 →	35	← $\overline{TR00}$
7	DAL_0 ↔	34	← $\overline{WF}$
8	DAL_1 ↔	33	← READY
9	DAL_2 ↔	32	→ WD
10	DAL_3 ↔	31	→ WG
11	DAL_4 ↔	30	→ TG43
12	DAL_5 ↔	29	→ HLD
13	DAL_6 ↔	28	← $\overline{RAW\ READ}$
14	DAL_7 ↔	27	DW
15	DRQ ←	26	→ DSL_1
16	IRQ ←	25	→ DSL_0
17	CLK →	24	→ $PUMP_1$
18	HLT →	23	→ $PUMP_2$
19	$\overline{MR}$ →	22	← VIN
20	GND	21	OSC

■ 特　徴

・ＰＬＬを使用したＶＦＯ回路を内蔵するフロッピ・ディスク・データ・セパレータ
・少ない外付け部品で，３．５から８インチまでの各タイプのデータ・セパレータとして使用可能
・フィルタ定数が，すべてのディスク・タイプで共通になっている
・ＦＤ１７９Ｘ系，μＰＤ７６５系それぞれのＦＤコントローラ用のクロック出力をもつ
・ＩＢＭフォーマット

■ ブロック図

$DAL_0 \sim DAL_7$　8　8
データ・レジスタ (DR)
コマンド・レジスタ (CR)
トラック・レジスタ (TR)
セクタ・レジスタ (SCR)
ステータス・レジスタ (STR)
ドライブ・セレクト → DSL_0, DSL_1
カウンタ回路
ALU
CRC回路
MFM/FM変調
ライト・プリコンペ回路 → WD
$\overline{RAW\ READ}$
データ・シフトレジスタ (DSR)
S-P変換
AM, DAM検出
プロセッサ・インターフェース: DRQ, IRQ, $\overline{CS}$, $\overline{RE}$, $\overline{WE}$, A_0, A_1, $\overline{MR}$, CLK
制御回路
データ・セパレータ回路 (PLL回路)
OSC　VIN　0　1　DW
PUMP
ドライブ・インターフェース: WG, $\overline{WPRT}$, $\overline{IP}$, $\overline{TR00}$, READY, HLT, TG43, HLD, DIRC, STEP, SSO, $\overline{WF}$
V_{DD}
GND

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜＋7.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}＋0.3	V
動作温度	T_{OPR}	0〜＋70	℃
保存温度	T_{STG}	−55〜＋150	℃

■ DC特性

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝1.6mA	0.45	V
V_{OH}	I_{OH}＝100μA	2.4*	V
I_{OL}	V_{OUT}＝0V	1	μA
I_{IL}	V_{IN}＝5V	1	μA

■端子機能

端子名	名　　称	ピン番号	入出力	機　　能
V_{CC}	電源端子	40	—	＋5V±5％
GND	グラウンド	20	—	グラウンド
$\overline{MR}$	マスタ・リセット	19	入　力	“L”で全動作停止．立ち上がりでリストア・コマンドを実行する
$\overline{WE}$	ライト・イネーブル	2	入　力	内部レジスタへの書き込みストローブ信号入力
$\overline{CS}$	チップ・セレクト	3	入　力	チップ選択信号であり，“L”でデータ転送可
$\overline{RE}$	リード・イネーブル	4	入　力	内部レジスタからの読み出しストローブ信号入力
A_0，A_1	レジスタ選択	5，6	入　力	内部レジスタの選択端子．DR，CR，STR，TR，SCRのいずれかを選択
$DAL_{0\sim7}$	データ・バス	7～14	入出力	8ビットの双方向性バス
DRQ	データ・リクエスト	15	出　力	プロセッサに対するデータ転送要求信号
IRQ	インタラプト・リクエスト	16	出　力	プロセッサに対するサービス要求信号
CLK	クロック	17	入　力	クロック入力．8MHz デューティ50％
SSO	サイド・セレクト	1	出　力	メディアのサイドを指定．“H”のときサイド1，“L”のときサイド0
OSC	VCO発振	21	—	VCOの発振端子．外付けコンデンサによりVCOの中心周波数を調整する
VIN	コントロール電圧入力	22	入　力	VCO制御のための直流電圧が入力される
$PUMP_1$，$PUMP_2$	PUMP	24，23	出　力	VCO制御のためのハイ・インピーダンス出力
DSL_0，DSL_1	ドライブ・セレクト	25，26	出　力	FDDの選択出力．バイナリ出力
DW	リード・パルス・ディレイ幅	27	—	リード・パルスのディレイ幅を調整する端子．外付けにC，Rが必要
$\overline{RAW\ READ}$	読み出し信号入力	28	入　力	FDDからのデータ入力信号
HLD	ヘッド・ロード	29	出　力	メディアに対してリード/ライト・ヘッドをロードさせる出力信号
TG43	43トラック	30	出　力	ヘッドがトラック44～にあることを示す出力信号
WG	ライト・ゲート	31	出　力	WG＝“H”でディスクへデータが書き込まれていることを示す
WD	ライト・データ	32	出　力	ディスクへの書き込みデータ・パルスの出力端子．MFM/FM信号パルスを出力する
READY	レディ	33	入　力	FDDがレディ状態にあることを示す．タイプI以外ではREADY＝“H”のときコマンドを実行する
$\overline{WF}$	ライト・フォルト	34	入　力	書き込み時の障害検出入力
$\overline{TR\ 00}$	トラック00	35	入　力	ヘッドがトラック(00)にあることを検出する入力
$\overline{IP}$	インデックス・パルス	36	入　力	ディスクのインデックス・ホールを検出する入力
$\overline{WPRT}$	ライト・プロテクト	37	入　力	ディスクの書き込み禁止を検出する入力
DIRC	ディレクション	38	出　力	ヘッドの移動方向を指示する出力．外側のとき“L”内側のとき“H”
STEP	ステップ	39	出　力	ヘッド移動のためのステップ・パルス出力信号．1トラック移動に対し1パルス出力
HLT	ヘッド・ロード・タイミング	18	入　力	ヘッド・ロード指定後の応答入力．ヘッド・エンゲージのとき“H”

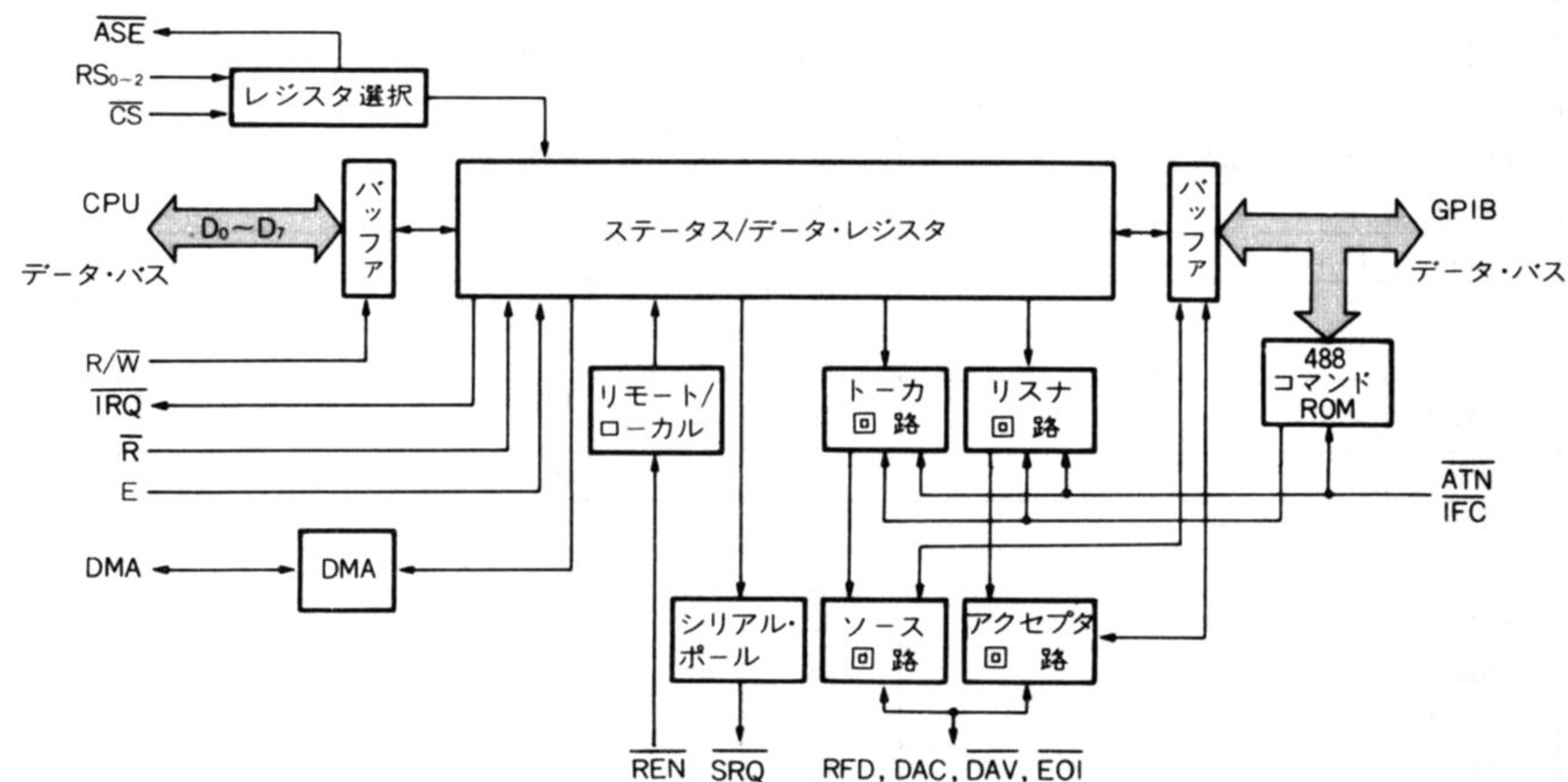
GPIA (General Purpose Interface Adapter)

■ ピン接続

MC68488

ピン	信号		ピン	信号
1	(0V)GND		40	→ $\overline{IRQ}$
2	DMA Grant →		39	← RS_2
3	$\overline{CS}$ →		38	← RS_1
4	$\overline{ASE}$ ←		37	← RS_0
5	R/$\overline{W}$ →		36	↔ $\overline{IB_0}$
6	E →		35	↔ $\overline{IB_1}$
7	D_0 ↔		34	↔ $\overline{IB_2}$
8	D_1 ↔		33	↔ $\overline{IB_3}$
9	D_2 ↔		32	↔ $\overline{IB_4}$
10	D_3 ↔		31	↔ $\overline{IB_5}$
11	D_4 ↔		30	↔ $\overline{IB_6}$
12	D_5 ↔		29	↔ $\overline{IB_7}$
13	D_6 ↔		28	→ T/$\overline{R_1}$
14	D_7 ↔		27	→ T/$\overline{R_2}$
15	DMA Request ←		26	← $\overline{ATN}$
16	$\overline{DAV}$ ↔		25	↔ $\overline{EOI}$
17	DAC ↔		24	→ TRIG
18	RFD ↔		23	→ $\overline{SRQ}$
19	$\overline{R}$ →		22	← $\overline{REN}$
20	(+5V) V_{CC}		21	← $\overline{IFC}$

■ 特　徴

- ６８系ＣＰＵ周辺ＬＳＩ
- ＧＰＩＢ規格に定めるコントローラ，トーカ，リスナの全機能をもつ
- 機能　ＳＨ１，ＡＨ１，Ｔ５，ＴＥ５，Ｌ３，ＬＥ３，ＳＲ１，ＲＬ１，ＰＰ１，ＤＣ１，ＤＴ１，Ｃ０
- ２次アドレス使用可
- ＤＭＡ動作可能
- 割り込み条件がプログラマブルに設定可能
- リスナ・オンリ，トーカ・オンリ・モードに設定可能
- ＲＦＤ信号のオートマチック・ハンドシェイクをソフトウェアで制御可能

■ DC特性

項　　目	max/min*	単位
V_{IL}	0.8	V
V_{IH}	2.0*	V
V_{OH}	2.4*	V
V_{OL}:D_0〜D_7/1.6mA	0.4	V
V_{OL}:$\overline{SRQ}$,$\overline{IRQ}$/3.2mA	0.4	V

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	7.0	V
入力電圧	V_{IN}	7.0	V
動作温度	T_{OPR}	0〜+70	℃
保存温度	T_{STG}	−55〜+150	℃

■ ブロック図

$\overline{ASE}$
RS_{0-2}
$\overline{CS}$
レジスタ選択
CPU
D_0〜D_7
データ・バス
バッファ
ステータス/データ・レジスタ
バッファ
GPIB
データ・バス
R/$\overline{W}$
$\overline{IRQ}$
$\overline{R}$
E
DMA
DMA
リモート/ローカル
トーカ回路
リスナ回路
488 コマンド ROM
$\overline{ATN}$
$\overline{IFC}$
シリアル・ポール
ソース回路
アクセプタ回路
$\overline{REN}$
$\overline{SRQ}$
RFD, DAC, $\overline{DAV}$, $\overline{EOI}$

■端子機能

端子名	名称	ピン番号	入出力	機能
D_0～D_7	データ・バス	7～14	入出力	データ，コンロール，ステータス情報を転送する
$\overline{CS}$	チップ・セレクト	3	入力	チップ・セレクト信号で，“L”のときにリード/ライトが可能となる
$R/\overline{W}$	リード/ライト	5	入力	データ・バス転送の方向を制御する
RS_0, RS_1, RS_2	レジスタ・セレクト	37, 38, 39	入力	内部レジスタの選択を行う
$\overline{IRQ}$	割り込み要求	40	出力	アクティブ“L”の割り込み要求出力で，オープン・ドレイン出力となっている
$\overline{R}$	リセット	19	入力	内部レジスタ，各種ステータス，状態をリセットする
E	イネーブル・クロック	6	入力	アドレス入力(CS，RS_0～RS_2)，$R/\overline{W}$を有効にし，バス上のデータの転送を可能にする
$\overline{IB_0}$～$\overline{IB_7}$	シグナル・ライン	36～29	入出力	8ビットの双方向データ・バスで，マルチライン・リモート・メッセージの転送に使用する
DAC	データ・アクセプト	17	入出力	$\overline{IB_0}$～$\overline{IB_7}$のマルチライン・リモート・メッセージが有効であることを示す
RFD	レディ・フォア・データ	18	入出力	ハンドシェイク・ラインで，マルチライン・リモート・メッセージを受け取る準備ができたことを示す
$\overline{DAV}$	データ・バリッド	16	入出力	ハンドシェイク・ラインで，マルチライン・リモート・メッセージが有効であることを示す
$\overline{ATN}$	アテンション	26	入力	管理ラインで，マルチライン・リモート・メッセージがコマンドであることを示す
$\overline{IFC}$	インターフェース・クリア	21	入力	管理ラインで，インターフェース機能を初期状態にする
$\overline{SRQ}$	サービス・リクエスト	23	出力	管理ラインで，コントローラに対するサービス要求信号
$\overline{EOI}$	エンド・オブ・アイデンティファイ	25	入出力	管理ラインで，マルチ・バイト転送の終了を示す場合，またはパラレル・ポールを実行する場合に使用
$\overline{REN}$	リモート・イネーブル	22	入力	管理ラインで，デバイスのリモート制御/ローカル制御の切り替えに使う
$T/\overline{R_1}$, $T/\overline{R_2}$	トランスミット/レシーブ・コントロール	28, 27	出力	4または8のトランシーバがバスをドライブする場合の制御に使用する．$\overline{IB_0}$～$\overline{IB_7}$およびハンドシェイク・ラインの入出力方向を決める
DMA Grant	DMA許可	2	入力	DMA要求に対する許可信号で，“H”のときレジスタ7を選択する
DMA Request	DMA要求	15	出力	インタラプト・レジスタのBIまたはBOステータス・ビットがセットされると“H”になる
TRIG	トリガ出力	24	出力	GETとfgetコマンドによってセットされる出力
$\overline{ASE}$	アドレス・スイッチ・イネーブル	4	出力	CPUバスに接続されたアドレス・スイッチ用のバッファをイネーブルにするために使われる出力信号

GPIB Adapter

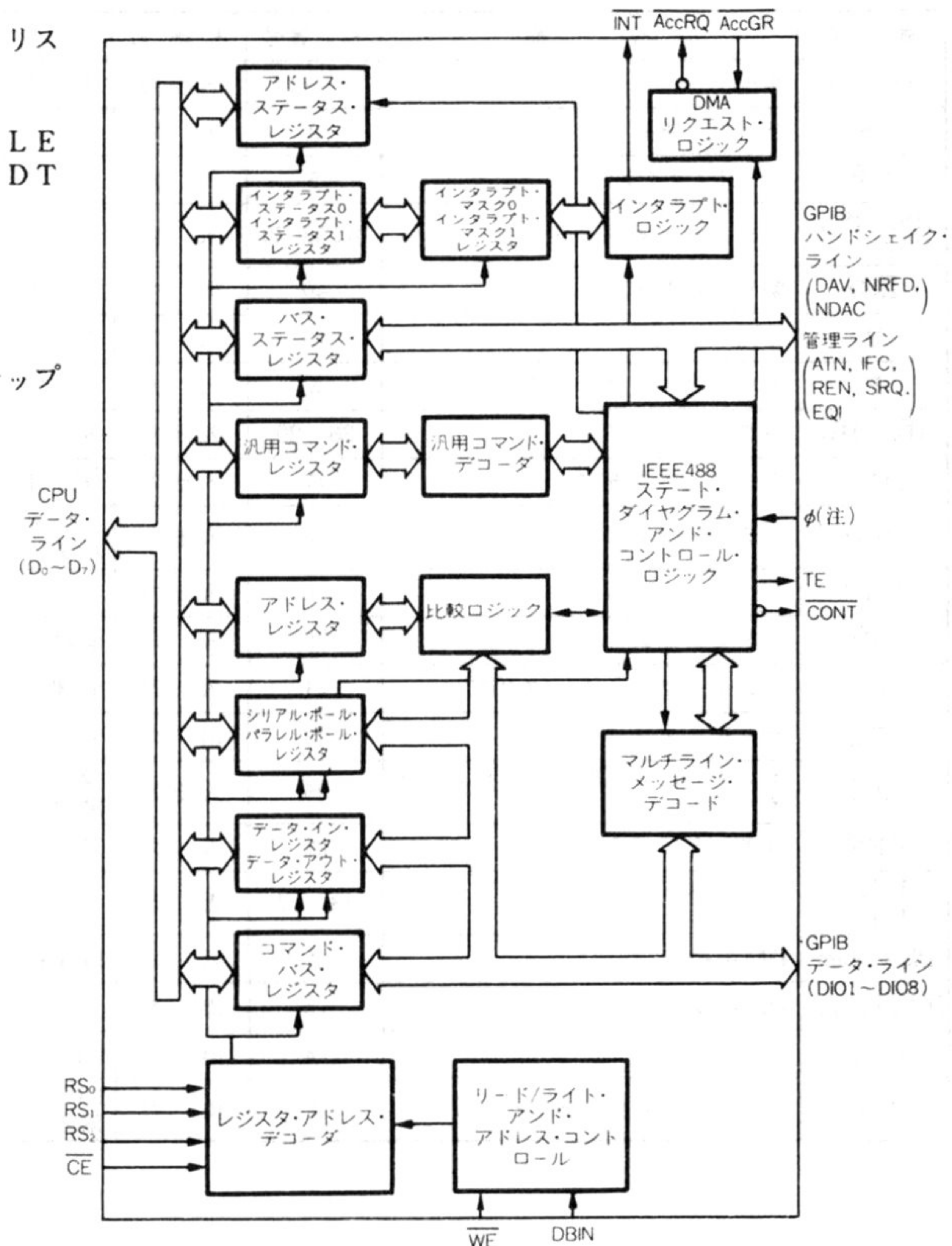
■ ピン接続

ピン	信号		ピン	信号
1	$\overline{AccRQ}$ ←		40	V_{CC}(+5V)
2	$\overline{AccGR}$ →		39	→ TR
3	$\overline{CE}$ →		38	↔ DIO1
4	$\overline{WE}$ →		37	↔ DIO2
5	DBIN →		36	↔ DIO3
6	RS_0 →		35	↔ DIO4
7	RS_1 →		34	↔ DIO5
8	RS_2 →		33	↔ DIO6
9	$\overline{INT}$ ←		32	↔ DIO7
10	D_7 ↔		31	↔ DIO8
11	D_6 ↔		30	→ $\overline{CONT}$
12	D_5 ↔		29	↔ SRQ
13	D_4 ↔		28	↔ ATN
14	D_3 ↔		27	↔ EOI
15	D_2 ↔		26	↔ DAV
16	D_1 ↔		25	↔ NRFD
17	D_0 ↔		24	↔ NDAC
18	$\overline{\phi}$ →		23	↔ IFC
19	$\overline{RESET}$ →		22	↔ REN
20	(0V)GND		21	→ TE

TMS9914

■ 特　徴

・各種マイクロプロセッサと容易に接続可能
・ＧＰＩＢ規格に定めるコントローラ，トーカ，リスナの全機能をもつ
・機能
　　ＳＨ１，ＡＨ１，Ｔ５，ＴＥ５，Ｌ３，ＬＥ３，ＳＲ１，ＲＬ１，ＰＰ１，ＤＣ１，ＤＴ１，Ｃ１
・ＤＭＡ動作可能
・２次アドレス使用可
・システム・コントローラ可能
・バス・コントロール機能あり
・ドライバ／レシーバとの組み合わせにより３チップでＧＰＩＢの全機能を構成

■ ブロック図

（注）φはIEEE488での状態遷移を制御するためのクロック．マイクロプロセッサと同期する必要はない．

■ 最大定格

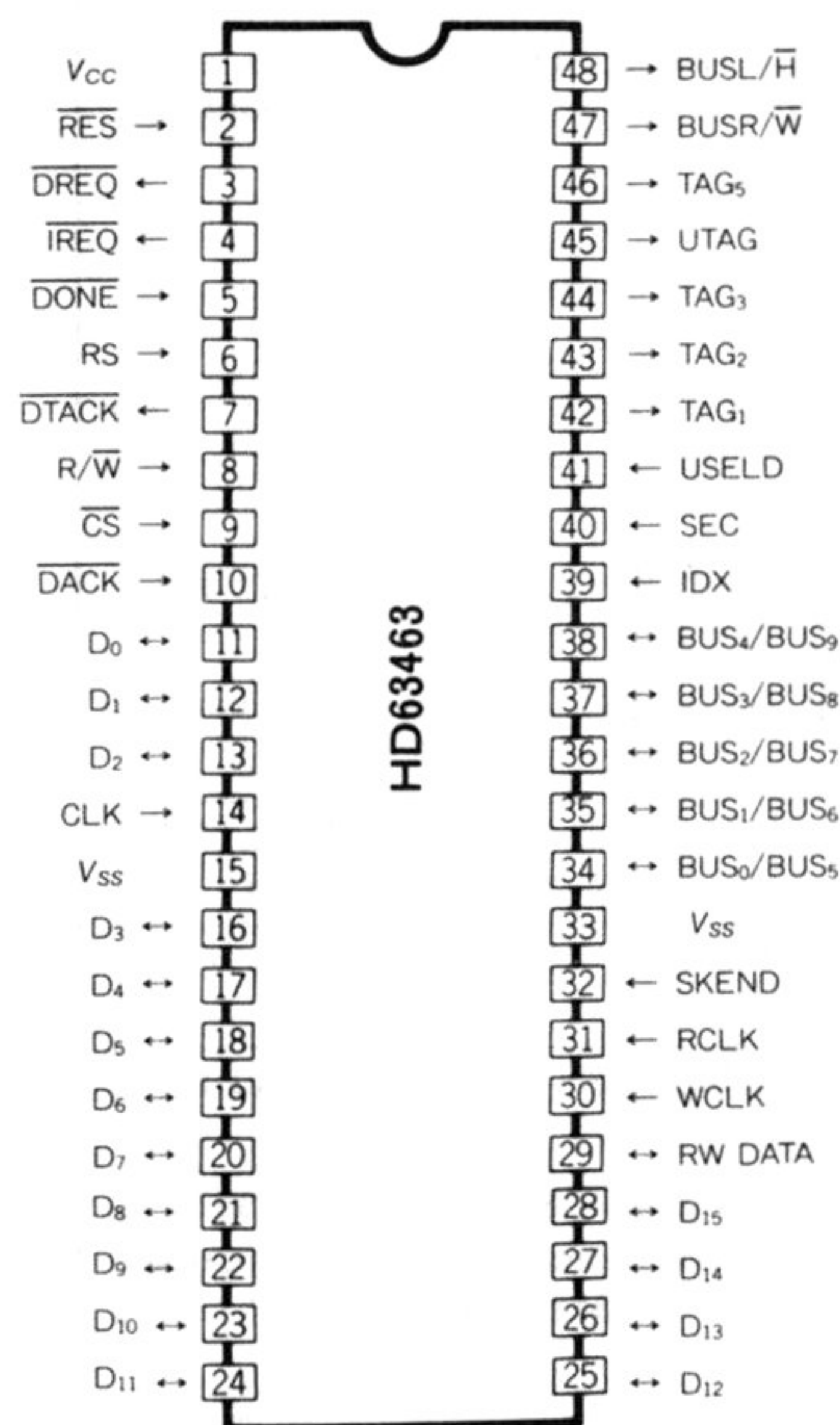
項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～+20	V
入力電圧	V_{IN}	−0.3～+20	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−55～+150	℃

■ 端子機能

端子名	ピン番号	入出力	機能
DIO 8 (MSB) ～ DIO 1 (LSB)	31 ～ 38	入出力 (p/p)	DIO1～8はGPIBに対するデータの入出力ライン．ノン・インバーティング・トランシーバを介してGPIBに接続する
DAV	26	入出力 (p/p)	DATA VALID. ソースはこのハンドシェイク・ラインを“L”にして，DIOバスに有効データを出力していることをアクセプタに知らせる
NDAC	24	入出力 (p/p)	NOT DATA ACCEPTED. アクセプタはこのハンドシェイク・ラインを“H”にしてDIOバスのデータをラッチしたことをソースに知らせる
NRFD	25	入出力 (p/p)	NOT READY FOR DATA. アクセプタはこのハンドシェイク・ラインを“H”にして，次のデータが受信可能であることをソースに知らせる
ATN	28	入出力 (p/d)	ATTENTION. この信号はコントローラによって送出される．この信号が“L”のときはインターフェース・メッセージ，“H”のときはデータがDIOバスに伝達されていることを示す
REN	22	入出力 (o/d)	REMOTE ENABLE. この信号はシステム・コントローラから送出され，装置制御をリモートで行うか，フロント・パネルで行うかを選択する
IFC	23	入出力 (o/d)	INTERFACE CLEAR. この信号はシステム・コントローラから送出され，各装置の既知の静止状態におく
SRQ	29	入出力 (p/p)	SERVICE REQUEST. この信号はコントローラ以外の装置から送出され，コントローラからのサービスが必要なことを示す
EOI	27	入出力 (p/p)	END OF IDENTIFY. ATNが“H”のときこの信号はデータ・ブロックの終了を示し，ATNが“L”のとき，この信号はコントローラがパラレル・ポールを実行していることを示す
$\overline{\mathrm{CONT}}$	30	出力 (p/p)	バス管理用のトランシーバの入出力方向を決定する．論理式では(CIDS＋CADS)と表せる

端子名	ピン番号	入出力	機能
TE	21	出力 (p/p)	TALK ENABLE. DIO，ハンドシェイク・ライン用のトランシーバの入出力方向を決定する
D_0 (MSB) ～ D_7 (LSB)	17 ～ 10	入出力 (p/p)	マイクロプロセッサ側のデータ転送ライン
RS_0 ～ RS_2	6 ～ 8	入力	REGISTER SELECT LINES. マイクロプロセッサが内部レジスタを選択するためのアドレス入力
$\overline{\mathrm{CE}}$	3	入力	CHIP ENABLE. このラインを“L”にすると内部レジスタをアクセスできる
$\overline{\mathrm{WE}}$	4	入力	WRITE ENABLE. この信号を“L”にして内部レジスタの一つにデータを書き込む
DBIN	5	入力	DATA BUS IN. この信号を“H”にして内部レジスタの一つからデータを読み出す
$\overline{\mathrm{INT}}$	9	出力 (o/d) (no pull-up)	INTERRUPT. マイクロプロセッサに対する割り込み要求出力
$\overline{\mathrm{AccRQ}}$	1	出力 (p/p)	ACCESS REQUEST. DMA (Direct Memory Access) 要求出力
$\overline{\mathrm{AccGR}}$	2	入力	ACCESS GRANTED. $\overline{\mathrm{AccRQ}}$に対するDMAC (Direct Memory Access Controller) の応答信号入力．DMAC未使用のときは＋5Vに接続
$\overline{\mathrm{RESET}}$*	19	入力	RESET. ハードウェア・リセット信号入力でこの信号によりTMS9914はアイドル状態になる
TR	39	出力 (p/p)	TRIGGER. GPIBからGETコマンドを受けたとき，またはマイクロプロセッサがfgetコマンドを実行したときにパルスを出力する
$\overline{\phi}$	18	入力	CLOCK. 500kHz～5MHz. マイクロプロセッサのクロックと同期している必要はない

(注) (p/p)＝プッシュプル出力
(o/d)＝プルアップ付きオープン・ドレイン出力
* RESETは，TMS 9914 Aに次の影響を与える．
▶シリアル・ポール/パラレル・ポールがクリアされる
▶全c/s型のコマンドが“swrst”を除いてクリアされる
▶“swrst”コマンドはセットされる．これよりTMS 9914 Aはアイドル状態になる

HDC(Hard Disk Controller)

■ ピン接続

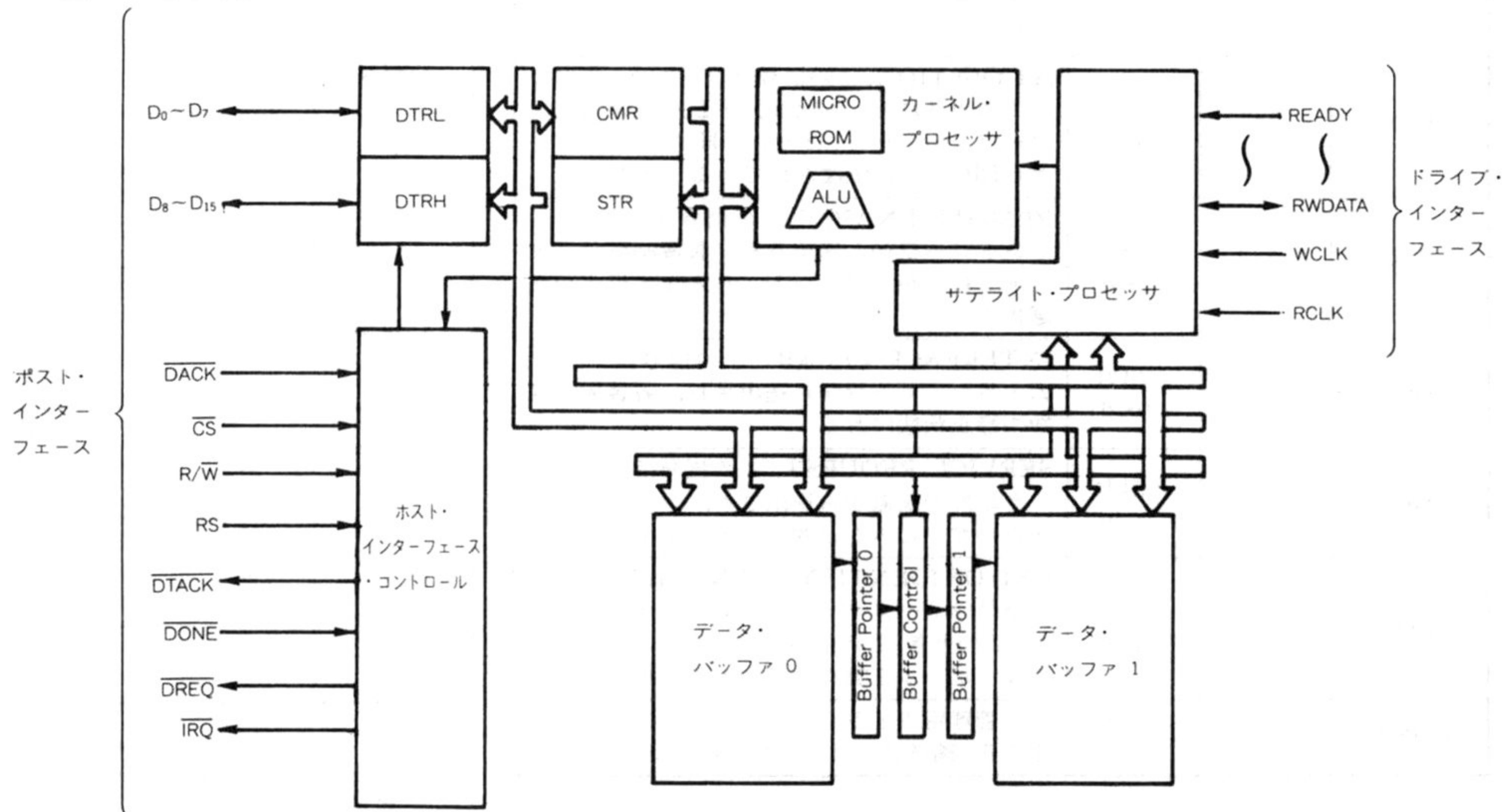
HD63463

信号	方向	ピン	ピン	方向	信号
V_{CC}		1	48	→	BUSL/$\overline{H}$
$\overline{RES}$	→	2	47	→	BUSR/$\overline{W}$
$\overline{DREQ}$	←	3	46	→	TAG_5
$\overline{IREQ}$	←	4	45	→	UTAG
$\overline{DONE}$	→	5	44	→	TAG_3
RS	→	6	43	→	TAG_2
$\overline{DTACK}$	←	7	42	→	TAG_1
R/$\overline{W}$	→	8	41	←	USELD
$\overline{CS}$	→	9	40	←	SEC
$\overline{DACK}$	→	10	39	←	IDX
D_0	↔	11	38	↔	BUS_4/BUS_9
D_1	↔	12	37	↔	BUS_3/BUS_8
D_2	↔	13	36	↔	BUS_2/BUS_7
CLK	→	14	35	↔	BUS_1/BUS_6
V_{SS}		15	34	↔	BUS_0/BUS_5
D_3	↔	16	33		V_{SS}
D_4	↔	17	32	←	SKEND
D_5	↔	18	31	←	RCLK
D_6	↔	19	30	←	WCLK
D_7	↔	20	29	↔	RW DATA
D_8	↔	21	28	↔	D_{15}
D_9	↔	22	27	↔	D_{14}
D_{10}	↔	23	26	↔	D_{13}
D_{11}	↔	24	25	↔	D_{12}

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.3	V
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−55〜150	℃

■ 特　徴

- ６８０００システム用のハード・ディスク・コントローラ
- ＳＴ５０６／ＳＴ４１２／ＳＴ４１２ＨＰおよびＳＭＤの２種類のディスク・インターフェースに対応可能
- １６／８ビットのデータ・バス幅選択が可能
- ２５６バイト×２面のデータ・バッファを内蔵し，ゼロ・セクタ・インタリーブとプログラムＩ／Ｏを実現
- １１ビット・バースト・エラーまでの自動訂正可能
- ゼロ・パターンの検出／発生回路，アドレス・マー

■ DC特性

(T_a=0〜70℃，V_{CC}=5.0V±5%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}=2.2mA	0.5	V
V_{OH}	I_{OH}=400μA	V_{CC}−1.0*	V
I_{OL}	V_{OUT}=V_{CC}	10	μA
I_{IL}	V_{IN}=0〜V_{CC}	±2.5	μA
C_{IN}		17	pF

■ ブロック図

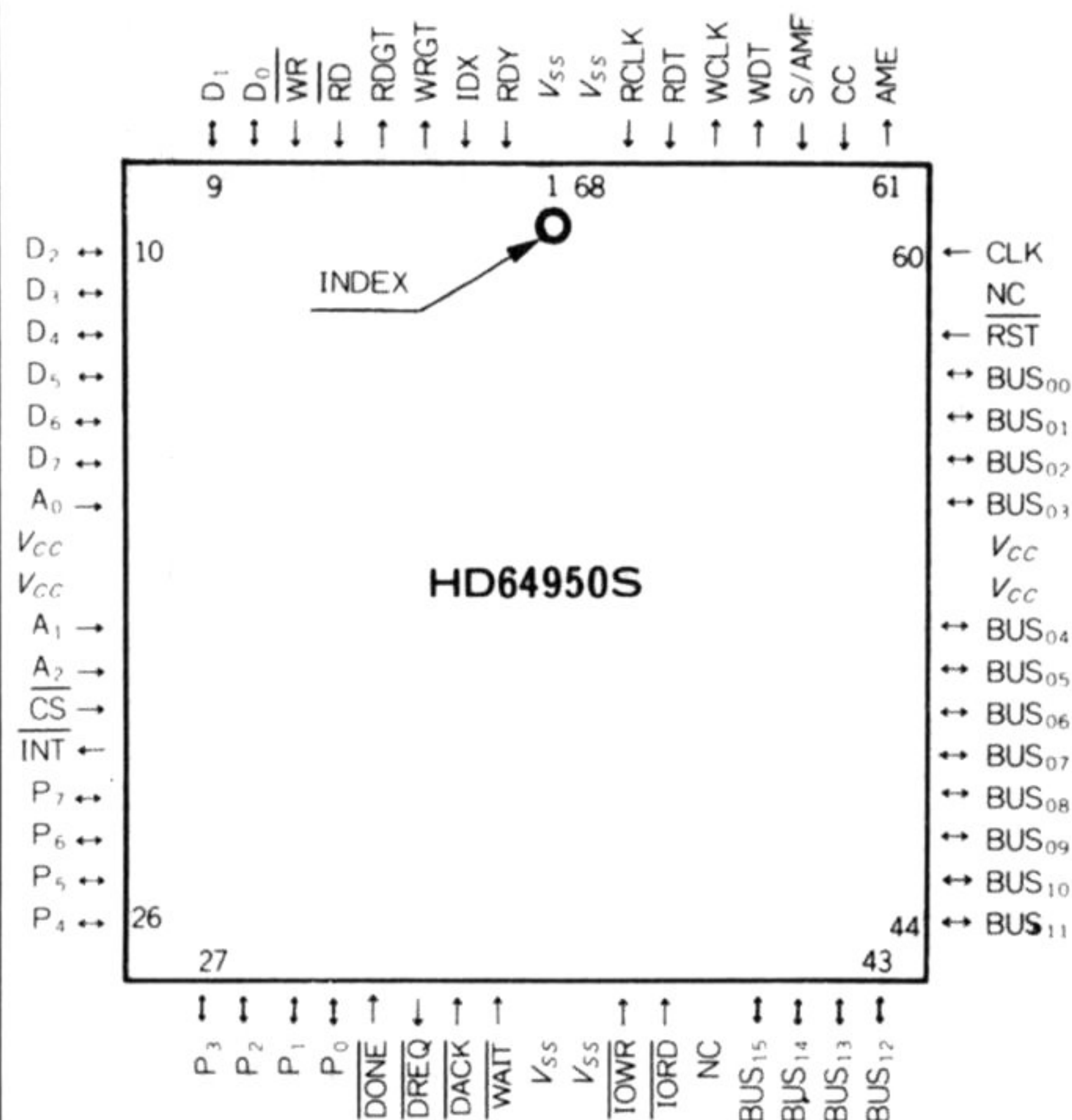
ホスト・インターフェース
D_0〜D_7
D_8〜D_{15}
$\overline{DACK}$
$\overline{CS}$
R/$\overline{W}$
RS
$\overline{DTACK}$
$\overline{DONE}$
$\overline{DREQ}$
$\overline{IRQ}$
DTRL
DTRH
CMR
STR
MICRO ROM
ALU
カーネル・プロセッサ
サテライト・プロセッサ
ホスト・インターフェース・コントロール
データ・バッファ 0
Buffer Pointer 0
Buffer Control
Buffer Pointer 1
データ・バッファ 1
READY
RWDATA
WCLK
RCLK
ドライブ・インターフェース

■端子機能

端子名	ピン番号	入出力	機能
CLK	14	入力	ホスト・システムから与えるクロック信号
$\overline{RES}$	2	入力	ホスト・システムから与えるリセット信号
$\overline{DREQ}$	3	出力	DMACに転送要求を行うとき出力される
$\overline{DACK}$	10	入力	DMACから受ける転送アクノリッジ信号
$\overline{DONE}$	5	入力	DMACからこの信号を受けると，DMAモードにおけるホスト・バス上でのデータ転送は直ちに停止する
$\overline{IRQ}$	4	出力	割り込み要求信号
$\overline{CS}$	9	入力	チップ・セレクト信号
RS	6	入力	HDC内のレジスタ選択信号
R/$\overline{W}$	8	入力	データ転送方向を示す信号
$\overline{DTACK}$	7	出力	ホスト・バスにおけるデータ転送が終了したことを示すアクノリッジ信号
D_0~D_{15}	11~13, 16~28	入出力	16ビットの双方向データ・バス
SEEK	47	出力	マルチプレクスされた信号を切り替えるのに用いる
LCK/DIR	38	出力	SEEK＝1のとき，ヘッドの移動方向を示す
LATE/STEP	36	出力	SEEK＝1のとき，この信号はヘッド移動用のステップ・パルス出力となる．SEEK＝0のときこの信号は書き込み補正(LATE)を指示する
EARLY/RGATE	35	出力	WGATE信号が“H”のときこの信号は書き込み補正(EARLY)を指示する．そうでないときはリード・ゲート信号となり，ドライブからのデータの読み取りを指示する
WGATE	34	出力	ドライブのデータの書き込みを指示するライト・ゲート信号
SYNC	32	出力	外付けデータ・セパレータのループ・ゲインの切り替え信号
HSEL$_{0\sim2}$	44~46	出力	ドライブ内の最大8個のヘッドを選択する3ビット信号
USEL$_{0\sim1}$	42, 43	出力	4台までのドライブのうち1台を選択する2ビット信号
READY	48	入力	選択されたドライブがレディ状態であることを示す入力信号
WFLT	37	入力	書き込みエラーを引きおこすような異常がドライブにおいて発生したことを示す信号

端子名	ピン番号	入出力	機能
SCP	40	入力	ヘッド移動動作，すなわちシーク動作がドライブ内で終了したことを示す信号を入力する
IDX/TRK 0	39	入力	SEEK＝1のとき，この信号はドライブ内のヘッドがトラック0にいることを示す信号とみなされる．SEEK＝0のとき，トラックの開始を示すインデックス信号とみなされる
USELD	41	入力	選択したドライブから与えられる応答信号
RCLK	31	入力	外付けデータ・セパレータから与えるディスク読みとり用クロック
WCLK	30	入力	外付け発振器から与えるディスク書き込み用クロック
RWDATA	29	入出力	ディスク読み書き用のシリアル・データがFMFコードにて入出力される
BUSL/$\overline{H}$	48	出力	この信号が“H”のとき5ビットのバスにおいて10ビットのドライブ・バスのうち下位5ビットが転送される
BUSR/$\overline{W}$	47	出力	この信号が“H”のときバスは入力状態になっている
BUS_0/BUS_5~BUS_4/BUS_9	34~38	入出力	5ビットのマルチプレクスされた双方向バス
TAG_5, TAG_2	46, 43	出力	ステータス入力の選択信号として用いられる
TAG_3	44	出力	ドライブ・バス上にディスクの読み書き指令などの情報が存在することを示すタグ信号
TAG_1	42	出力	ドライブ・バス上にヘッドの移動先アドレスが存在することを示すタグ信号
UTAG	45	出力	ドライブ・バス上に3ビットのドライブ番号が存在することを示すタグ信号
IDX	39	入力	トラックの開始を示すインデックス信号
SEC	40	入力	セクタの開始を示す信号
USELD	41	入力	選択したドライブからの応答信号
SKEND	32	入力	ディスク・ドライブ内のサーボ回路がシーク動作を終了し，ヘッドをトラック上に置いた際に発生する信号
RCLK	31	入力	ディスク読み取り用クロック
WCLK	30	入力	ディスク書き込み用クロック
RWDATA	29	入出力	ディスク読み書き用のシリアル・データ

FDP (File Data Processor)

■ ピン接続

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.3	V
消費電力	P_D	0.75	W
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−55〜150	℃

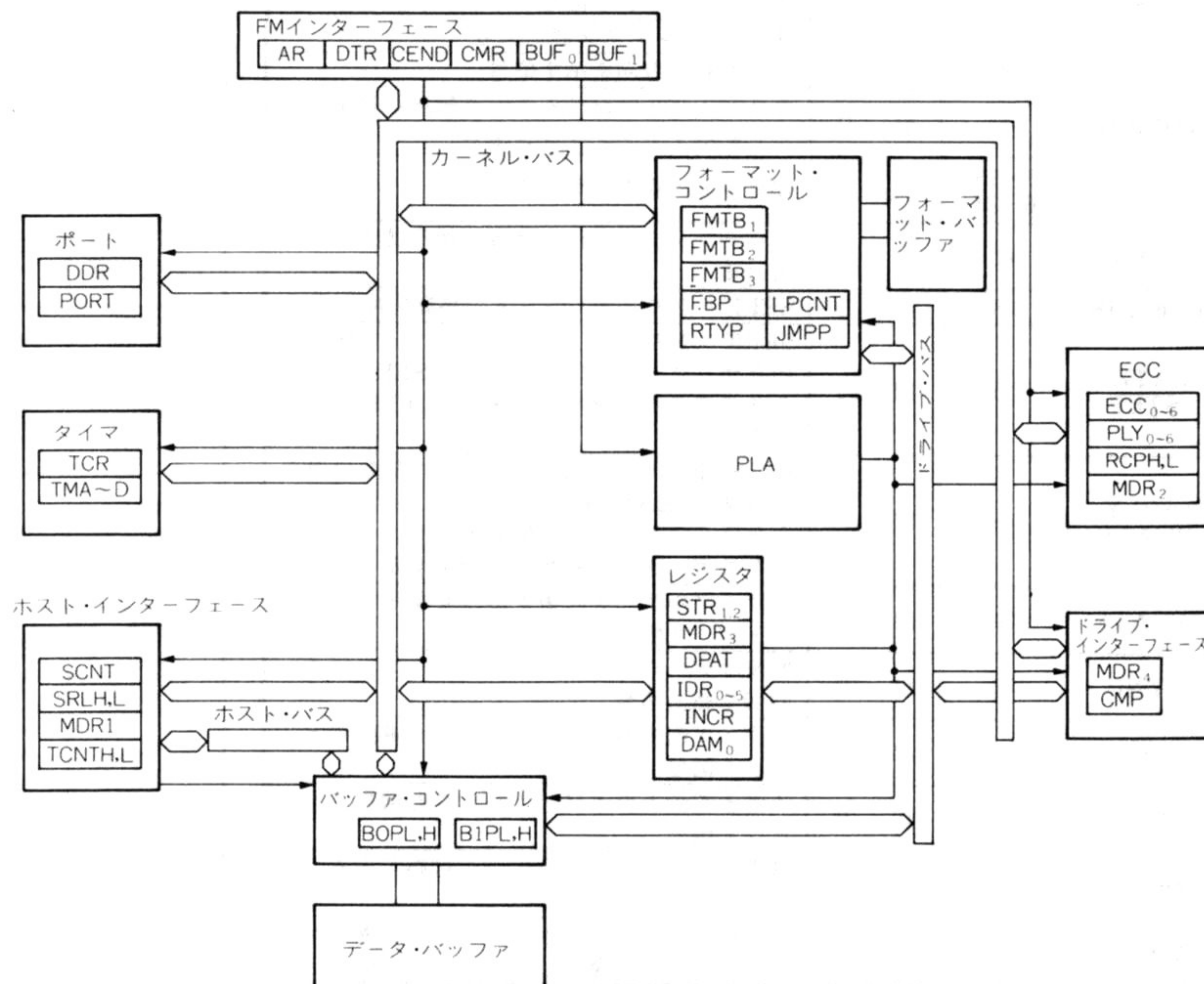
■ DC特性

（T_a = 0〜70℃, V_{CC} = 5V ± 5%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL} = 1.6mA	0.5	V
V_{OH}	I_{OH} = 400μA	2.4*	V
I_{OL}	V_{OUT} = V_{CC}	±10	μA
I_{IL}	V_{IN} = 0〜V_{CC}	±2.5	μA
C_{IN}	f = 1MHz T_a = 25℃, V_{IN} = 0V	20	pF

■ 特　徴

- データ・バス幅は１６／８ビットの選択可能
- マスタ／スレーブ・モードの選択可能
- ホスト間，ＨＤＤ間の同時転送可能
  ＨＤＤ転送レート：最大15Mbps
  ホスト転送レート：最大6MByte/sec
- 608Byte×２面のデータ・バッファ内蔵
- 誤り訂正機能
  ＥＣＣ多項式任意設定可能
  ＥＣＣデータ長の選択可能（4,6,7Ｂｙｔｅ）
- フォーマット・コマンド３２種の任意の組み合わせにより自由度の高い動作設定が可能
- ４〜１０８８Ｂｙｔｅのセクタ長設定可能

■ ブロック図

■端子機能

分　　類	端 子 名	ピン番号	入 出 力	機　　　　能
クロック	CLK	60	入　力	システム・クロックの入力端子
リセット	$\overline{RST}$	58	入　力	FDPの内蔵状態をリセットするための入力信号
ファイル・マネージャ・インターフェース	$\overline{RD}$	6	入　力	リード動作を制御する信号を入力する
	$\overline{WR}$	7	入　力	ライト動作を制御する信号を入力する
	$\overline{CS}$	21	入　力	ファイル・マネージャがFDPをアドレッシングするための端子
	A_0～A_2	16, 19, 20	入　力	ファイル・マネージャがリード/ライトを行う直接のレジスタのアドレスを入力する
	D_0～D_7	8～15	入出力	ファイル・マネージャとFDP間のデータ転送に使用する
	$\overline{INT}$	22	出　力	コマンド終了をファイル・マネージャに知らせる割り込み要求信号
ポート	P_7～P_0	23～30	入出力	8ビートの入出力ポート
ドライブ・インターフェース	RDGT	5	出　力	ドライブからのデータの読み取りを指示する
	WRGT	4	出　力	ドライブへのデータの書き込みを指示する
	IDX	3	入　力	トラックの開始を示す信号を入力する
	RDY	2	入　力	ドライブがレディ状態であることを示す入力信号
	S/AMF	63	入　力	セクタの開始を示す信号
	RCLK	67	入　力	ドライブから与えられるディスク読み書き用クロックでシリアルデータ転送レートと同じ周波数のクロックを入力する
	RDT	66	入　力	ディスクから読み取ったシリアル・データをNRZのコードで入力する
	WCLK	65	出　力	ディスク書き込み用で，RCLKと同じ周波数のクロックを出力する
	WDT	64	出　力	ディスク書き込み用のシリアル・データがWCLKに同期してNRZのコードで出力される
	CC	62	入　力	ドライブがコマンド受け付け状態にあることを示す信号を入力する
	AME	61	出　力	ESD_1のドライブにアドレス・マークの書き込みまたは読み出しを指示する信号
ホスト・インターフェース（スレーブ・モード）	$\overline{DREQ}$	32	出　力	FDPがDMACに転送要求を行うときにアサートされる
	$\overline{DACK}$	33	入　力	DMA転送時，データ転送のタイミングを入力する
	$\overline{DONE}$	31	入　力	DMA転送の終了を示す信号を入力する
	$\overline{IOWR}$	37	入　力	データ・バッファに対するライト動作を制御する信号を入力する
	$\overline{IORD}$	38	入　力	データ・バッファに対するリード動作を制御する信号を入力する
	BUS_{07}～BUS_{00}	48～51 54～57	入出力	双方向データ・バス． 16/8ビット・モード時，データ・バッファとのデータ入出力に使用する
	BUS_{15}～BUS_{08}	40～47	入出力	双方向データ・バス． 16ビット・モード（$B_8=0$）時，データ・バッファとのデータ入出力に使用する

（注）$\overline{WAIT}$（34ピン）は，マスタ・モードのときのみ使用し，FDPに対しアクセス・サイクルの延長を要求するための信号．

HDC (Hard Disk Controller)

■ ピン接続

μPD7261

信号	方向	ピン	ピン	方向	信号
SYNC	←	1	40		V_{CC}
R/W DATA	↔	2	39	→	BT_1(RGATE)
R/W CLK	→	3	38	→	BT_0(WGATE)
RESET	→	4	37	←	CLK
INT	←	5	36	←	INDEX
DREQ	←	6	35	↔	SCT(PCL)
$\overline{TC}$	→	7	34	↔	$\overline{USTG}$(PCE)
$\overline{CS}$	→	8	33	↔	$\overline{SSTG}$(DSD)
$\overline{RD}$	→	9	32	↔	BDIR(SKC)
$\overline{WR}$	→	10	31	↔	$\overline{TG_3}$(TRK0)
A_0	→	11	30	↔	$\overline{TG_2}$(READY)
D_0	↔	12	29	↔	$\overline{TG_1}$(WFLT)
D_1	↔	13	28	↔	$BT_2(DS_0)$
D_2	↔	14	27	↔	$BT_3(DS_1)$
D_3	↔	15	26	↔	$BT_4(HS_0)$
D_4	↔	16	25	↔	$BT_5(HS_1)$
D_5	↔	17	24	↔	$BT_6(HS_2)$
D_6	↔	18	23	↔	BT_7(RWC)
D_7	↔	19	22	↔	$BT_8(\overline{STEP})$
GND		20	21	↔	BT_9(DIR)

(　)：Floppy-like インターフェース時

■ 特　徴

・80および86系バス・コンパチブルのハード・ディスク・コントローラ
・SMDインターフェースのハード・セクタ・ディスクおよびフロッピ・ライク・インターフェースのソフト・セクタ・ディスクにインターフェース可能
・トラック・フォーマットはプログラマブルで，128～4095バイト／セクタまで指定可能
・SMDインターフェースのとき8台まで，フロッピ・ライク・インターフェースのとき，4台までディスク・ドライブ接続可能
・パラレル・シーク，マルチ・セクタ，マルチ・トラック機能
・データ・スキャン，データ・ベリファイ機能をもつ
・CRC発生，チェック機能をもつ
・ECC発生，チェック，訂正機能をもち，11ビット・バースト・エラーまでの自動訂正可能
・DMA転送

■ ブロック図

CLK
RESET
プロセシング・ユニット
データ FIFO
コマンド/ステータス・レジスタ
D_0～D_7
$\overline{TC}$
A_0
$\overline{RD}$
$\overline{WR}$
$\overline{CS}$
INT
DREQ
リード/ライト・コントロール
内部データ・バス
フォーマット・コントロール
R/W CLK
BT_0(WGATE)
BT_1(RGATE)
SYNC
R/W DATA
INDEX
SCT(PCL)
ディスク・インターフェース部
$\overline{USTG}$(PCE)
$\overline{SSTG}$(DSD)
BDIR(SKC)
$\overline{TG_3}$(TRK0)
$\overline{TG_2}$(READY)
$\overline{TG_1}$(WFLT)
$BT_2(DS_0)$
$BT_3(DS_1)$
$BT_4(HS_0)$
$BT_5(HS_1)$
$BT_6(HS_2)$
BT_7(RWC)
$BT_8(\overline{STEP})$
BT_9(DIR)
ROM
RAM

(　)：Floppy-likeインターフェース時

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～7.0	V
入力電圧	V_{IN}	−0.5～7.0	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−65～150	℃

■ DC特性

(T_a=0～70℃，V_{CC}=5.0V±10%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=2.0mA	0.45	V
V_{OH}	I_{OH}=100μA	2.4*	V
I_{OL}	V_{OUT}=0.45～V_{CC}	±10	μA
I_{IL}	V_{IN}=0.45～V_{CC}	±10	μA
C_{IN}		15	pF

■端子機能

端子名	ピン番号	入出力	機能
CLK	37	入力	外部クロック入力，プロセシング・ユニットのタイミング・クロックとなる
$D_0 \sim D_7$	12～19	入出力	8ビットの双方向データ・バス
$\overline{CS}$	8	入力	レジスタ，またはデータFIFOへのアクセスを可能にする信号が入力される
$\overline{RD}$	9	入力	データ/ステータスの読み出し制御信号が入力される
$\overline{WR}$	10	入力	データ/コマンドの書き込み制御信号が入力される
A_0	11	入力	レジスタまたはデータFIFOを選択する信号が入力される
INT	5	出力	割り込み要求信号を出力
DREQ	6	出力	DMA要求信号を出力
$\overline{TC}$	7	入力	DMAリードまたはDMAライト動作の終了指示信号が入力される
RESET	4	入力	リセット入力
R/W DATA	2	入出力	リード動作時にはディスク・ドライブからの読み出しデータの入力となり，ライト動作時にはディスクへの書き込みデータを出力する
SYNC	1	出力	PLL同期信号
R/W CLK	3	入力	データのサンプリング・クロック信号が入力される
INDEX	36	入力	トラックの物理的開始点を示す信号が入力される
SCT	35	入出力	セクタの開始点を示す信号
BDIR	32	入出力	ビット・バスの入力を区別するための信号を出力する
$\overline{TG_1}$	29	入出力	ビット・バス上にシリンダ・アドレスが出力されていることを示すための信号
$\overline{TG_2}$	30	入出力	ビット・バス上にヘッド・アドレスが出力されていることを示すための信号

端子名	ピン番号	入出力	機能
$\overline{TG_3}$	31	入出力	ビット・バス上にディスク・ドライブを制御するための各種の信号が出力されていることを示す
$\overline{USTG}$	34	入出力	ビット・バス上にユニット・アドレスが出力されていることを示すための信号
$\overline{SSTG}$	33	入出力	ディスク・ドライブのステータスをセンスするためのストローブ信号
BT_0, BT_1	38, 39	出力	ビット・バス0，1
$BT_2 \sim BT_9$	28～21	入出力	ビット・バス2～9

(注)ハード・ディスク端子機能を記載

HDC (Hard Disk Controller)

■ ピン接続

μPD7262

ピン	信号	ピン	信号
1	WDATA ←	40	V_{CC}
2	RDATA →	39	→ RGATE
3	RCLK →	38	→ WGATE
4	RESET →	37	← CLK
5	INT ←	36	← INDEX
6	DMARQ ←	35	← SECP/AMF
7	$\overline{TC}$ →	34	→ AME
8	WCLK ←	33	IC
9	$\overline{RD}$ →	32	← DSD
10	$\overline{WR}$ →	31	← READY
11	A_0 →	30	← ATT
12	D_0 ↔	29	← CMDC
13	D_1 ↔	28	↔ HS_0/XACK
14	D_2 ↔	27	↔ HS_1/ RxD
15	D_3 ↔	26	→ HS_2/TxD
16	D_4 ↔	25	→ HS_3/XREQ
17	D_5 ↔	24	→ DS_1
18	D_6 ↔	23	→ DS_2
19	D_7 ↔	22	→ DS_3
20	GND	21	→ RW/$\overline{COM}$

■ 特　徴

・シリアル・モードＥＳＤＩのハード・ディスク・ドライブを７台まで制御可能
・ハード・セクタ，ソフト・セクタ混在制御可能
・プログラマブル・トラック・フォーマット
　データ長可変：128-65536バイト／セクタ
　ギャップ長可変
・セクタ開始信号選択
　Sector Puluse/Address Mark Found
・２３種類のディスク・コマンドをもつ
・マルチセクタ／マルチトラック／マルチシリンダ機能
・インプライド・シーク機能
・データ・スキャン／ベリファイ機能
・エラー・セクタの読みだし機能
・ＥＣＣ／ＣＲＣ選択可能

■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜7.0	V
動作温度	T_{OPR}	−10〜70	℃
保存温度	T_{STG}	−65〜150	℃

■ DC特性

(T_a＝−10〜70℃，V_{CC}＝5.0V±10%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝2.0mA	0.4	V
V_{OH}	I_{OH}＝100μA	2.4*	V
I_{OL}	V_{OUT}＝0.45〜V_{CC}	±30	μA
I_{IL}	V_{IN}＝0.45〜V_{CC}	±10	μA
C_{IN}		20	pF

■端子機能

端子名	ピン番号	入出力	機能
INT	5	出力	ESDICがコマンド実行を終了，またはディスク・ドライブがシーク動作を終了したことを示す
DMARQ	6	出力	DMA要求信号
$\overline{TC}$	7	出力	データ転送の終了指示信号
$\overline{RD}$	9	出力	ESDICからデータ/ステータスを読み出すための制御信号
$\overline{WR}$	10	出力	ESDICへデータ/コマンドを書き込むための制御信号
A_0	11	出力	ESDICのレジスタ/データFIFOを選択する
D_0〜D_7	12〜19	入出力	3ステート双方向のデータ・バス
WDATA	1	出力	ディスク・ドライブへの書き込みデータ(NRZ)
RDATA	2	入力	ディスク・ドライブからの読み出しデータ(NRZ)
RCLK	3	入力	リード時はRDATAをサンプリングするリード・クロックとなり，ライト時はWCLKの周波数を決定するレファレンス・クロックとなる
WCLK	8	出力	WDATAに同期したクロック
RW/$\overline{COM}$	21	出力	25〜28ピンの入出力信号を示す。

RW/$\overline{COM}$		1	0
ピン番号	25	HS_3	XREQ
	26	HS_2	TxD
	27	HS_1	RxD
	28	HA_0	XACK

端子名	ピン番号	入出力	機能
DS_1〜DS_3	22〜24	出力	ディスク・ドライブの選択信号
HS_0〜HS_3	25〜28	出力	リード/ライト・ヘッドの選択信号
XREQ	25	出力	ディスク・ドライブに対するコマンド，またはコンフィギュレーション/ステータスの転送要求信号
TxD	26	出力	ディスク・ドライブへ送信するシリアル・コマンド
RxD	27	入力	ディスク・ドライブから受信するコンフィギュレーション/ステータス

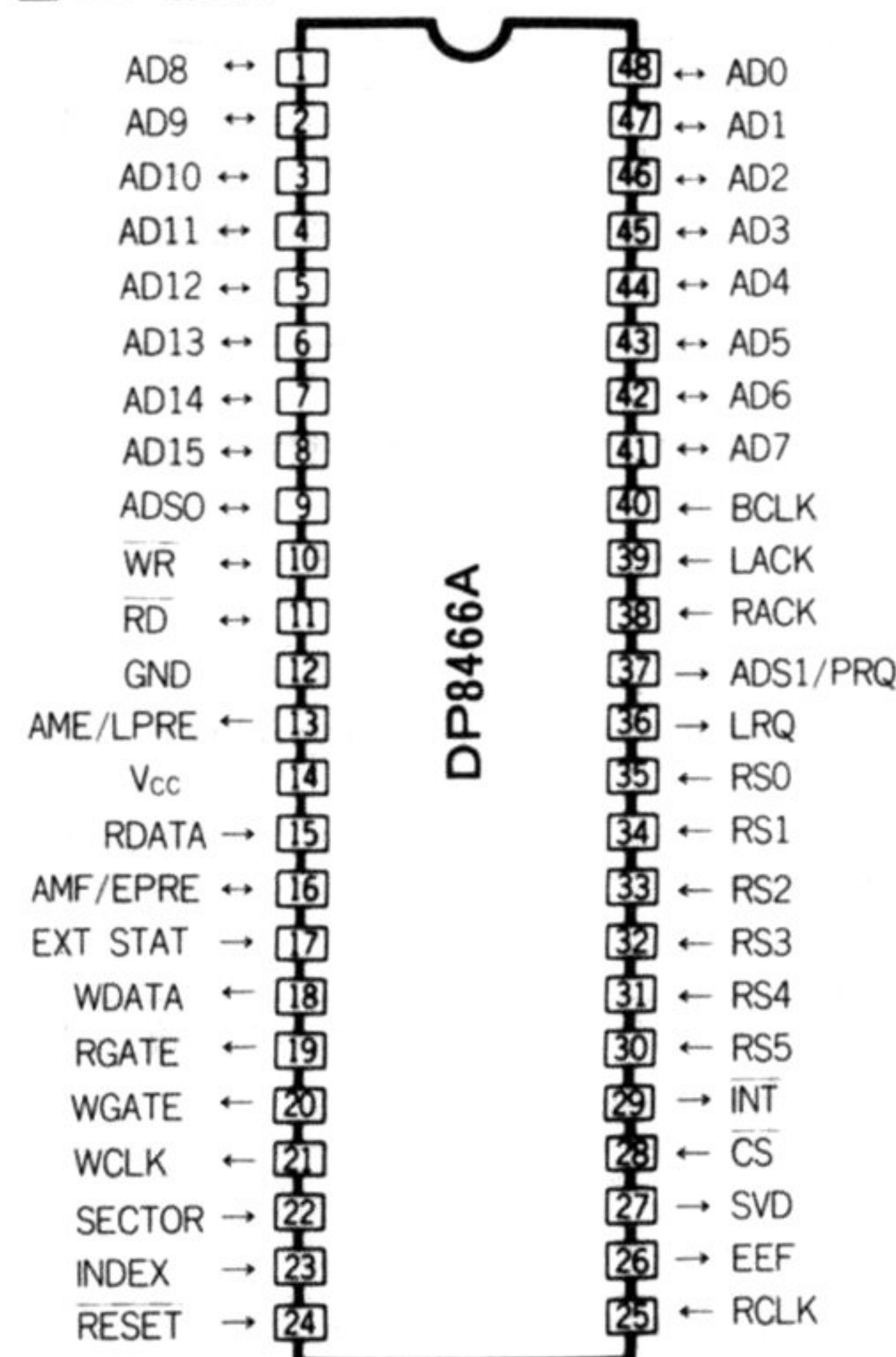
端子名	ピン番号	入出力	機能
XACK	28	入力	ディスク・ドライブからのコマンド，またはコンフィギュレーション/ステータスの転送許可信号
CMDC	29	入力	ディスク・ドライブがシリアル・コマンドの実行を終了し，次のコマンドを受け付け可能であることを示す
ATT	30	入力	ディスク・ドライブからのスタンダード・ステータス・バイトの引き取り要求信号
READY	31	入力	ディスク・ドライブがレディ状態であることを示す
DSD	32	入力	DS_1〜DS_3で指定したディスク・ドライブが選択されたことを示す
AME	34	出力	ディスク・ドライブにアドレス・マークの書き込みまたは検出を指示する
SECP	35	入力	ドライブ・ハード・セクタのディスク・ドライブにおいて，セクタの始まりを示す
AMF	35	入力	ソフト・セクタのディスク・ドライブにおいて，セクタの始まりを示す
INDEX	36	入力	インデックス検出信号
WGATE	38	出力	ディスク・ドライブにデータ書き込みを指示する信号
RGATE	39	出力	ディスク・ドライブにデータ読み出しを指示する信号
RESET	4	入力	チップ内部をクリアする
CLK	37	入力	単相システム・クロック入力．周波数は次の条件を満たさなければならない． 0.7×(RCLKの周波数)≦(CLKの周波数)≦1.8×(RCLKの周波数)
IC	33	—	内部で接続されている．グラウンドに接続する

DDC(Disk Data Controller)

■ピン接続

DP8466A

信号		ピン	ピン		信号
AD8	↔	1	48	↔	AD0
AD9	↔	2	47	↔	AD1
AD10	↔	3	46	↔	AD2
AD11	↔	4	45	↔	AD3
AD12	↔	5	44	↔	AD4
AD13	↔	6	43	↔	AD5
AD14	↔	7	42	↔	AD6
AD15	↔	8	41	↔	AD7
ADS0	↔	9	40	←	BCLK
$\overline{WR}$	↔	10	39	←	LACK
$\overline{RD}$	↔	11	38	←	RACK
GND		12	37	→	ADS1/PRQ
AME/LPRE	←	13	36	→	LRQ
Vcc		14	35	←	RS0
RDATA	→	15	34	←	RS1
AMF/EPRE	↔	16	33	←	RS2
EXT STAT	→	17	32	←	RS3
WDATA	←	18	31	←	RS4
RGATE	←	19	30	←	RS5
WGATE	←	20	29	→	$\overline{INT}$
WCLK	←	21	28	←	$\overline{CS}$
SECTOR	→	22	27	→	SVD
INDEX	→	23	26	→	EEF
$\overline{RESET}$	→	24	25	←	RCLK

■特　徴

- ハード・ディスク，フロッピ・ディスク，光ディスク用コントローラ
- ８／１６／３２ビットＣＰＵと接続可能
- 最大６４Ｋバイト・セクタ長，２５５セクタ／トラックに対応可能
- ３２／４８ビットＥＣＣがプログラマブル
- シングル３２ビットまたはデュアル１６ビットのＤＭＡチャネル・アドレス
- ８または１６ビットのデータ転送可能
- 最大ディスク・データ転送レートは２５Ｍｂｐｓ
- 最大ＤＭＡ転送レートは１０Ｍバイト／ｓ

■ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～7.0	V
入力電圧	V_{IN}	−0.5～V_{CC}+0.5	V
消費電力	P_D	0.5	W
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−65～150	℃

■ DC 特性

(T_a=0～70℃, V_{CC}=5 V±10 %)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=2.0 mA	0.4	V
V_{OH}	I_{OH}=2.0 mA	3.5*	V
I_{OFL}	V_{OUT}=V_{CC}, 0 V	±10	μA
I_{IL}	V_{IN}=V_{CC}, 0 V	±1	μA

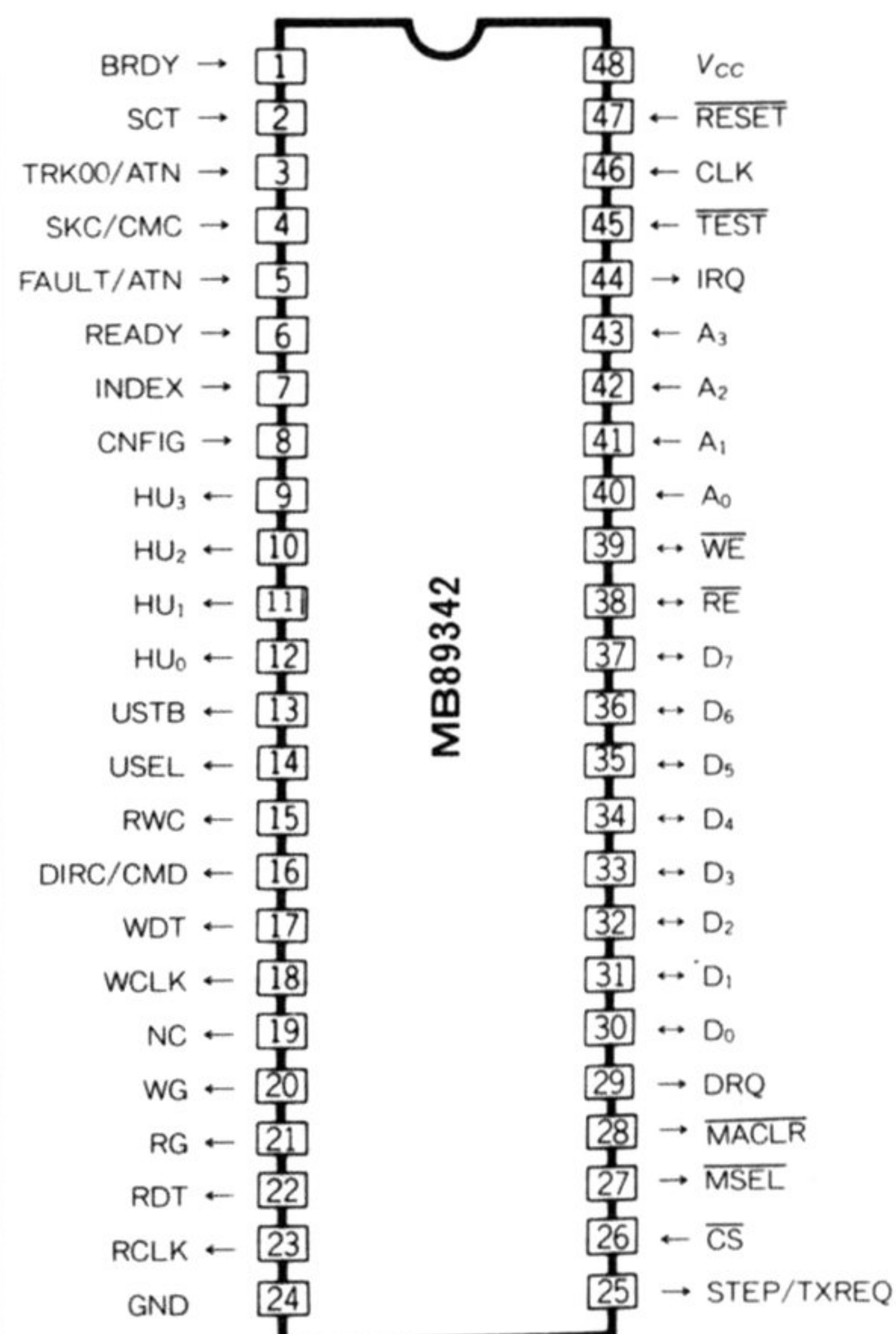
■端子機能

端子名	名　　称	ピン番号	入出力	機　　能
BCLK	バス・クロック	40	入　力	バス・マスタのときにリファレンス・クロックとして使用される
RACK	リモートDMAアクノリッジ	38	入　力	システム入力が，リモートDMAバス・サイクル用にバスの使用を許可していることを示す
LACK	ローカルDMAアクノリッジ	39	入　力	システム入力がローカルDMAバス・サイクル用にバスの使用を許可していることを示す
RS0～RS5	レジスタ・セレクト	35～30	入　力	内部レジスタ選択のためのアドレス入力
AD0～AD7	アドレス／データ0～7	48～41	入出力	アドレス／データの入出力ライン
LRQ	ローカルDMA要求	36	出　力	FIFOがデータ転送の必要があるとき自動的に出力される
AD8～15	アドレス／データ8～15	1～8	入出力	アドレス／データの入出力ライン
ADS0	アドレス・ストローブ0	9	入出力	DMAが非動作時は入力で，RS0～5のラッチ信号．DMA転送時は出力で，A0～15のラッチ信号出力
ADS1/RRQ	アドレス・ストローブ1／リモート・リクエスト	37	出　力	32ビットDMAモードではA16～A31のラッチ信号．リモートDMAモードでは，リモート・リクエスト信号出力
RCLK	リード・クロック	25	入　力	ディスク・データ・レート・クロック
RGATE	リード・ゲート	19	出　力	ディスク・リード動作のときアクティブ・ハイとなる
RDATA	リード・データ	15	入　力	データ・セパレータ／デコーダからのNRZディスク・データの入力
WCLK	ライト・クロック	21	出　力	NRZデータがWDATAピンに出力される時に使用され，周波数はRCLKと同じ
WDATA	ライト・データ	18	出　力	ライト動作時に，MFMまたはNRZエンコード・データがディスクに出力される
AMF/EPRE	アドレス・マーク・ファウンド／アーリ・プリコンペンセーション	16	入出力	内部レジスタの設定によって，アドレス・マーク入力モニタ，EPREコントロール出力となる
AME/LPRE	アドレス・マーク・イネーブル／レート・プリコンペンセーション	13	出　力	内部レジスタの設定によって，アドレス・マーク・バイトのWDATAピンに出力されていることを示すAME出力またはLPREがコントロール出力となる
SECTOR	セクタ・パルス	22	入　力	セクタの開始を示すパルス信号入力
INDEX	インデックス・パルス	23	入　力	トラックの開始を示すパルス信号入力
SDV	シリアル・データ・バリッド	27	出　力	DP8466がヘッダ・フィールドの入出力を開始したことを示す信号
EEF	ECCフィールド	26	出　力	外部ECCチェック・ビットの生成／検査のときアサート
EXT STAT	イクスターナル・ステータス	17	入　力	レジスタの設定により，3種類の機能をもつ．未使用時はプル・ダウンする
$\overline{\text{CS}}$	チップ・セレクト	28	入　力	チップ・セレクト信号
$\overline{\text{INT}}$	インタラプト	29	出　力	割り込み要求出力
$\overline{\text{RESET}}$	リセット	24	入　力	システム・リセット入力
$\overline{\text{RD}}$	リード	11	入出力	リード信号
$\overline{\text{WR}}$	ライト	10	入出力	ライト信号
WGATE	ライト・ゲート	20	出　力	ディスク上にデータを書き込むときアクティブ・ハイとなる

HDC (Hard Disk Controller)

■ ピン接続

MB89342

信号	ピン	ピン	信号
BRDY →	1	48	V_{CC}
SCT →	2	47	← $\overline{RESET}$
TRK00/ATN →	3	46	← CLK
SKC/CMC →	4	45	← $\overline{TEST}$
FAULT/ATN →	5	44	→ IRQ
READY →	6	43	← A_3
INDEX →	7	42	← A_2
CNFIG →	8	41	← A_1
HU_3 ←	9	40	← A_0
HU_2 ←	10	39	↔ $\overline{WE}$
HU_1 ←	11	38	↔ $\overline{RE}$
HU_0 ←	12	37	↔ D_7
USTB ←	13	36	↔ D_6
USEL ←	14	35	↔ D_5
RWC ←	15	34	↔ D_4
DIRC/CMD ←	16	33	↔ D_3
WDT ←	17	32	↔ D_2
WCLK ←	18	31	↔ D_1
NC ←	19	30	↔ D_0
WG ←	20	29	→ DRQ
RG ←	21	28	→ $\overline{MACLR}$
RDT ←	22	27	→ $\overline{MSEL}$
RCLK ←	23	26	← $\overline{CS}$
GND	24	25	→ STEP/TXREQ

■ 特　徴

・小型固定ディスク用のハード・ディスク・コントローラ
・ＣＰＵとのインターフェースはアドレス・レジスタ構造による簡素なアドレスド・アクセス方式
・ローカル・メモリ制御可能（アービトレーション付）
・ＥＳＤＩ仕様サポート
・ＩＤバイト長５バイト／６バイト可変
・３２ビットＦｉｒｅ符号によるＥＣＣオペレーション可能（ＩＤ部，データ部とも）
・８バイトＦＩＦＯによる転送タイミング制御の軽減

■ DC特性

（T_a＝0～70℃，V_{CC}＝5V±10%）

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝1.8mA	0.4	V
V_{OH}	I_{OH}＝100μA	2.4*	V
I_{OL}	V_{OUT}＝0～V_{CC}	±100	μA
I_{IL}	V_{IN}＝0.2V	±100	μA
C_{IN}		20	pF

■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～7.0	V
入力電圧	V_{IN}	−0.3～7.0	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−55～150	℃

■端子機能

端子名	ピン番号	入出力	機　　　　能
$\overline{\mathrm{RESET}}$	47	入　力	HDCのイニシャライズ用信号
CLK	46	入　力	HDCの動作に必要な基本クロックのひとつ．10MHzのクロックを必要とする
$\overline{\mathrm{TEST}}$	45	入　力	HDCの試験時のみに用いられる端子．通常の使用時には“H”とする
$\overline{\mathrm{CS}}$	26	入　力	HDCの内蔵レジスタ・アクセスのための信号
$\overline{\mathrm{RE}}$	38	入出力	CPUアクセスの場合$\overline{\mathrm{CS}}$と共に使用されて，HDC内レジスタのリード・ストローブまたはローカル・メモリのリード・ストローブとなる
$\overline{\mathrm{WE}}$	39	入出力	CPUアクセスの場合$\overline{\mathrm{CS}}$と共に使用されて，HDC内レジスタのライト・ストローブまたはローカル・メモリのライト・ストローブとなる
$A_0 \sim A_3$	40～43	入　力	CPUアクセス時，内蔵レジスタの選択信号となる
$D_0 \sim D_7$	30～37	入出力	HDC内蔵レジスタのデータ入出力端子
$\overline{\mathrm{MSEL}}$	27	出　力	HDCかローカル・メモリをアクセスするときに，アクティブとする信号．またローカル・メモリ用アドレス生成器の初期化を行うときにもアクティブとなる
$\overline{\mathrm{MACLR}}$	28	出　力	ローカル・メモリ用アドレス生成器の初期化を行う信号
BRDY	1	入　力	ローカル・メモリが満ぱいまたは空になったことを示す信号
DRQ	29	出　力	ローカル・メモリ・モードのとき，ローカル・メモリ内にあるデータの吸い上げ，またはローカル・メモリのデータ・ロードを要求する信号
IRQ	44	出　力	コマンド終了または条件設定により，ディスク・ドライブからの信号により生成される割り込み信号
READY	6	入　力	ハード・ディスク装置のスピンドル回転が十分となりリード/ライトまたはシーク動作が可能であることを示す
INDEX	7	入　力	ディスクの1回転に1パルス入力される基準位置信号
TRK 00/TxACK	3	入　力	リストア/シーク・コマンド時には，TRACK 0検出用信号として動作する．シリアル・コントロール・コマンドではディスク装置とのハンドシェイク・ラインの一つのTransfer Acknowledge入力として動作する
CNFIG	8	入　力	シリアル・コントロール・コマンドでのディスク装置からの情報信号入力
FAULT/ATN	5	入　力	ディスク装置へのオペレーションを行っているとき，本信号がアクティブになるとオペレーションはただちに打ち切られる
SCT	2	入　力	セレクタ・パルス入力
SKC/CMC	4	入　力	ディスク装置からのシーク完了またはシリアル・コントロール・コマンドのコマンド完了入力
RCLK	23	入　力	ディスク装置のデータ・クロックでリード/ライト・オペレーションはすべてこのクロックにより動作する
RDT	22	入　力	ディスクの読み出しデータ
DIRC/CMD	16	出　力	シーク・リストア・コマンドでは，シーク方向を指示する信号となる．シリアル・コントロール・コマンドでは，ディスク装置へ送出するシリアル・コマンドのビット出力となる
STEP/TxREQ	25	出　力	シーク・リストア・コマンドではシークするシリンダ数を指示するステップ・パルスとなる．シリアル・コントロール・コマンドでは転送のためのハンドシェイク信号となる
RWC	15	出　力	ディスク装置への書き込み電流値の切り替え信号
WG	20	出　力	ディスク装置への書き込み指示信号
WDT	17	出　力	ディスク装置の書き込みデータ信号
WCLK	18	出　力	書き込み動作時のWRITE CLOCK出力
RG	21	出　力	VFOあるいはPLOデータ再生回路に対する同期指示信号
$HU_{3\sim0}$	9～12	出　力	ディスク装置のユニット番号またはヘッド番号出力端子
USEL	14	出　力	$HU_{3\sim0}$端子にユニット番号を出力していることを示す
USTB	13	出　力	ユニット番号保持用外部FFに対するラッチ・ストローブ信号

ICU(Interrupt Control Unit)

■ピン接続

NS32202

信号	ピン	ピン	信号
IR15→	1	40	←V_{CC}
$\overline{INT}$ ←	2	39	←IR13
ST1 →	3	38	←IR11
G7/IR14↔	4	37	←IR9
G6/IR12↔	5	36	←IR7
G5/IR10↔	6	35	←IR5
G4/IR8 ↔	7	34	←IR3
G3/IR6 ↔	8	33	←IR1
G2/IR4 ↔	9	32	←CLK
G1/IR2 ↔	10	31	←$\overline{WR}$
G0/IR0 ↔	11	30	←$\overline{RD}$
D7↔	12	29	↔C_{OUT}/SC_{IN}
D6↔	13	28	←$\overline{HBE}$
D5↔	14	27	←$\overline{RST}$
D4↔	15	26	←A4
D3↔	16	25	←A3
D2↔	17	24	← A2
D1↔	18	23	←A1
D0↔	19	22	←A0
GND	20	21	←$\overline{CS}$

■特　徴

・32000シリーズ用の割り込みコントローラ
・マスク可能な16の割り込み入力を持ち，カスケード接続により最大256の割り込み要求を制御
・ハードウェア割り込み入力が8本とソフトウェア割り込み入力が8本利用可能
・プログラマブルな8／16ビット・バス・モード
・各割り込み入力毎にエッジ/レベル，極性の選択可
・16ビット・カウンタを2個内蔵し，32ビット・カウンタとしても利用可能
・8ビット・バス・モードでは，残りのバスを8ビットの汎用I／Oポートとして利用可能

■最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜7.0	V
消費電力	P_D	1.5	W
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−65〜150	℃

■DC特性

(T_a=0〜70℃，V_{CC}=5 V±5%)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=2 mA	0.45	V
V_{OH}	I_{OH}=400 μA	2.4*	V
I_{OFL}		±20	μA
I_{IL}	V_{IN}=0〜V_{CC}	±20	μA

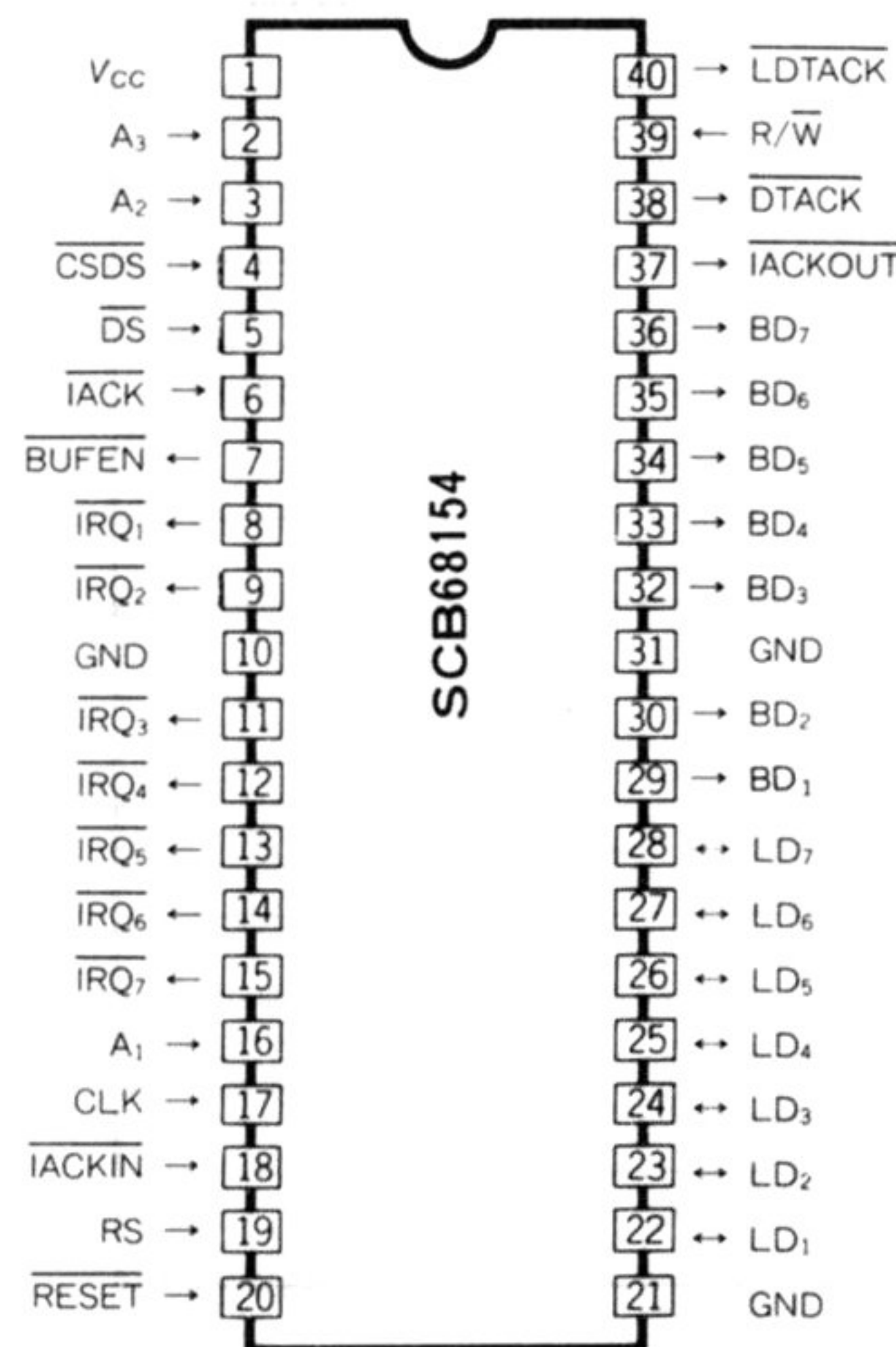
■ブロック図

GND　V_{CC}
ST1　$\overline{INT}$　IR1　IR3　IR5　IR7　IR9　IR11　IR13　IR15
G7/IR14　G6/IR12　G5/IR10　G4/IR8　G3/IR6　G2/IR4　G1/IR2　G0/IR0　D7　D6　D5　D4　D3　D2　D1　D0
プライオリティ・コントロール
I/Oバッファ&ラッチ
タイミング&コントロール
カウンタ
C_{OUT}/SC_{IN}
CLK
リード/ライト&デコーダ
$\overline{RST}$　$\overline{RD}$　$\overline{WR}$　$\overline{CS}$　$\overline{HBE}$　A0　A1　A2　A3　A4

■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{RST}$	リセット	27	入力	内部リセット信号入力．ロー・アクティブ
$\overline{CS}$	チップ・セレクト	21	入力	チップ・セレクト信号入力．ロー・アクティブ
A0〜A4	アドレス0〜アドレス4	22〜26	入力	内部レジスタ選択のためのアドレス信号入力
$\overline{HBE}$	ハイ・バイト・イネーブル	28	入力	データ・バスの上位バイト転送可信号．ロー・アクティブ．8ビット・バス・モードでは使わない
$\overline{RD}$	リード	30	入力	内部レジスタのリード信号．ロー・アクティブ
$\overline{WR}$	ライト	31	入力	内部レジスタへのライト信号．ロー・アクティブ
ST1	ステータス	3	入力	CPUからのステータス信号入力
IR1, IR3, …IR15	割り込み要求1〜15	33〜39, 1	入力	割り込み要求信号入力．ハードウェア割り込みに使用される
G0/IR0, … …G7/IR14	汎用入出力0〜7	11〜4	入出力	16ビット・バス・モードのときは，上位バイト・データの入出力バスとなる．8ビット・バス・モードでは，割り込み要求信号入力，汎用I/Oポート，内部カウンタのクロック出力として使用できる
CLK	クロック	32	入力	内部カウンタ動作のための外部クロック入力端子
$\overline{INT}$	割り込み出力	2	出力	割り込みペンディングを示す出力信号
D0〜D7	データ・バス0〜7	19〜12	入出力	8ビット・バス，16ビット・バスいずれのモードでも下位8ビット用のデータ・バス
C_{OUT}/SC_{IN}	カウンタ出力／ サンプリング・クロック入力	29	入出力	内部オシレータのクロック出力または内部カウンタのゼロ検出信号の出力． テスト・モードのとき外部クロック入力端子として使用する

IGOR (Interrupt Requestor)

■ ピン接続

SCB68154

ピン	信号	ピン	信号
1	V_{CC}	40	→ $\overline{LDTACK}$
2	A_3 →	39	← R/$\overline{W}$
3	A_2 →	38	→ $\overline{DTACK}$
4	$\overline{CSDS}$ →	37	→ $\overline{IACKOUT}$
5	$\overline{DS}$ →	36	→ BD_7
6	$\overline{IACK}$ →	35	→ BD_6
7	$\overline{BUFEN}$ ←	34	→ BD_5
8	$\overline{IRQ_1}$ ←	33	→ BD_4
9	$\overline{IRQ_2}$ ←	32	→ BD_3
10	GND	31	GND
11	$\overline{IRQ_3}$ ←	30	→ BD_2
12	$\overline{IRQ_4}$ ←	29	→ BD_1
13	$\overline{IRQ_5}$ ←	28	↔ LD_7
14	$\overline{IRQ_6}$ ←	27	↔ LD_6
15	$\overline{IRQ_7}$ ←	26	↔ LD_5
16	A_1 →	25	↔ LD_4
17	CLK →	24	↔ LD_3
18	$\overline{IACKIN}$ →	23	↔ LD_2
19	RS →	22	↔ LD_1
20	$\overline{RESET}$ →	21	GND

■ 特　徴

- VMEバス対応のインタラプト・ジェネレータ
- 7レベルのバス割り込み要求発生
- 割り込みアクノリッジ・デイジィ・チェーン機能
- 必要に応じて，システムに対しステータス／IDバイト（割り込みベクタ）を供給
- システム・コントロールのための内部レジスタを二つもつ
- 割り込みベクタ・レジスタによって割り込み要求レベルをイネーブル，クリアにできる

■ DC特性

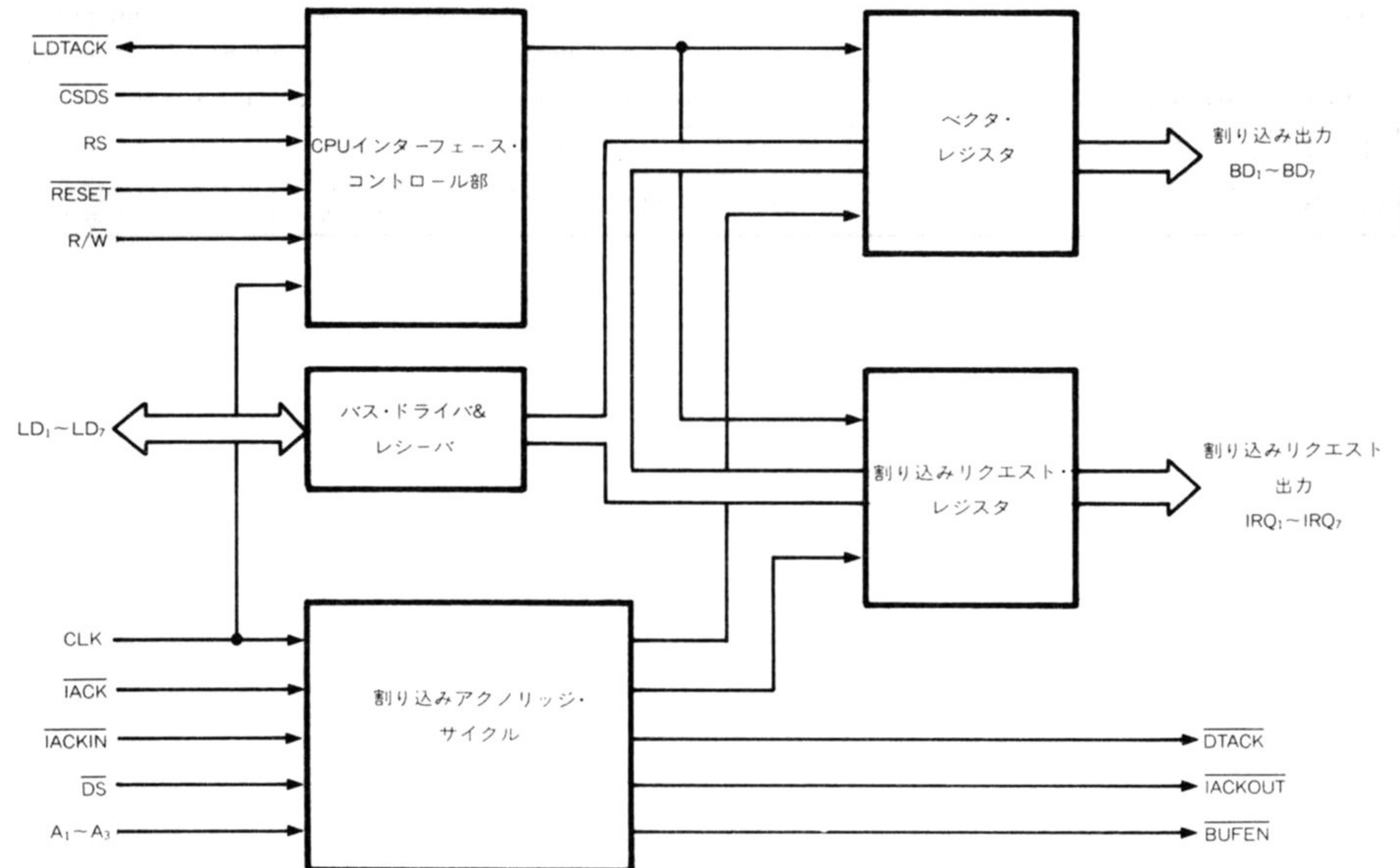
（T_a＝0～70℃，V_{CC}＝5V±5%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝8mA	0.5	V
V_{OH}	I_{OH}＝400μA	2.5*	V
I_{OL}	V_{OUT}＝5.25, 0.5V	±20	μA
I_{IL}	V_{IN}＝5.25V	100	μA

■ ブロック図

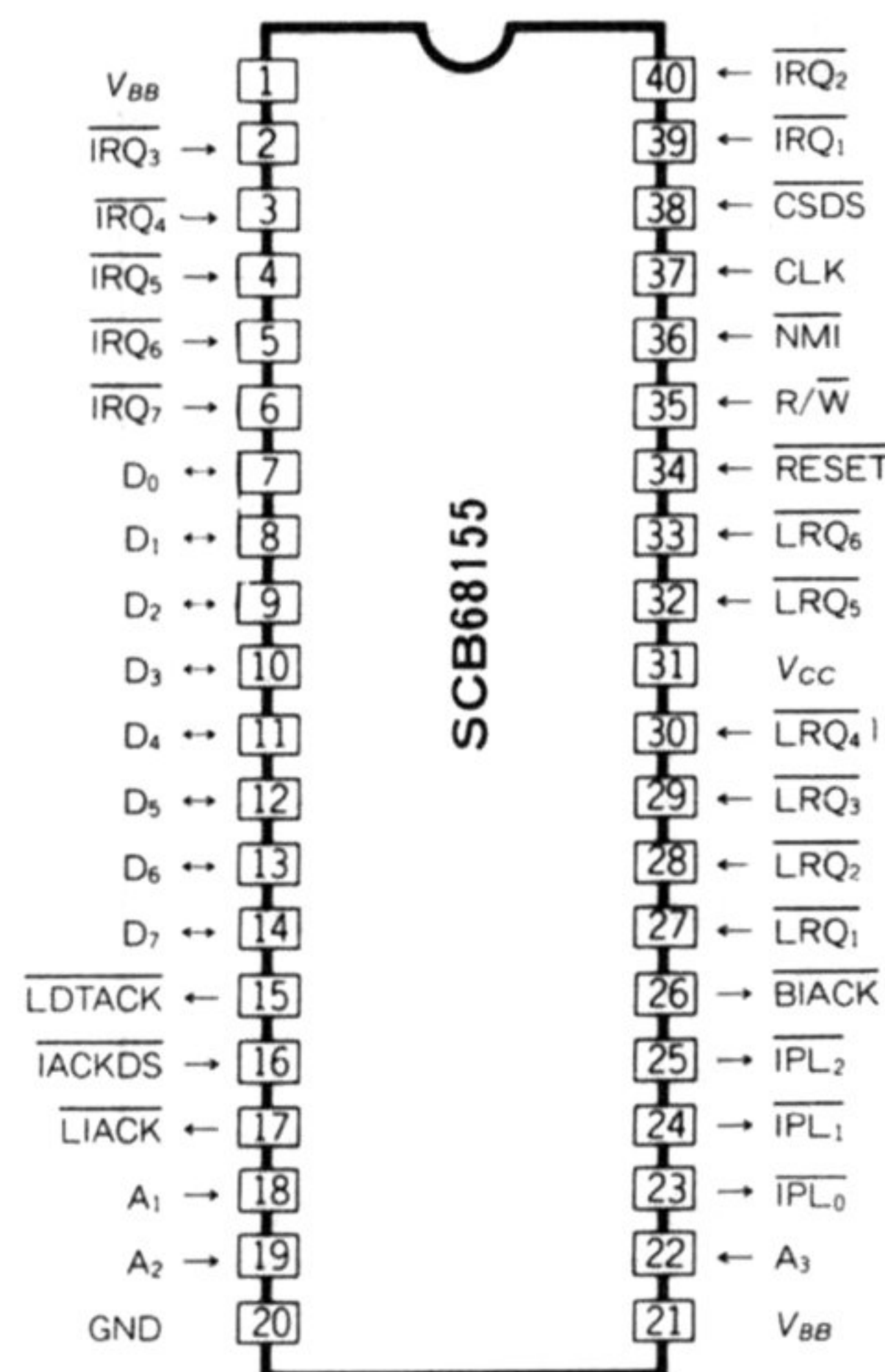
$\overline{LDTACK}$
$\overline{CSDS}$
RS
$\overline{RESET}$
R/$\overline{W}$
CPUインターフェース・コントロール部
ベクタ・レジスタ
割り込み出力 BD_1～BD_7
LD_1～LD_7
バス・ドライバ&レシーバ
割り込みリクエスト・レジスタ
割り込みリクエスト出力 IRQ_1～IRQ_7
CLK
$\overline{IACK}$
$\overline{IACKIN}$
$\overline{DS}$
A_1～A_3
割り込みアクノリッジ・サイクル
$\overline{DTACK}$
$\overline{IACKOUT}$
$\overline{BUFEN}$

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	－0.5～7.0	V
入力電圧	V_{IN}	－0.5～5.5	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	－65～150	℃

■端子機能

端 子 名	ピン番号	入 出 力	機　　　能
V_{CC}	1	—	供給電圧：＋5 V
$A_3 \sim A_1$	2, 3, 16	入　力	アドレス・ライン：システム・バスからのアドレス入力．アクノリッジされる内部レベルがこれらの入力にエンコードされる．A_1がLSB
$\overline{CSDS}$	4	入　力	チップ・セレクト：レジスタI/Oのためのアクティブ"L"チップ・セレクト信号．この信号は入力される前に，ローカル・マスタのデータ・ストローブによって修正されなければならない
$\overline{DS}$	5	入　力	データ・ストローブ：アクティブ"L"．割り込みベクタ出力をイネーブルするため，システムから入力されるデータ・ストローブ信号
$\overline{IACK}$	6	入　力	割り込みアクノリッジ：アクティブ"L"．システム・バスからの割り込みアクノリッジ入力
$\overline{BUFEN}$	7	出　力	バッファ・イネーブル：アクティブ"L"．バス・データ・ピン（$BD_1 \sim BD_7$）の出力をドライブするバッファをイネーブルする出力信号
$\overline{IRQ_1}$ $\sim \overline{IRQ_7}$	8，9，11～15	出　力	割り込み要求．アクティブ"L"．トーテム・ポール・システム割り込み要求出力
GND	10, 21, 31	—	グラウンド
CLK	17	入　力	クロック：クロック入力（一般的には，CPUクロック使用）
$\overline{IACKIN}$	18	入　力	割り込みアクノリッジ入力：アクティブ"L"．割り込みアクノリッジ・デイジィ・チェーン入力
RS	19	入　力	レジスタ・セレクト：レジスタ・セレクト入力
$\overline{RESET}$	20	入　力	リセット：アクティブ"L"入力．全内部レジスタ，$\overline{IACKOUT}$，$\overline{IRQ_n}$をリセットする
$LD_1 \sim LD_7$	22～28	入出力	ローカル・データ：3ステート・ローカル・データ・バス
$BD_1 \sim BD_7$	29, 30, 32～36	出　力	データ・バス：ベクタ出力に使われる3ステート・データ・ピン
$\overline{IACKOUT}$	37	出　力	割り込みアクノリッジ出力：アクティブ"L"．トーテム・ポール割り込みアクノリッジ・デイジィ・チェーン出力
$\overline{DTACK}$	38	出　力	データ転送アクノリッジ：アクティブ"L"トーテム・ポール出力．この信号は割り込みアクノリッジ・サイクルの期間，バス上にデータが有効であることを示す
$R/\overline{W}$	39	入　力	リード/ライト：レジスタ・リード/ライト入力．この信号は，処理するデータ転送サイクルがリードかライトかを決める
$\overline{LDTACK}$	40	出　力	ローカル・データ転送アクノリッジ：アクティブ"L"，オープン・コレクタ．ローカル・バスに対するデータ転送アクノリッジ出力

IVHAN (Interrupt Vectorizer and Handler)

■ ピン接続

SCB68155

ピン	信号	ピン	信号
1	V_{BB}	40	$\overline{IRQ_2}$ ←
2	$\overline{IRQ_3}$ →	39	$\overline{IRQ_1}$ ←
3	$\overline{IRQ_4}$ →	38	$\overline{CSDS}$ ←
4	$\overline{IRQ_5}$ →	37	CLK ←
5	$\overline{IRQ_6}$ →	36	$\overline{NMI}$ ←
6	$\overline{IRQ_7}$ →	35	$R/\overline{W}$ ←
7	D_0 ↔	34	$\overline{RESET}$ ←
8	D_1 ↔	33	$\overline{LRQ_6}$ ←
9	D_2 ↔	32	$\overline{LRQ_5}$ ←
10	D_3 ↔	31	V_{CC}
11	D_4 ↔	30	$\overline{LRQ_4}$ ←
12	D_5 ↔	29	$\overline{LRQ_3}$ ←
13	D_6 ↔	28	$\overline{LRQ_2}$ ←
14	D_7 ↔	27	$\overline{LRQ_1}$ ←
15	$\overline{LDTACK}$ ←	26	BIACK →
16	$\overline{IACKDS}$ →	25	$\overline{IPL_2}$ →
17	$\overline{LIACK}$ ←	24	$\overline{IPL_1}$ →
18	A_1 →	23	$\overline{IPL_0}$ →
19	A_2 →	22	A_3 ←
20	GND	21	V_{BB}

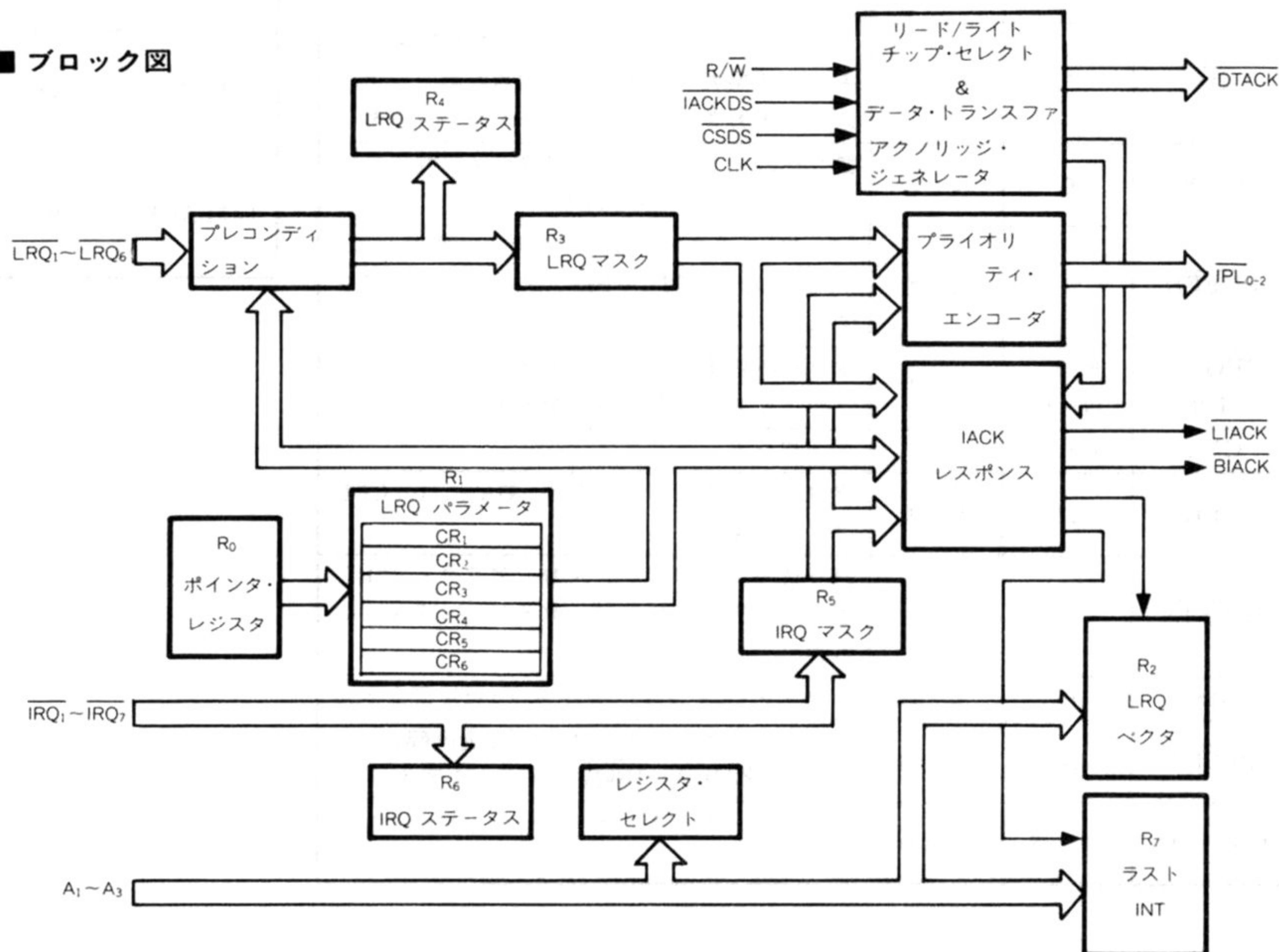
■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～7.0	V
入力電圧	V_{IN}	−0.5～5.5	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−65～150	℃

■ 特　徴

- VMEバス対応の非同期式インタラプト・ハンドラ
- 14までの割り込み（ノン・マスカブル割り込み，6ローカル割り込み，7システム割り込み）の受信と7レベルのいずてかに優先順位づけする
- 割り込みのポーリングおよびリアルタイム処理
- ローカル割り込みに対する動作が2種類
  - ベクタ・モード
  - デバイス供給ベクタ・モード
- バス・リクエスタ（68172，68175）と共に動作し，割り込みアクノリッジの期間システム・バスから，ステータス／IDバイト（ベクタ）を得る

■ ブロック図

$\overline{LRQ_1}$～$\overline{LRQ_6}$ / プレコンディション / R_4 LRQ ステータス / R_3 LRQ マスク / R_1 LRQ パラメータ (CR_1, CR_2, CR_3, CR_4, CR_5, CR_6) / R_0 ポインタ・レジスタ / $R/\overline{W}$, $\overline{IACKDS}$, $\overline{CSDS}$, CLK / リード/ライト チップ・セレクト & データ・トランスファ アクノリッジ・ジェネレータ / $\overline{DTACK}$ / プライオリティ・エンコーダ / $\overline{IPL_{0-2}}$ / IACK レスポンス / $\overline{LIACK}$ / $\overline{BIACK}$ / R_5 IRQ マスク / $\overline{IRQ_1}$～$\overline{IRQ_7}$ / R_6 IRQ ステータス / レジスタ・セレクト / A_1～A_3 / R_2 LRQ ベクタ / R_7 ラスト INT

■ DC特性

（T_a＝0～70℃，V_{CC}＝5V±5%）

記号	測　定　条　件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝8mA	0.6	V
V_{OH}	I_{OH}＝3mA	2.5*	V
I_{OL}	V_{OUT}＝4.75V（オープン・コレクタ）	100	μA
I_{IL}	V_{IN}＝5.25V	100	μA
V_{BB}		1.35～1.65	V

■端子機能

端 子 名	ピン番号	入 出 力	機　　能
V_{BB}	1, 21	—	供給電圧：内部ゲートへの供給電圧
$\overline{IRQ_1}$～$\overline{IRQ_7}$	2～6 39, 40	入 力	バス割り込み要求：アクティブ"L"入力
D_0～D_7	7～14	入出力	データ・バス：3ステート・ローカル・データ・バス
$\overline{LDTACK}$	15	出 力	ローカル・データ転送アクノリッジ：アクティブ"L"オープン・コレクタ出力．この信号は，割り込みアクノリッジ・サイクルまたはデータ転送サイクルの期間，ローカル・データ・バス上に有効データがあることを示す
$\overline{IACKDS}$	16	入 力	割り込みアクノリッジ：ローカル・マスタからの割り込みアクノリッジ入力（アクティブ"L"）．この信号は，入力される前，ローカル・マスタ・データ・ストローブによって修正されなければならない
$\overline{LIACK}$	17	出 力	ローカル割り込みアクノリッジ：ローカル・デバイスに対する割り込みアクノリッジ出力（アクティブ"L"）
A_1～A_3	18, 19, 22	入 力	アドレス・ライン：ローカル・マスタからのアドレス入力
GND	—	—	グラウンド
$\overline{IPL_0}$～$\overline{PL_2}$	23～25	出 力	割り込み優先レベル：ローカル・マスタに対するアクティブ"L"出力．割り込み要求の優先レベルは，これらの出力にエンコードされる
$\overline{BIACK}$	26	出 力	バス割り込みアクノリッジ：システム・バスに対する割り込みアクノリッジ出力（アクティブ"L"）
$\overline{LRQ_1}$～$\overline{LRQ_7}$	27～30, 32, 33	出 力	ローカル割り込み要求：ローカル割り込み要求入力．これらの入力のアクティブ状態は，ユーザが定義できる
V_{CC}	31	—	供給電圧：＋5V電圧

端 子 名	ピン番号	入 出 力	機　　能
$\overline{RESET}$	34	入 力	リセット：アクティブ"L"入力．内部をリセットする
R/$\overline{W}$	35	入 力	リード/ライト：データ転送サイクルをリードまたはライトにする
$\overline{NMI}$	36	入 力	ノンマスカブル割り込み：アクティブ"L"最優先割り込み
CLK	37	入 力	クロック：クロック入力（通常CPU入力）
$\overline{CSDS}$	38	入 力	チップ・セレクト：アクティブ"L"．レジスタI/Oのためのチップ・セレクト入力．この信号は，入力される前に，ローカル・マスタのデータ・ストローブによって修正されなければならない

PIC(Priority Interrupt Controller)

■ ピン接続

MB472

ピン	信号		ピン	信号
1	CS_1 →		24	V_{CC}(+5V)
2	$\overline{Stretch}$ ←		23	→ $\overline{INT}$
3	$\overline{CS_0}$ →		22	→ Z_4
4	$\overline{IN_0}$ →		21	→ Z_3
5	$\overline{IN_1}$ →		20	→ Z_2
6	$\overline{IN_2}$ →		19	→ Z_1
7	$\overline{IN_3}$ →		18	← E
8	$\overline{IN_4}$ →		17	← R/$\overline{W}$
9	$\overline{IN_5}$ →		16	← A_1
10	$\overline{IN_6}$ →		15	← A_2
11	$\overline{IN_7}$ →		14	← A_3
12	(0V)GND		13	← A_4

■ 特　徴

・６８系ＣＰＵに適合
・優先順位づけられた８個の割り込みを制御
・割り込み発生時，アドレス・バスの一部に修正を加える形で，その割り込みに固有な処理ルーチンのベクタ・アドレスを発生する
・Ｓｔｒｅｔｃｈ信号により，高速なＣＰＵにも対応可能
・割り込み処理ルーチンのアドレス・テーブルは，ＲＯＭ外（ＲＡＭ）にはおくことができない

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～7.5	V
入力電圧	V_{IN}	−0.5～5.5	V
動作温度	T_{OPR}	−25～85	℃
保存温度	T_{STG}	−55～150	℃

■ DC特性

（T_a＝−20～＋75℃，V_{CC}＝5V±5%）

項目（測定端子）		記号	V_{CC}(V)	条件	規格値 min	規格値 max	単位
入力電流 "H"	$\overline{CS_0}$, CS_1, E, R/W, A_1～A_4	I_{IH}	5.25	V_{IH}＝2.7V V_{IH}＝7.0V	—	20 100	μA
	$\overline{IN_0}$～$\overline{IN_7}$	I_{IH2}	4.75		−10	—	
入力電流 "L"	$\overline{CS_0}$, CS_1, E, R/W, A_1～A_4	I_{IL1}	5.25	V_{IL}＝0.4V	—	−360	μA
	$\overline{IN_0}$～$\overline{IN_7}$	I_{IL2}			—	−720	
出力電圧 "H"	Z_1～Z_4, $\overline{Stretch}$	V_{OH}	4.75	I_{OH}＝−0.5mA	2.7	—	V
出力電圧 "L"	Z_1～Z_4, $\overline{IRQ}$, $\overline{Stretch}$	V_{OL}	4.75	I_{OL}＝ 4mA I_{OL}＝10mA	—	0.4 0.5	V
出力逆電流	$\overline{IRQ}$	I_{OH}	5.25	V_{OH}＝5.5V	—	100	μA
出力短絡電流	Z_1～Z_4, $\overline{Stretch}$	I_{OS}	5.25	V_{OH}＝0V	−5	−40	mA
入力クランプ電圧	全入力	I_{IC}	4.75	I_{IL}＝−18mA	—	−1.2	V

■ ブロック図

$\overline{IN_7}$ 11, $\overline{IN_6}$ 10, $\overline{IN_5}$ 9, $\overline{IN_4}$ 8, $\overline{IN_3}$ 7, $\overline{IN_2}$ 6, $\overline{IN_1}$ 5, $\overline{IN_0}$ 4
8ビット・リクエスト・レジスタ
1 of 8プライオリティ・エンコーダ
マスク
マスク・レベルより下のレベルの割り込み入力は無視される
8
ベクタ・ルックアップ・テーブル
23 $\overline{INT}$
1＝非選択
4
E 18, R/$\overline{W}$ 17, $\overline{CS_0}$ 3, CS_1 1
チップ・セレクト・デコード・ファンクション・コントロール
マスクのロード
マスク・ロケーション・レジスタ
ベクタ・バス
ベクタの選択もしくはアドレス
A_4 13, A_3 14, A_2 15, A_1 16
アドレス・バス
4
1 of 2 セレクタ ×4
22 Z_4, 21 Z_3, 20 Z_2, 19 Z_1
V_{CC}＝24ピン
GND＝12ピン
2 $\overline{Stretch}$

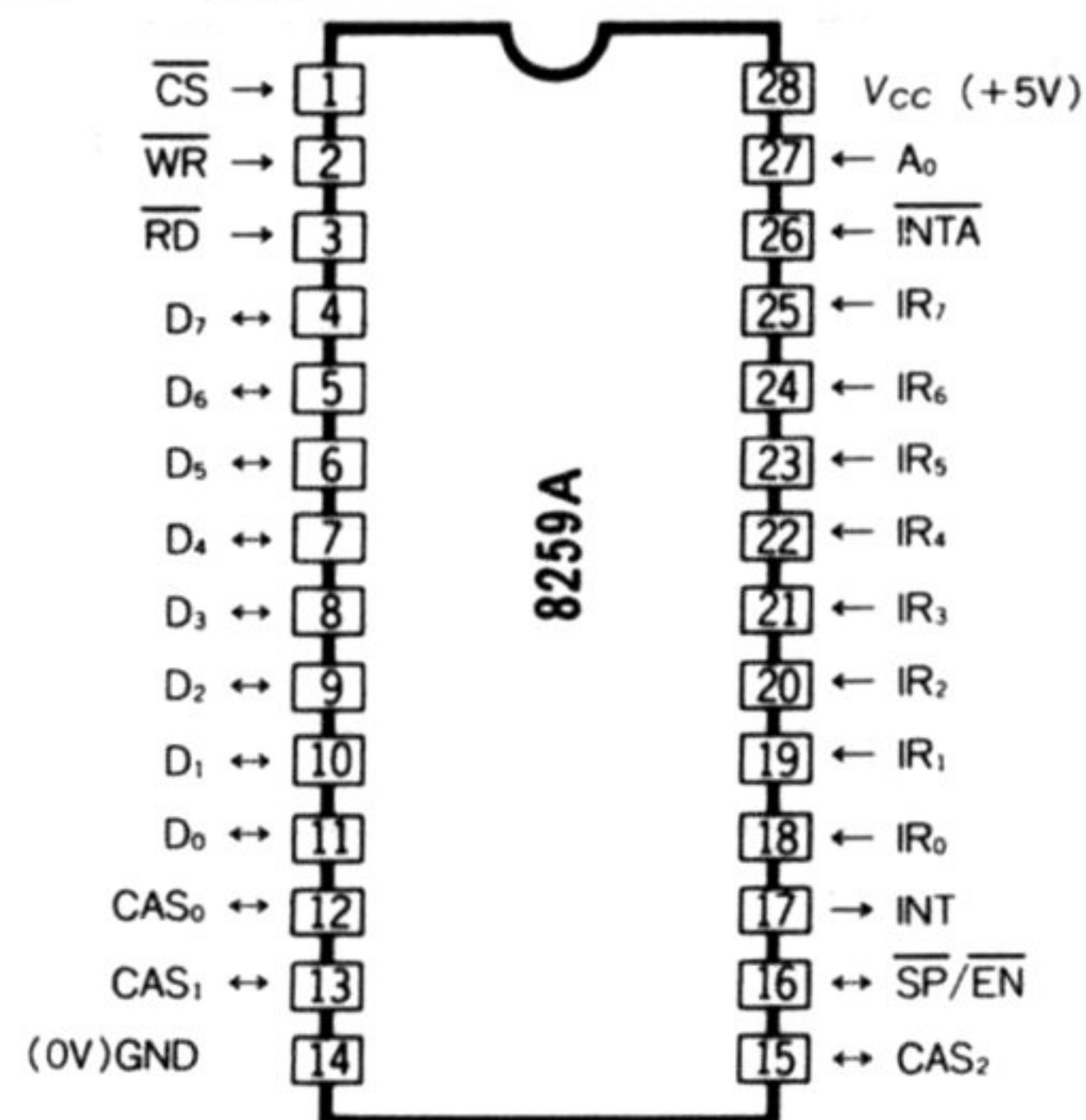
■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{CS_0}$, CS_1	チップ・セレクト	3，1	入力	チップ・セレクト信号
$\overline{Stretch}$	ストレッチ	2	出力	データ取り込みを容易にするためにϕ_2をのばす制御信号
$\overline{IN_0}$～$\overline{IN_7}$	割り込み入力	5～11	入力	割り込み入力で，優先度は$\overline{IN_7}$～$\overline{IN_0}$の順に低くなる
$\overline{IRQ}$	割り込み要求	23	出力	CPUへの割り込み要求出力で，$\overline{IN_0}$～$\overline{IN_7}$に割り込みがあると“L”になる
E	イネーブル	18	入力	CPUとの同期信号
R/$\overline{W}$	リード/ライト	17	入力	データ・バスの入出力方向を制御する信号
A_1～A_4	アドレス入力	16～13	入力	内部レジスタ，セレクタをアクセスするためのアドレス信号
Z_1～Z_4	アドレス出力	19～22	出力	CPUから選択された状態で，割り込みのベクタ・アドレスを出力する
GND	グラウンド	12	—	グラウンド
V_{CC}	電源	24	—	電源

PIC (Programmable Interrupt Controller)

■ ピン接続

8259A

信号	ピン	ピン	信号
$\overline{CS}$ →	1	28	V_{CC} (+5V)
$\overline{WR}$ →	2	27	← A_0
$\overline{RD}$ →	3	26	← $\overline{INTA}$
D_7 ↔	4	25	← IR_7
D_6 ↔	5	24	← IR_6
D_5 ↔	6	23	← IR_5
D_4 ↔	7	22	← IR_4
D_3 ↔	8	21	← IR_3
D_2 ↔	9	20	← IR_2
D_1 ↔	10	19	← IR_1
D_0 ↔	11	18	← IR_0
CAS_0 ↔	12	17	→ INT
CAS_1 ↔	13	16	↔ $\overline{SP}/\overline{EN}$
(0V)GND	14	15	↔ CAS_2

■ 特　徴

- ８０系ＣＰＵ（８０８０Ａ，８０８５Ａ，８０８６，８０８８）に適合
- 割り込み発生時８０８０Ａ／８０８５Ａに対しては”ＣＡＬＬ”命令（１１００１１０１）とベクタ・アドレスを，８０８６／８０８８に対しては割り込みベクタ・テーブルのポインタを送出する
- 各割り込み要求端子の優先順位，割り込みマスク，ベクタ・アドレス／ポインタの指定は，すべてプログラマブル
- カスケード接続により最大６４の割り込み要求を制御
- ポーリングが可能

■ ブロック図

$\overline{INTA}$　INT

D_7～D_0　データ・バス・バッファ

制御回路

$\overline{RD}$　$\overline{WR}$　A_0　$\overline{CS}$　リード／ライト制御回路

インサービス・レジスタ (ISR)

優先度判定回路

割り込み要求レジスタ (IRR)

IR_0 IR_1 IR_2 IR_3 IR_4 IR_5 IR_6 IR_7

CAS_0　CAS_1　CAS_2　カスケード・バッファ／コンパレータ

$\overline{SP}/\overline{EN}$

割り込みマスク・レジスタ (IMR)

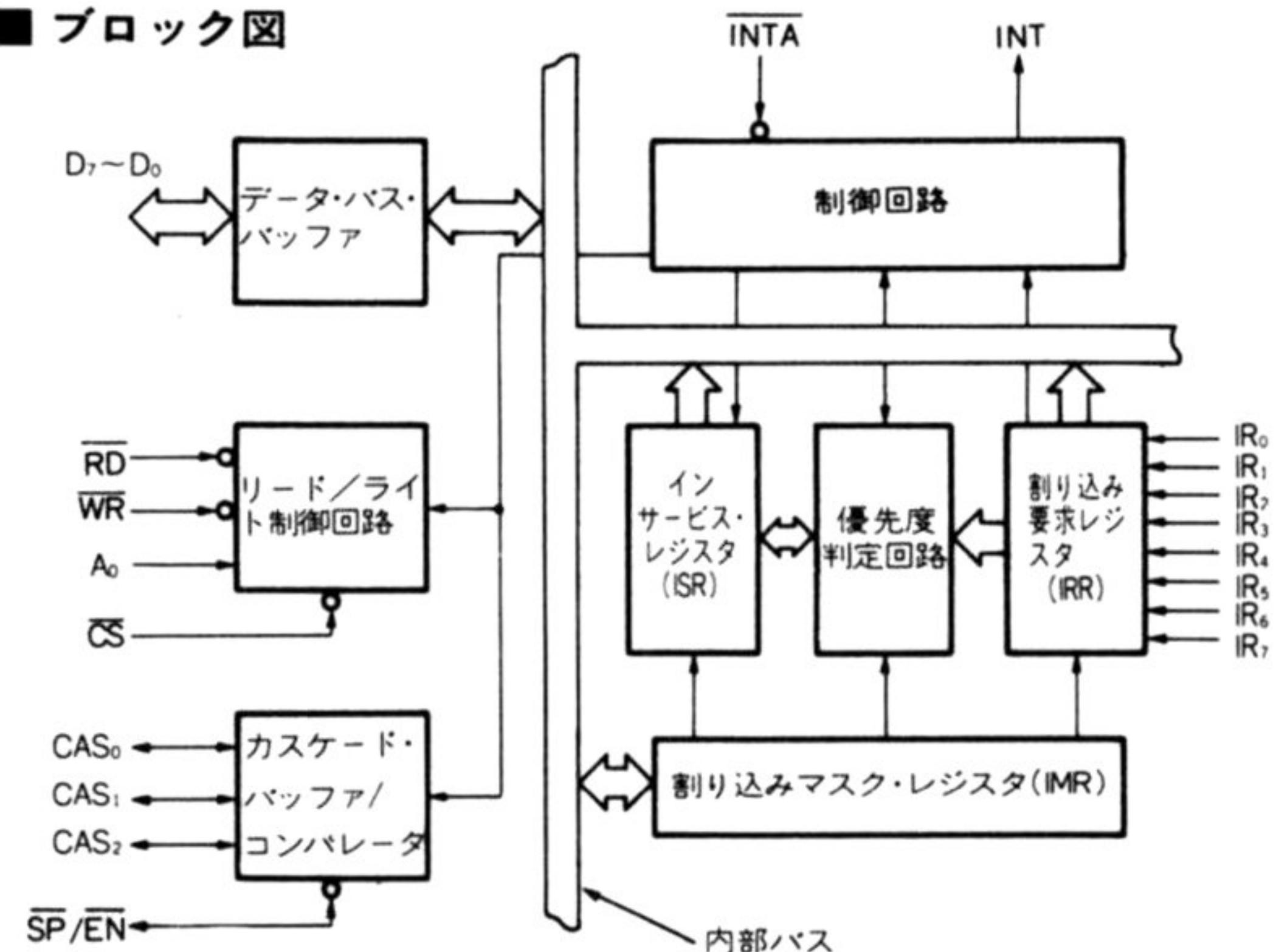
内部バス

■ DC特性

〔T_a＝0℃～70℃，V_{CC}＝5V±5%(8259A-8)〕

記号	測定条件	max/min*	単位
V_{IL}		0.8/−0.5*	V
V_{IH}		V_{CC}+0.5V/2.0*	V
V_{OL}	I_{OL}＝2.2mA	0.45	V
V_{OH}	I_{OH}＝−400μA	2.4*	V
$V_{OH(INT)}$	I_{OH}＝−100μA	3.5*	V
	I_{OH}＝−400μA	2.4*	V
I_{LI}	0V≦V_{IN}≦V_{CC}	+10/−10*	μA
I_{LOL}	0.45V≦V_{OUT}≦V_{CC}	+10/−10*	μA
I_{CC}		85	μA
I_{LIR}	V_{IN}＝0	−300	μA
	V_{IN}＝V_{CC}	10	μA

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～+7	V
入力電圧	V_{IN}	−0.5～+7	V
出力電圧	V_{OUT}	−0.5～+7	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−65～+150	℃

■端子機能

端子名	名　　称	ピン番号	入出力	機　　能
$\overline{CS}$	チップ・セレクト	1	入　力	チップ・セレクト入力．アクティブ"L"．$\overline{RD}$，$\overline{WR}$制御入力をイネーブルにする．$\overline{INTA}$対しては関係しない
$\overline{WR}$	ライト	2	入　力	書き込み制御入力．$\overline{CS}$および$\overline{WR}$が共に"L"のとき，8259Aはデータ・バス上のデータをコマンドとして受け入れる
$\overline{RD}$	リード	3	入　力	読み出し制御入力．$\overline{CS}$および$\overline{RD}$が共に"L"のとき，8259Aはデータ・バス上にステータスを出力する
D_0～D_7	データ0～7	11～4	入出力	双方向データ・バス．CPUとのステータス，コマンド，割り込みベクタ・アドレスの転送は，この双方向性データ・バスを介して行われる
CS_0～CA_2	カラム・アドレス・ストローブ0～2	12, 13, 15	入出力	カスケード接続ライン．マスタでは出力，スレーブでは入力となり，マスタはこのラインにより3ビットのコードでスレーブを指定する．スレーブはこのライン上のコードを自分の識別コードと比較し，一致すればベクタ・アドレス，データ・バス上に出力する
$\overline{SP}/\overline{EN}$	スレーブ・プログラム入力/イネーブル	16	入出力	スレーブ・プログラム入力/イネーブル信号出力．通常のモードでは入力となる．$\overline{SP}/\overline{EN}$＝"1"でマスタ，$\overline{SP}/\overline{EN}$＝"0"でスレーブを指定できる．バッファ・モードでは，8259Aが双方向性データ・バスに出力しているとき，この端子は"L"を出力する．このときのマスタ/スレーブの指定はコマンドで行われる
INT	割り込み出力	17	出　力	割り込み要求出力．割り込み要求入力IR_0～IR_7に割り込みがあり受け付けられるとCPUに対し"H"を出力し割り込み要求を出力する
IR_0～IR_7	割り込み入力	18～25	入　力	割り込み要求入力．"H"アクティブの非同期入力である． エッジ・トリガ・モードでは，立ち上がりエッジおよび最初の$\overline{INA}$が入力されるまで"H"の保持が必要． レベル・トリガ・モードでは立ち上がりエッジは必要ないが，最初の$\overline{INTA}$が入力されるまで"H"の保持が必要
$\overline{INTA}$	割り込み要求	26	入　力	割り込み応答入力．"L"でアクティブ．CPUからこの入力に$\overline{INTA}$出力パルスが入力されることにより，データ・バス上にコール命令コードおよびベクタ・アドレスを出力する
A_0	アドレス	27	入　力	A_0アドレス・ライン．コマンドの書き込みまたはステータスの読み出しの場合に$\overline{WR}$，$\overline{RD}$と共に用いる．通常アドレス・バスの一つに接続され，8259Aの内部レジスタ・アドレッシング・ビットとして使用される

DDLC(Dual Data Lilk Controller)

■ピン接続

MC145488

PLCC

ピン	信号	ピン	信号
1	A7	35	V_{SS}
2	V_{DD}	36	$\overline{IRQ}$
3	A6	37	$\overline{DTACK}$
4	A5	38	$\overline{BERR}$
5	A4	39	$\overline{BR}$
6	A3	40	$\overline{BG}$
7	A2	41	$\overline{BGACK}$
8	A1	42	$\overline{OWN}$ 0
9	V_{DD}	43	$\overline{OWN}$ 1
10	D0	44	Rx CLK1
11	D1	45	Tx CLK1
12	D2	46	$\overline{CTS}$ 1
13	D3	47	$\overline{RTS}$ 1
14	D4	48	RxD 1
15	D5	49	TxD 1
16	D6	50	$\overline{CD}$ 1
17	D7	51	V_{SS}
18	D8	52	V_{DD}
19	D9	53	GPO
20	D10	54	$\overline{CD}$ 0
21	V_{SS}	55	TxD 0
22	D11	56	RxD 0
23	D12	57	$\overline{RTS}$ 0
24	D13	58	$\overline{CTS}$ 0
25	D14	59	Tx CLK0
26	D15	60	Rx CLK0
27	MCLK	61	A15
28	$\overline{CS}$	62	A14
29	R/$\overline{W}$	63	A13
30	$\overline{AS}$	64	A12
31	$\overline{LDS}$	65	A11
32	$\overline{UDS}$	66	A10
33	$\overline{RST}$	67	A9
34	$\overline{IACK}$	68	A8

■特　徴

・２チャネルのＩＳＤＮ　ＬＡＰＤコントローラ
・HDLC, SDLC, X. 25, Q. 921(LAPD), V. 120の各種ビット・オリエンテッド・プロトコルをサポート
・４チャネルのＤＭＡコントローラ内蔵
・他のＩＳＤＮファミリ・デバイス，ＰＢＸ，モデム等の各種シリアル・インターフェースへの対応可能
・ＴＥＩ／ＳＡＰＩアドレス比較機能を持つ
・ウオッチ・ドッグ・タイマ用の２カウンタ内蔵
・６８０００，８０１８６バス・コンパチブル

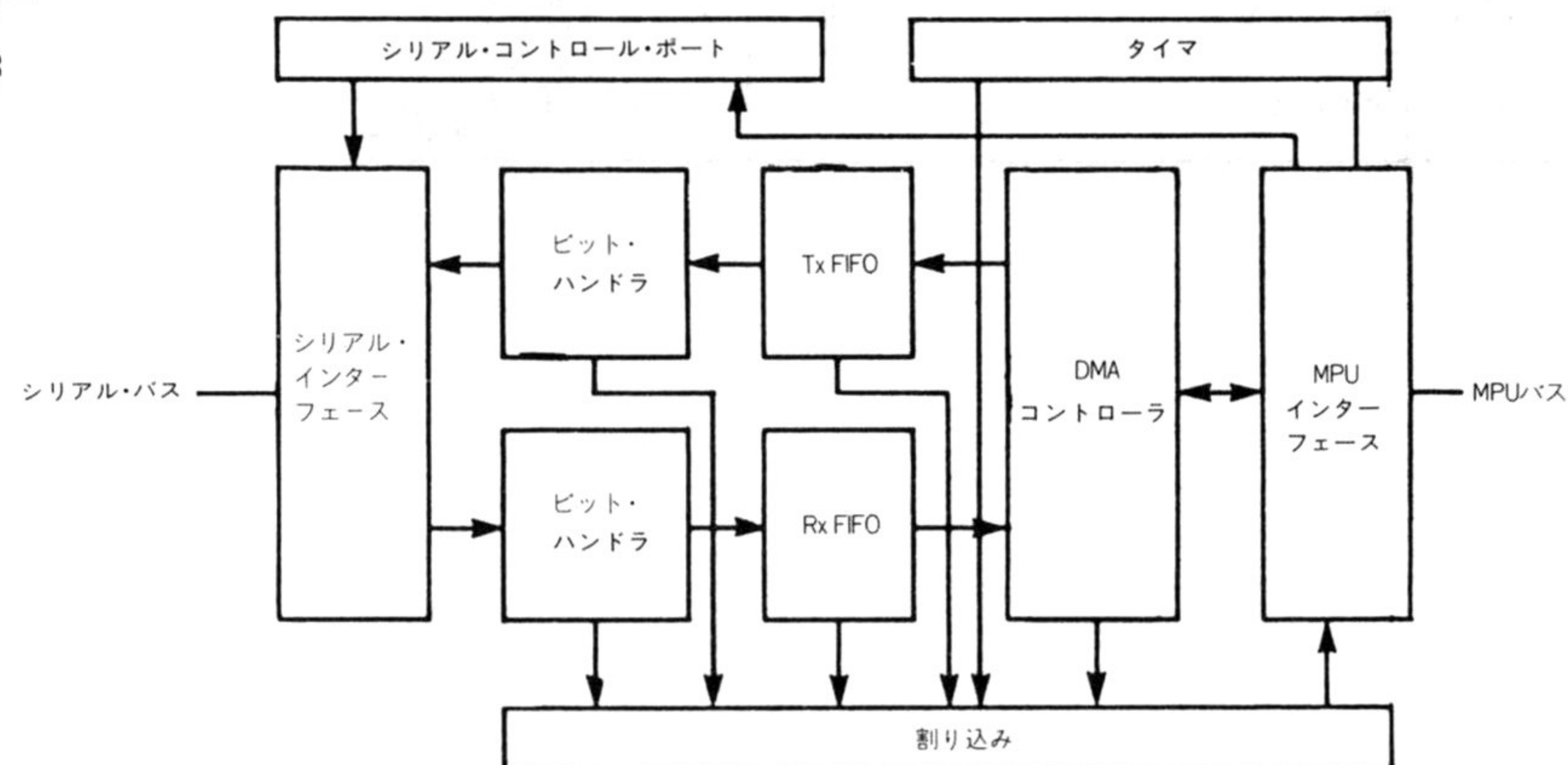
■ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～7.0	V
入力電圧	V_{IN}	−0.3～7.0	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−55～150	℃

■ DC 特性

(T_a＝0～70℃，V_{CC}＝5 V±10 %)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝5 mA	0.5	V
V_{OH}	I_{OH}＝400 μA	2.4	V
I_{IL}	V_{IN}＝5.5 V	10	μA
C_{IN}		20	pF

■端子機能

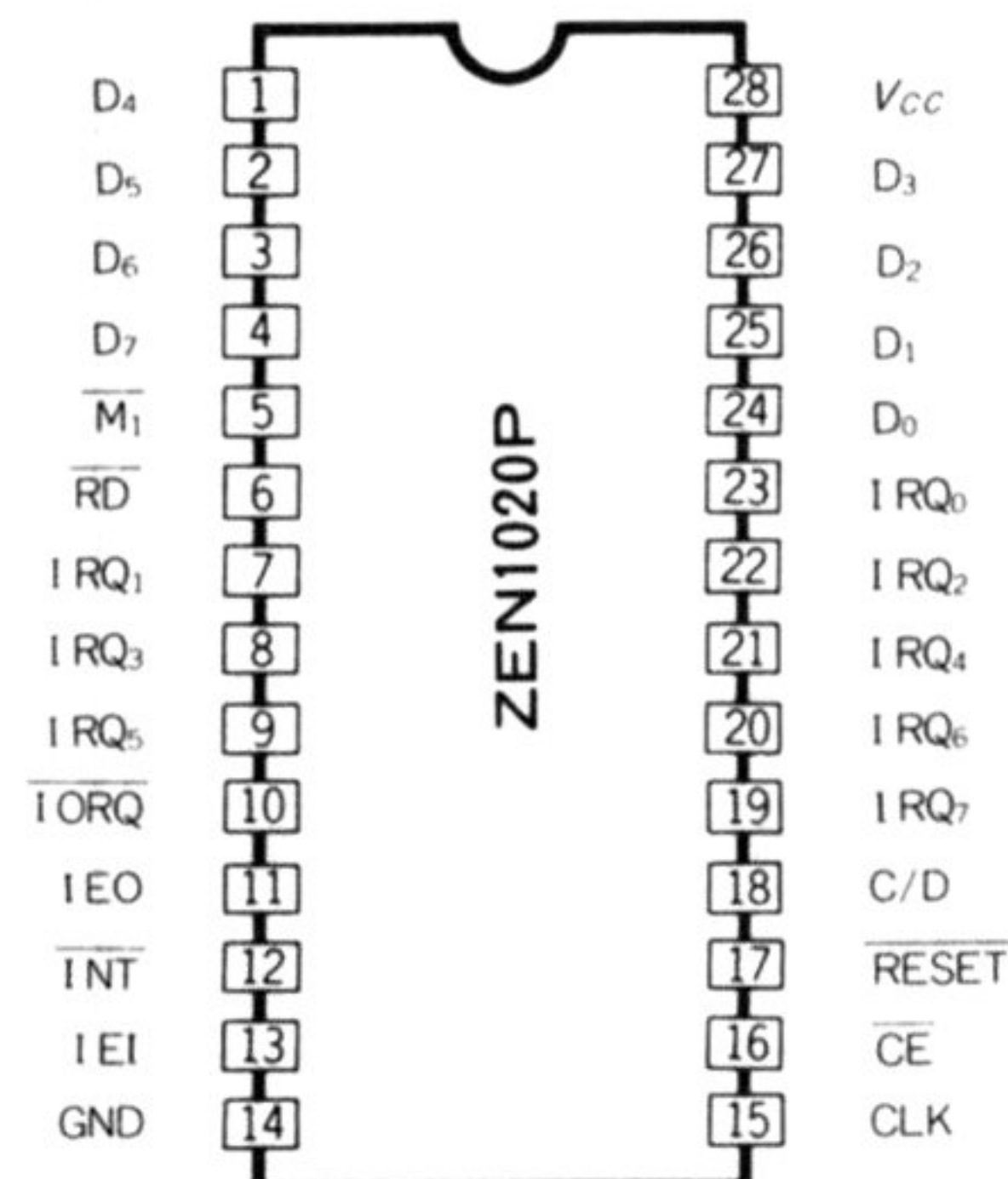
端子名	名　称	ピン番号	入出力	機　能
A1～A15	アドレス・バス	1, 3～8, 61～68	入出力	双方向アドレス・バス．バス・マスタのときは出力端子となる
D0～D15	データ・バス	10～20, 22～26	入出力	双方向データ・バス
R/$\overline{\mathrm{W}}$	リード／ライト	29	入出力	データ・バスのデータ方向を示す．バスのオーナのときは出力端子となる
$\overline{\mathrm{AS}}$	アドレス・ストローブ	30	入出力	バス・オーナのとき出力となり，アドレス・ストローブ信号を出力する
$\overline{\mathrm{UDS}}$	アッパ・データ・ストローブ	22	入出力	“Low”のとき，D8～D15のデータがバスに出力されていることを示す
$\overline{\mathrm{LDS}}$	ロウア・データ・ストローブ	31	入出力	“Low”のとき，D0～D7のデータがバスに出力されていることを示す
$\overline{\mathrm{DTACK}}$	データ・トランスファ・アクノリッジ	37	入出力	データ転送（リード／ライト）終了信号を出力する．バス・オーナのときはState4の立ち上がりエッジを検出しウエイト・ステートを挿入する
$\overline{\mathrm{BR}}$	バス・リクエスト	39	出　力	バス・オーナに対するバス・リクエスト出力
$\overline{\mathrm{BG}}$	バス・グラント	40	入　力	“Low”の間，バス・オーナがこのICに移る
$\overline{\mathrm{BGACK}}$	BGアクノリッジ	41	入出力	バス・オーナのとき“Low”を出力する
$\overline{\mathrm{OWN0}}$, $\overline{\mathrm{OWN1}}$	バス・オーナ・チャネル0/1	42, 43	出　力	“Low”のときチャネル0，チャネル1がバス・オーナであることを示す
$\overline{\mathrm{IRQ}}$	割り込みリクエスト	36	出　力	“Low”のとき，CPUに対する割り込み要求であることを示す
$\overline{\mathrm{IACK}}$	割り込みアクノリッジ	34	入　力	割り込み許可信号の入力
MCLK	MPUクロック	27	入　力	マスタ・クロック入力
$\overline{\mathrm{BERR}}$	バス・エラー	38	入　力	バス・オーナの時，バス・エラー信号が入力されると，DMAチャネルは割り込みをキューイングする
$\overline{\mathrm{RST}}$	リセット	33	入出力	リセット入力．ウォッチ・ドッグ・タイマが働いた時はオープン・ドレイン出力
$\overline{\mathrm{CS}}$	チップ・セレクト	28	入　力	チップ・セレクト入力
TxCLK0, TxCLK1	送信クロック・チャネル0／1	59, 45	入　力	各チャネルの送信クロック信号入力．0～MCLK／2の周波数の信号を使用する
TxD0, TxD1	送信データ・チャネル0／1	55, 49	出　力	各チャネルの送信シリアル・データ出力
RxCLK0, RxCLK1	受信クロック・チャネル0／1	60, 44	入　力	各チャネルの受信クロック信号入力．0～MCLK／2の周波数の信号を使用する
RxD0, RxD1	受信データ・チャネル0／1	56, 48	入　力	各チャネルの受信シリアル・データ入力
$\overline{\mathrm{RTS0}}$, $\overline{\mathrm{RTS1}}$	送信要求チャネル0／1	57, 47	出　力	各チャネルからモデルへの$\overline{\mathrm{RTS}}$信号出力
$\overline{\mathrm{CTS0}}$, $\overline{\mathrm{CTS1}}$	クリア・トゥ・センド・チャネル0/1	58, 46	入　力	モデルから各チャネルへの$\overline{\mathrm{CTS}}$信号入力
$\overline{\mathrm{CD0}}$, CD1	キャリア検出チャネル0／1	54, 50	入　力	モデルから各チャネルへのキャリア検出（$\overline{\mathrm{CD}}$）信号入力
GPO	汎用出力	53	出　力	汎用の信号出力端子

(注)ピン番号44～60は，モデム・モードの機能について記述．ISDN端末モードのときは，各端子は別の機能をもつ

PIC (Programmable Interrupt Controller)

■ ピン接続

ZEN1020P

ピン	信号	ピン	信号
1	D_4	28	V_{CC}
2	D_5	27	D_3
3	D_6	26	D_2
4	D_7	25	D_1
5	$\overline{M_1}$	24	D_0
6	$\overline{RD}$	23	IRQ_0
7	IRQ_1	22	IRQ_2
8	IRQ_3	21	IRQ_4
9	IRQ_5	20	IRQ_6
10	$\overline{IORQ}$	19	IRQ_7
11	IEO	18	C/D
12	$\overline{INT}$	17	$\overline{RESET}$
13	IEI	16	$\overline{CE}$
14	GND	15	CLK

■ 特　徴

- Ｚ８０用プログラマブル割り込みコントローラ
- モード２の割り込み要因を最大８レベルまでサポート
- 各割り込み要因の割り込みマスク、ベクタアドレスの指定がプログラマブル
- 各割り込み要因の検出をエッジ（立ち上がり、立ち下がり）で行うか、レベル（Ｈ、Ｌ）で行うかを選択可能
- 割り込み要求入力の読み出しが可能
- デイジーチェーンを形成可能で、多要因の割り込み制御にも対応
- 最大クロック周波数８ＭＨｚ
- ＣＭＯＳプロセス採用による低消費電力

■ ブロック図

RESET　CLK　CE　RD　IORQ　C/D　M1
CPU インターフェース
コントロール・ロジック
IEI　IEO　INT
D_0~D_7
データ バス バッファ
ベクタ レジスタ
割込 サービ スレジ スタ
割込 マスク レジスタ
割込 要求 レジスタ
モード レジスタ
IRQ_0~IRQ_7

■ 最大定格

項目	記号	定　格	単位
電源電圧	V_{CC}	-0.5～+7.0	V
入力電圧	V_{IN}	-0.5～V_{CC}+0.5	V
動作温度	T_{OPR}	-40～+85	℃
保存温度	T_{STG}	-65～+150	℃

■ DC特性

（Ta＝-40～85℃, V_{CC}＝5Ｖ±10％）

記号	測定条件	max/min*	単位
V_{IL}		０．８	Ｖ
V_{IH}		２．２*	Ｖ
V_{OL}	I_{OL}＝5mA	０．５	Ｖ
V_{OH}	I_{IL}＝5mA	２．４*	Ｖ
I_{IL}		±１．０	μＡ
C_{IN}	f＝1MHz, Ta=25℃	６．０	ｐＦ

■端子機能

端子名	ピン番号	入出力	機　　　能
D0－D7	24-27,1-4	入出力	8ビット双方向のデータ・バス CPUのデータ・バスに接続し，内部レジスタとのデータ転送に用いる
$\overline{\text{M1}}$	5	入力	マシンサイクル1信号．CPUの$\overline{\text{M1}}$に接続する
$\overline{\text{RD}}$	6	入力	リード信号．CPUの$\overline{\text{RD}}$に接続する
IRQ0 －IRQ7	23,7,22,8,21 9,20,19	入力	割り込み要求信号入力 優先順位はIRQ0が最上位で，以下IRQ1,IRQ2,IRQ3,IRQ4,IRQ5,IRQ6,IRQ7の順
$\overline{\text{IORQ}}$	10	入力	入出力要求信号．CPUの$\overline{\text{IORQ}}$に接続する
IEO	11	出力	割り込み許可信号．デイジーチェーン形成のために用いる．IEIが"High"レベルでCPUがZEN1020からの割り込みサービスを行っていない時のみ"High"になる
$\overline{\text{INT}}$	12	出力	割り込み要求信号．CPUの$\overline{\text{INT}}$に接続する
IEI	13	入力	割り込み許可信号．デイジーチェーン形成のために用いる． "High"にすると，条件が成立したときに割り込みを発生することができる
CLK	15	入力	クロック信号入力
$\overline{\text{CE}}$	16	入力	チップイネーブル信号
$\overline{\text{RESET}}$	17	入力	リセット信号
C／$\overline{\text{D}}$	18	入力	コマンド／データ選択信号．コマンドとデータの切り替えに使用する

■割り込み動作

（1）1あるいは複数の割り込み要求入力(IRQ)がアクティブになると，それに対応するIRRがセットされる
（2）この割り込み要求のマスク，デイジーチェーンの状態を判断しINT信号を出力する
（3）Z80CPUが割り込みを受け付けると優先度の最も高いIRRをリセットし，対応するISRをセットする．それとともに対応する割り込みベクタを出力する
（4）各チャンネルにおいてISRがセットされている期間中は，割り込み要因が発生してもIRRはセットされない
（5）ISRのリセットは，Z80CPUがRETI命令を実行するかEOIコマンドを実行すると行われる

■各レジスタ機能

（1）割り込み要求レジスタ(IRR)　：各割り込み要求信号(IRQ)に対してIRRの1ビットが対応する
（2）割り込みサービスレジスタ(ISR)　：IRRの各1ビットに対してISRの各ビットが対応する
（3）割り込みマスクレジスタ(IMR)　：IRRの各1ビットに対してIMRの各ビットが対応する
（4）割り込みレベルレジスタ(MR1,MR0)　：各割り込み要求信号(IRQ)に対して2ビットあり，割り込みのレベルを選択する
（5）割り込みベクタレジスタ(V3,V2V,V1,V0)：各IRQに対して共通で，CPUの割り込み応答時に出力する割り込みベクタの上位4ビットを表す（下位4ビットは割り込み要求入力によって決定される）
（6）マスタ割り込み許可レジスタ(MIE)　：割り込み動作を許可するレジスタ（1ビット）．MIEがリセットされていると$\overline{\text{INT}}$信号は出力されない
（7）レジスタ指定用レジスタ(RN1,RN0)　：この2ビットの値で読みだし／書き込みするレジスタを選択する

ISDN Controller

■ ピン接続

Am79C30

ピン	信号	ピン	信号
1	LS_2 ←	40	→ LS_1
2	EAR_1 ←	39	→ AREF
3	EAR_2 ←	38	← LIN_1
4	AINA →	37	← LIN_2
5	AINB →	36	← HSW
6	CAP_1 →	35	→ $LOUT_1$
7	CAP_2 →	34	→ $LOUT_2$
8	V_{CC}	33	GND
9	$\overline{RESET}$ →	32	→ $\overline{INT}$
10	$\overline{CS}$ →	31	← $XTAL_1$
11	$\overline{RD}$ →	30	← $XTAL_2$
12	$\overline{WR}$ →	29	→ MCLK
13	$\overline{ACK}$ ←	28	→ SFS
14	A_2 →	27	→ SCLK
15	A_1 →	26	→ SBOUT
16	A_0 →	25	← SBIN
17	D_7 ↔	24	↔ D_0
18	D_6 ↔	23	↔ D_1
19	D_5 ↔	22	↔ D_2
20	D_4 ↔	21	↔ D_3

■ 特　徴

・ＩＳＤＮ用ディジタル加入者アクセス・コントローラ
・ＣＣＩＴＴ　Ｓ点／Ｔ点インターフェース準拠
・４線式で１９２Ｋｂｐｓの全二重ディジタル通信路を形成する
・Ｂチャネル・シリアル・ポートとＤチャネル・コントロール機能内蔵
・電話機とディジタル・データ端末の２種類のアプリケーションに使用できる
・割り込み付きマイクロプロセッサ・インターフェース
・オーディオ・プロセッサを内蔵し，ＤＳＰコーデック・フィルタ，ＤＴＭＦジェネレータ，トーンリンガなどの機能をもつ

■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	0～7.0	V
入力電圧	V_{IN}	−0.5～V_{CC}+0.5	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−65～150	℃

■ DC特性

（T_a＝0～75℃，V_{CC}＝5V± 5%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝2.0mA	0.4	V
V_{OH}	I_{OH}＝400μA	2.4*	V
I_{OL}	V_{OUT}＝0～V_{CC}	±10	μA
I_{IL}	V_{IN}＝0～V_{CC}	±10	μA
C_{IN}	f＝1MHz，T_a＝25℃	10	pF

■端子機能

端子名	ピン番号	入出力	機能
$XTAL_{1,2}$	31, 30	入力	内蔵の発振器用に，外部水晶と接続する
D_7～D_0	17～24	入出力	8本の双方向データ・バス．CPUとの情報交換を行う．D_0がLSB，D_7がMSB
$\overline{RD}$	11	入力	$\overline{CS}$との組み合わせで，内部データがデータ・バスへ送られることを示す
$\overline{WR}$	12	入力	$\overline{CS}$との組み合わせで，データ・バス上のデータが内部バスへ送り込まれることを示す
$\overline{CS}$	10	入力	書き込み，読み取り操作を行うためのチップ・セレクト信号
MCLK	29	出力	CPUのシステム・クロックに利用できるマスタ・クロック出力
A_2～A_0	14～16	入力	データ・バス上での書き込み/読み取り操作を行う時，A_2～A_0でアドレスを指定する
$\overline{INT}$	32	出力	CPUへの割り込み要求出力
$\overline{ACK}$	13	出力	CPUのクロック・サイクルにウエイトを挿入するためのアクノリッジ信号で，アクティブ“L”
RESET	9	入力	リセット入力で，これにより動作を停止し，アイドル状態となる
SBIN	25	入力	データ・レート192kbpsのシリアル入力で，三つの64kbpsシリアル・チャネルからなる
SBOUT	26	出力	データ・レート192kbpsのシリアル出力で，三つの64kbpsシリアル・チャネルからなる
SFS	28	出力	フレームの先頭を識別するためのシリアル・チャネル・フレーム同期信号で，8 kHzのパルス信号
SCLK	27	出力	SBOUTとSBINチャネルのシリアル・ビットの位置を定義する192kHzの信号
$LIN_{1,2}$	38, 37	入力	加入者線入力で，トランスを介入して加入者線(S点)へインターフェースする
$LOUT_{1,2}$	35, 34	出力	加入者線出力で，処理された信号をトランスを介して加入者線(S点)へ送りこむ
HSW	36	入力	フックのオン/オフ状態をAm79C30に知らせる信号入力．機械スイッチ信号を入力するため，ディバウンス回路を備えている
LS_1, LS_2	40, 1	出力	50Ωのスピーカを直接ドライブするプッシュ/プル出力のラウドネススピーカ・インターフェース端子
EAR_1, EAR_2	2, 3	出力	ハンドセットのイヤーピースに信号を出力するための端子
AINA, AINB	4, 5	入力	二つの独立したアナログ信号入力端子
CAP_1, CAP_2	6, 7	入力	A-Dコンバータ用のコンデンサ，抵抗を接続する端子
AREF	39	出力	アナログ信号用の参照出力端子

ISDN Controller

■ ピン接続

Am79C32

ピン	信号	ピン	信号
1	NC	40	NC
2	NC	39	NC
3	NC	38	← LIN_1
4	NC	37	← LIN_2
5	NC	36	NC
6	NC	35	→ $LOUT_1$
7	NC	34	→ $LOUT_2$
8	V_{CC}	33	GND
9	$\overline{RESET}$ →	32	→ $\overline{INT}$
10	$\overline{CS}$ →	31	← $XTAL_1$
11	$\overline{RD}$ →	30	← $XTAL_2$
12	$\overline{WR}$ →	29	→ MCLK
13	$\overline{ACK}$ ←	28	→ SFS
14	A_2 →	27	→ SCLK
15	A_1 →	26	→ SBOUT
16	A_0 →	25	← SBIN
17	D_7 ↔	24	↔ D_0
18	D_6 ↔	23	↔ D_1
19	D_5 ↔	22	↔ D_2
20	D_4 ↔	21	↔ D_3

■ 特　徴

- ＩＳＤＮ用ディジタル加入者アクセス・コントローラ
- ＣＣＩＴＴ　Ｓ点／Ｔ点インターフェース準拠
- ４線式で１９２Ｋｂｐｓの全二重ディジタル通信路を形成する
- Ｂチャネル・シリアル・ポートとＤチャネル・コントロール機能内蔵
- ディジタル・データ端末のアプリケーションに使用できる
- 割り込み付きマイクロプロセッサ・インターフェース

■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	0～7.0	V
入力電圧	V_{IN}	−0.5～V_{CC}+0.5	V
動作温度	T_{OPR}	0～75	℃
保存温度	T_{STG}	−65～150	℃

■ DC特性　（T_a＝0～70℃, V_{CC}＝5V± 5%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝2.0mA	0.4	V
V_{OH}	I_{OH}＝400μA	2.4*	V
I_{OL}	V_{OUT}＝0～V_{CC},	±10	μA
I_{IL}	V_{IN}＝0～V_{CC}	±10	μA
C_{IN}	f＝1MHz, T_a＝25℃	10	pF

■端子機能

端子名	ピン番号	入出力	機能
$XTAL_{1,2}$	31, 30	入力	内蔵の発振器用に，外部水晶と接続する
D_7～D_0	17～24	入出力	8本の双方向データ・バス．CPUとの情報交換を行う．D_0がLSB，D_7がMSB
$\overline{RD}$	11	入力	$\overline{CS}$との組み合わせで，内部データがデータ・バスへ送られることを示す
$\overline{WR}$	12	入力	$\overline{CS}$との組み合わせで，データ・バス上のデータが内部バスへ送り込まれることを示す
$\overline{CS}$	10	入力	書き込み，読み取り操作を行うためのチップ・セレクト信号
MCLK	29	出力	CPUのシステム・クロックに利用できるマスタ・クロック出力
A_2～A_0	14～16	入力	データ・バス上での書き込み/読み取り操作を行う時，A_2～A_0でアドレスを指定する
$\overline{INT}$	32	出力	CPUへの割り込み要求出力
$\overline{ACK}$	13	出力	CPUのクロック・サイクルにウエイトを挿入するためのアクノリッジ信号で，アクティブ"L"
RESET	9	入力	リセット入力で，これにより動作を停止し，アイドル状態となる
SBIN	25	入力	データ・レート192kbpsのシリアル入力で，三つの64kbpsシリアル・チャネルからなる
SBOUT	26	出力	データ・レート192kbpsのシリアル出力で，三つの64kbpsシリアル・チャネルからなる
SFS	28	出力	フレームの先頭を識別するためのシリアル・チャネル・フレーム同期信号で，8 kHzのパルス信号
SCLK	27	出力	SBOUTとSBINチャネルのシリアル・ビットの位置を定義する192kHzの信号
$LIN_{1,2}$	38, 37	入力	加入者線入力で，トランスを介して加入者線(S点)へインターフェースする
$LOUT_{1,2}$	35, 34	出力	加入者線出力で，処理された信号をトランスを介して加入者線(S点)へ送り込む

IST(ISDN S-Interface unit for Terminal)

■ピン接続

MB86405

信号	ピン	ピン	信号
SDH ←	1	64	V_{CC}
SDL ←	2	63	→ RDL
PD →	3	62	→ RDH
V_{SSD}	4	61	→ C8
LON ←	5	60	→ C16
LOP ←	6	59	→ C64
V_{DDD}	7	58	→ C192
(OPEN)	8	57	→ MSY
EXR	9	56	← SBB
VTH	10	55	← SBA
EXC	11	54	→ RBB
LIN →	12	53	→ RBA
LIP →	13	52	← PS
V_{SSR}	14	51	← SF2
V_{DDR}	15	50	← SF1
RxD ←	16	49	V_{SS}
TxD ↔	17	48	↔ D0
DTRQ ↔	18	47	↔ D1
DRDY ←	19	46	↔ D2
DCOL ←	20	45	↔ D3
RXA# →	21	44	↔ D4
TXA# →	22	43	↔ D5
RXQ ←	23	42	↔ D6
TXQ ←	24	41	↔ D7
IRQ# ←	25	40	← TST1
RD# →	26	39	← TST0
WR# →	27	38	← MODE
CE# →	28	37	← A0
STP# →	29	36	← A1
XIN	30	35	← A2
XOUT	31	34	← A3
V_{SS}	32	33	← RST#

■特　徴

- ＩＳＤＮ基本ユーザ・網インターフェースにおける端末側レイヤ１，レイヤ２機能および回線ドライバ／レシーバ内蔵のコントローラ
- レイヤ１フレーム（４８ビット）分解／組立機能
- Ｂチャネル・シリアル入出力端子を独立に選択可能
- フレーム送信タイミングの補正端子あり
- ＬＡＰＤフレームの分解／組立機能
- ＤＭＡインターフェース機能内蔵
- バイポーラ／ユニポーラ信号相互変換
- レシーバ：自動スレッショルド方式
- ドライバ：パワー・ダウン機能あり

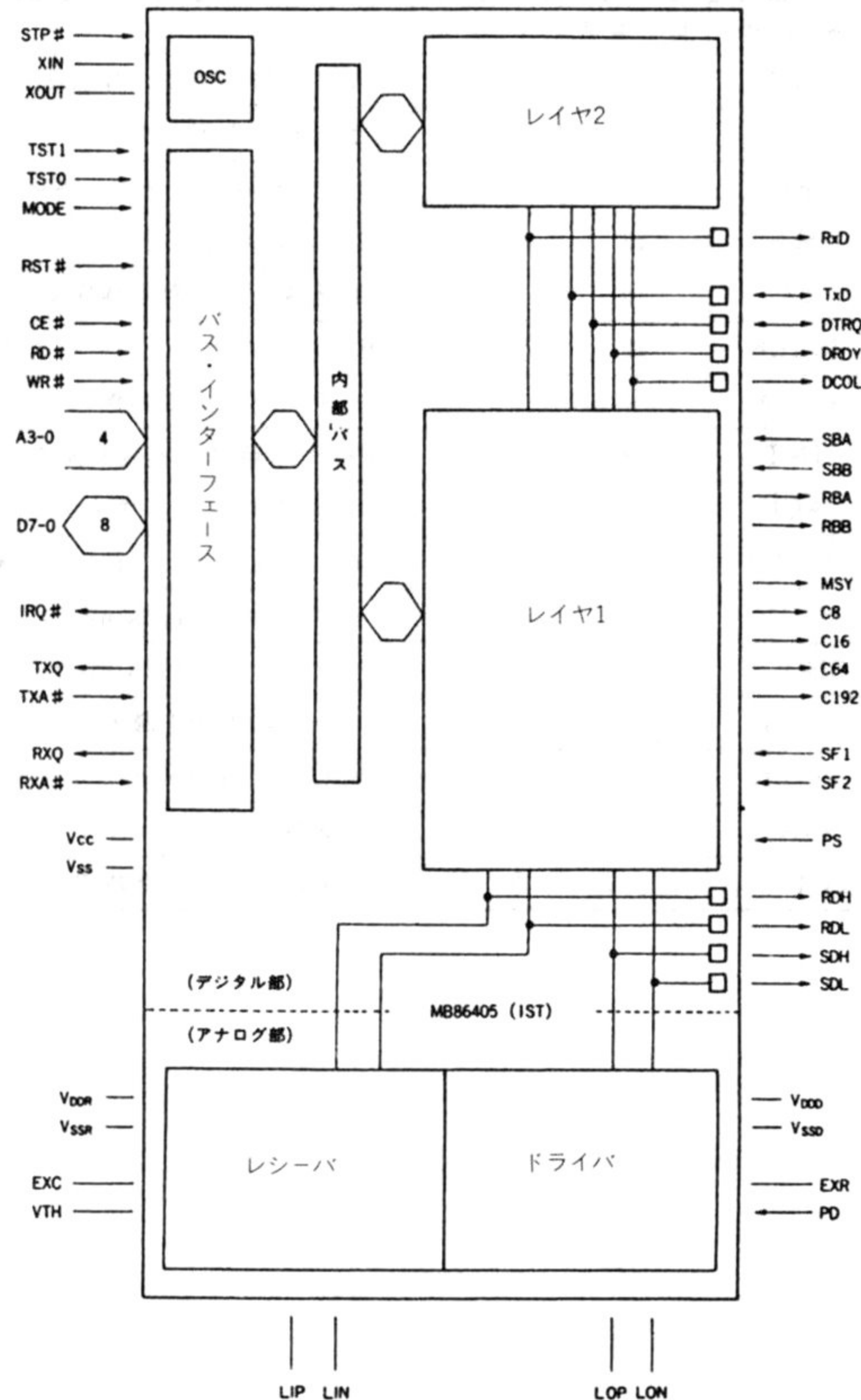
■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.3	V
動作温度	T_{OPR}	−25〜85	℃
保存温度	T_{STG}	−40〜125	℃

■ DC 特性

(T_a＝−25〜85℃, V_{CC}＝5 V±5 %)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝3.6 mA	0.4	V
V_{OH}	I_{OH}＝2.0 mA	2.4*	V
I_{IL}	V_{IN}＝0.45〜V_{CC}	±10	μA
C_{IN}		17	pF

■ブロック図

■端子機能

端子名	ピン番号	入出力	機能
XIN, XOUT	30, 31	—	水晶発動子接続用端子
STP#	29	入力	発振停止信号の入力
RST#	33	入力	リセット入力端子
A3～A0	34～37	入力	アドレス入力端子
D7～D0	41～48	入出力	データ入出力端子
IRQ#	25	出力	割り込み信号出力
WR#	27	入力	ライト信号入力
RD#	26	入力	リード信号入力
CE#	28	入力	チップ・イネーブル信号入力
MODE	38	入力	モード指定端子．"H"のとき通常モード，"L"のときレイヤ1モードとなる
TST0, 1	39, 40	入力	テスト用端子．"H"に固定する
MSY	57	出力	S点フレームの同期引き込みを示す信号
C192	58	出力	192kHzのクロック出力端子．受信信号から抽出
C64	59	出力	64kHzのクロック出力端子．Bch用クロック
C16	60	出力	16kHzのクロック出力端子．Dch用クロック
C8	61	出力	8kHzのクロック出力端子．Bchデータのオクテット・タイミング用のクロック
SBA, SBB	55, 56	入力	送信Bチャネル・データ入力端子
RBA, RBB	53, 54	出力	受信Bチャネル・データ出力端子
RxA#	21	入力	受信データ転送アクノリッジ信号入力端子
TxA#	22	入力	送信データ転送アクノリッジ信号入力端子
RxQ	23	出力	受信データ転送要求信号出力．受信DchデータのDMA転送要求信号
TxQ	24	出力	送信データ転送要求信号出力．送信Dchデータのドナ転建要求信号
PS	52	入力	電源検出信号入力
SF1, SF2	50, 51	入力	送信タイミング補正端子
R_xD	16	出力	受信Dチャネル・データ出力端子
T_xD	17	入出力	通常モードでは送信Dchデータのモニタ出力．レイヤ1モードでは送信Dchデータの入力端子

端子名	ピン番号	入出力	機能
DTRQ	18	入出力	通常モードではレイヤ2からの送信要求信号モニタ出力．レイヤ1モードではDチャネル送信要求信号入力
DRDY	19	出力	Dチャネル送信許可信号出力
DCOL	20	出力	Dチャネル衝突検出信号モニタ出力
RDH, RDL	62, 63	出力	受信符号モニタ出力
SDH, SDL	1, 2	出力	送信符号モニタ出力
V_{SS}	32, 49	—	ディジタル部グラウンド
V_{CC}	64	—	ディジタル部電源
V_{DDR}	15	—	レシーバ部電源．V_{CC}と同電位にする
V_{SSR}	14	—	レシーバ部グラウンド．V_{SS}と同電位にする
V_{DDD}	7	—	ドライバ部電源．V_{CC}と同電位にする
V_{SSD}	4	—	ドライバ部グラウンド．V_{SS}と同電位にする
VTH	10	—	受信コンパレータのスレッショルド電圧のモニタ端子
EXC	11	—	レシーバ用外部コンデンサ接続端子
EXR	9	—	ドライバ用外部抵抗接続端子
LIN	12	入力	受信AMI符号のレシーバ入力（負極性）端子
LIP	13	入力	受信AMI符号のレシーバ入力（正極性）端子
LON	5	出力	送信AMI符号のドライバ（負極性）端子
LOP	6	出力	送信AMI符号のドライバ（正極性）端子
PD	3	入力	ドライバ部パワー・ダウン制御信号入力端子

（注）＃の付いた端子は，ロー・アクティブを示す

ISDN Controller

■ ピン接続

MB89375

Top (80–65): AD_4, AD_3, AD_2, AD_1, AD_0, START#, TEST, OPEN, IRQ1#, IRQ0#, NMI#, IWR#(P_{05}), IRD#(P_{04}), TXQ(P_{03}), RXQ(P_{02}), TXA#(P_{01})

Left (1–24): AD_5, AD_6, AD_7, A_8, A_9, V_{SS}, A_{10}, A_{11}, A_{12}, A_{13}, A_{14}, A_{15}, X_{IN}, X_{OUT}, V_{SS}, RESET#, RD#, WR#, ALE, SCK, SI, SO, EC, PFO#

Right (64–41): RXA#(P_{00}), PS, TOX, TIX, SXM, MSY, C64, C8, C4, V_{CC}, S_2, S_1, RDH, RDL, SDH, SDL, D_7(P_{17}), D_6(P_{16}), D_5(P_{15}), D_4(P_{14}), D_3(P_{13}), D_2(P_{12}), D_1(P_{11}), D_0(P_{10})

Bottom (25–40): PF1#, HLDA#, HLD, READY, RBA, RBB, RBC, RBD, OPEN, SBA, SBB, SBD, SBD, M64, M81, M80

■ 特　徴

- ＩＳＤＮ　Ｓ点インターフェース・コントローラ
- ＩＳＤＮのベーシック・アクセスに準拠し，レイヤ１／レイヤ２のフォーマット分解，組立機能をもつ
- マスタ／スレーブ・モード共用
- ２種類のバス形態に対応
- Ｂチャネルの入出力端子をそれぞれ４端子装備
- 優先度３レベル，９要因の割り込み機能
- ５１６バイトＲＡＭ内蔵
- データ空間１２８Ｋバイトまで拡張可能
- 8bitタイマ，16bitタイマ／カウンタ内蔵
- クロック同期／非同期シリアル入出力のＵＡＲＴ内蔵

■ ブロック図

■ 最大定格

項　　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～7.0	V
入力電圧	V_{IN}	−0.3～7.0	V
消費電力	P_D	0.6	W
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−55～150	℃

■ DC特性

（T_a = 0～70°C，V_{CC} = 5V ± 10%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL} = 1.8mA	0.4	V
V_{OH}	I_{OH} = 4mA	2.4*	V
I_{OL}	V_{OUT} = 0.45～V_{CC}	±10	μA
I_{IL}	V_{IN} = 0.45～V_{CC}	±10	μA
C_{IN}	f = 1MHz T_a = 25°C，V_{CC} = 0V	20	pF

■端子機能

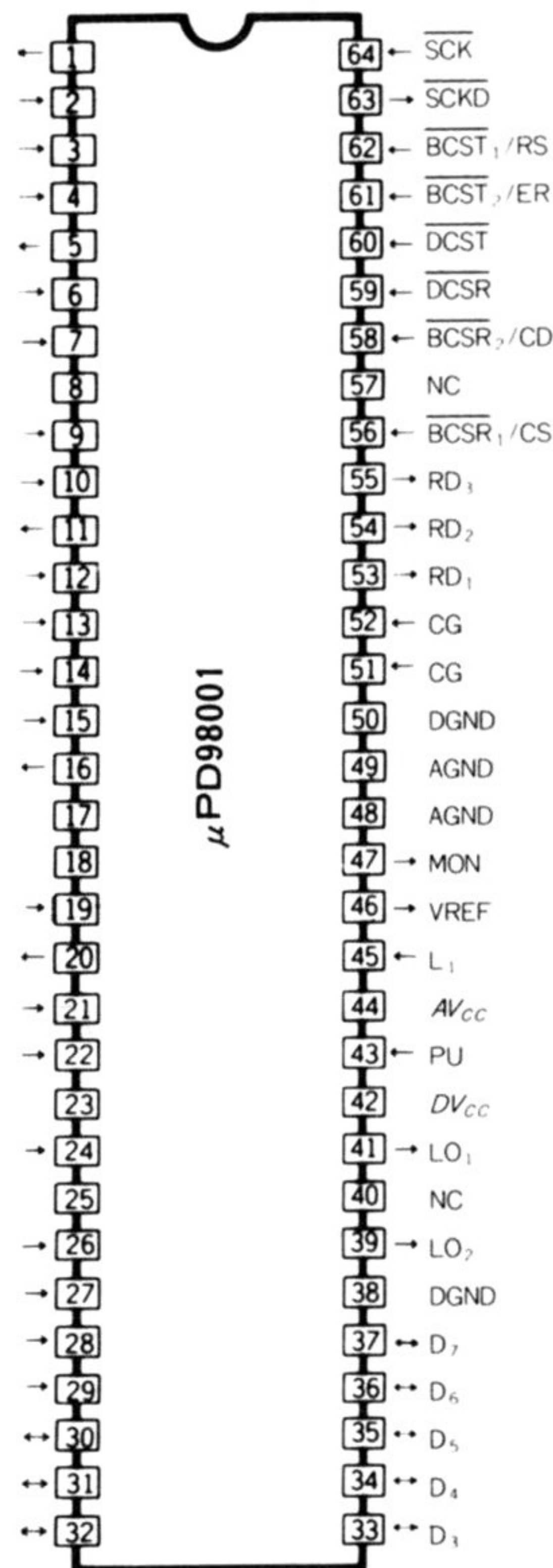
端子名	ピン番号	入出力	機能
ALE	19	出　力	アドレス・ラッチ用のストローブ出力
TEST	74	入　力	デバイス・テスト用の入力
RESET#	16	入出力	リセット入出力
NMI#	70	入　力	ノンマスカブル割り込み要求の入力端子
IRQ_0#, IRQ_1#	71, 72	入　力	割り込みの要求の入力端子
WR#	18	出　力	データ・ライト・ストローブ出力
RD#	17	出　力	データ・リード・ストローブ出力
AD_0～AD_7	76～80, 1～3	入出力	アドレス出力とデータ入出力の時分割端子
A_8～A_{15}	4, 5, 7～12	出　力	アドレス出力
HLD	27	入　力	ホールド・リクエスト入力
HLDA#	26	出　力	ホールド・アクノリッジ出力
PF_0#, PF_1#	24, 25	出　力	プリフィックス出力
READY	28	入　力	レディ入力端子
START#	75	入　力	スタート端子
XIN	13	入　力	CPUのための水晶発振用入力端子
XOUT	14	出　力	CPUのための水晶発振用出力端子
SCK	20	入出力	UARTクロック入出力端子
SO	22	出　力	UARTのシリアル・データ出力端子
SI	21	入　力	UARTのシリアル・データ入力端子
EC	23	入　力	タイマ/カウンタのクロック入力端子
MSY	59	出　力	同期の確立されたフレーム受信中のとき“H”レベルを出力する
SXM	60	入　力	スレーブ/マスタ・モード切り替え入力
S_1, S_2	53, 54	入出力	S_1, S_2bitの入出力
SDL	49	出　力	送信AMI符号の出力端子
SDH	50		
RDL	51	入　力	受信AMI符号の入力端子
RDH	52		

端子名	ピン番号	入出力	機能
C64	58	出　力	64kHzクロック出力端子（受信フレームに同期したクロック）
C8	57	出　力	8kHzクロック出力端子（受信フレームに同期したクロック）
C4	56	出　力	4kHzクロック出力端子（受信フレームに同期したクロック）
M64	38	出　力	64kHzクロック出力端子（送信フレームに同期したクロック）
M8O	40	出　力	8kHzクロック出力端子（送信フレームに同期したクロック）
TOX	62	出　力	SIUのための水晶発振用出力
TIX	61	入　力	SIUのための水晶発振用入力
M8I	39	入　力	送信フレーム送出タイミング入力端子
PS	63	入　力	パワー・ソース検出入力端子
P_{10}～P_{17}	41～48	入出力	プログラム転送モード．P_{00}～P_{05}とおよびP_{10}～P_{17}は汎用入出力ポートでビット単位に入出力を指定することができる
P_{05}～P_{00}	69～64		
RBA	29	出　力	Bch入出力ノーマル・モード RBA～RBDは受信したB_1chおよびB_2chデータの出力端子
RBB	30		
RBC	31	入出力	
RBD	32		
SBA	34	入　力	Bch入出力ノーマル・モード SBA～SBDは送信するB_1chおよびB_2chデータの入力端子
SBB	35		
SBC	36		
SBD	37		

ISDN Controller

■ ピン接続

μPD98001

ピン	ピン	信号
1	64	$\overline{SCK}$
2	63	$\overline{SCKD}$
3	62	$\overline{BCST_1}$/RS
4	61	$\overline{BCST_2}$/ER
5	60	$\overline{DCST}$
6	59	$\overline{DCSR}$
7	58	$\overline{BCSR_2}$/CD
8	57	NC
9	56	$\overline{BCSR_1}$/CS
10	55	RD_3
11	54	RD_2
12	53	RD_1
13	52	CG
14	51	CG
15	50	DGND
16	49	AGND
17	48	AGND
18	47	MON
19	46	VREF
20	45	L_1
21	44	AV_{CC}
22	43	PU
23	42	DV_{CC}
24	41	LO_1
25	40	NC
26	39	LO_2
27	38	DGND
28	37	D_7
29	36	D_6
30	35	D_5
31	34	D_4
32	33	D_3

■ 特　徴

- 2線式時分割双方向伝送（ピンポン方式）を行うコミュニケーション・コントローラ
  通常モード：144Kbps全二重
  拡張モード：160Kbps全二重
- ＩＳＤＮのベーシック・アクセスに準拠し，２Ｂ＋Ｄの伝送が可能
- スイッチト・キャパシタ回路によるアダプティブ線路等化回路内蔵
- 汎用ＣＰＵパラレル・インターフェース，多目的シリアル・インターフェース回路内蔵
- マスター／スレーブ・モード共用

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜 V_{CC} +0.5	V
動作温度	T_{OPR}	−10〜70	℃
保存温度	T_{STG}	−65〜150	℃

■ DC特性

（T_a = −10〜70℃，V_{CC} = 5V ± 10%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL} = 2.0mA	0.45	V
V_{OH}	I_{OH} = 400μA	0.7× V_{CC}*	V
I_{OL}	V_{OUT} = 0V, V_{CC}	±10	μA
I_{IL}	V_{IN} = 0V, V_{CC}	±10	μA
C_{IN}	f = 1MHz T_a = 25℃, V_{CC} = 0V	20	pF

■端子機能〈マスタ・スレーブ共通端子〉

端子名	ピン番号	入出力	機能
D_0～D_7	30～37	入出力	データ・バス 内部レジスタと外部データ・バスとの間のデータ転送のための双方向ポート
$\overline{RD}$	24	入力	リード・ストローブ端子 アクティブ・ロウでD_0～D_7は出力
$\overline{WR}$	26	入力	ライト・ストローブ端子 アクティブ・ロウでD_0～D_7は入力
$\overline{CE}$	27	入力	チップ・イネーブル端子 アクティブ・ロウでD_0～D_7は入出力可能
A_0 A_1	28 29	入力	アドレス入力端子 内部レジスタ指定のためのアドレス入力端子
$M/\overline{S}$	15	入力	マスタ・スレーブ設定端子 マスタ・モード，スレーブ・モードの切り替え入力
LAPDS	7	入力	LAP-D セレクト端子 D チャネル LAP-D モードの選択入力
DEX	6	入力	D チャネル拡張モード入力 D チャネル拡張モードの指定入力
LO_1 LO_2	41 39	出力	ライン出力端子 伝送ライン送信出力 平衡出力で，受信時はハイ・インピーダンス
LI	45	入力	ライン入力端子 伝送ライン受信入力 VREF 端子とともに伝送ライン信号を入力
VREF	46	出力	基準電圧出力 伝送ライン受信用基準レベル出力 Vcc の約1/2を出力
RDY	16	出力	レディ出力端子 マスタ・スレーブ間のデータ・バーストの同期状態を示す
DEN	5	出力	Dチャネル・データ・イネーブル出力端子 受信したバースト内のDチャネル・データの有効・無効を示す
MON	47	出力	モニタ出力端子 伝送ライン受信信号を線路等化器に入力し，その等化結果を出力(AMI 符号)
$\overline{RESET}$	14	入力	リセット入力端子 リセット入力　アクティブ・ロウ（2 μs 以上のアクティブ幅が必要)

端子名	ピン番号	入出力	機能
PU	43	入力	プルアップ端子
CG	9, 10, 51, 52	入力	コネクト・グラウンド端子
IC	17	—	内部使用端子

〈マスタ・モード端子〉

端子名	ピン番号	入出力	機能
TD_1 TD_2 TD_3	4 3 2	入力	送信データ入力端子 1，2，3 送信データのシリアル入力端子 TD_1：B_1チャネル TD_2：B_2チャネル TD_3：D チャネル
$\overline{BCST_1}$ $\overline{BCST_2}$	62 61	入力	送信 B_1，B_2チャネル・イネーブル入力端子 TD_1，TD_2のイネーブル入力．アクティブ・ロウ．送信フレーム同期信号を入力． $\overline{BCST_1}$：TD_1(B_1チャネル) $\overline{BCST_2}$：TD_2(B_2チャネル)
$\overline{DCST}$	60	入力	送信 D チャネル・イネーブル入力端子 TD_3のイネーブル入力
RD_1 RD_2 RD_3	53 54 55	出力	受信データ出力端子 1，2，3 受信データのシリアル出力端子 RD_1：B_1チャネル RD_2：B_2チャネル RD_3：D チャネル
$\overline{BCSR_1}$ $\overline{BCSR_2}$	56 58	入力	受信 B_1，B_2チャネル・イネーブル入力端子 RD_1，RD_2のイネーブル入力．受信フレーム同期信号を入力． $\overline{BCSR_1}$：RD_1(B_1チャネル) $\overline{BCSR_2}$：RD_2(B_2チャネル)
$\overline{DCSR}$	59	入力	受信 D チャネル・イネーブル入力端子 RD_3のイネーブル入力
CCLK	19	入力	データ・クロック入力端子 シリアル入出力(TD_{1-2}，RD_{1-2})のシリアル・データ・クロックとして2048kHz を入力
FRME	12	入力	バースト位相同期信号入力端子 伝送ラインのデータ・クロック（384kHz）の位相同期信号として，8kHz を入力

■端子機能

端子名	ピン番号	入出力	機能
BRST	13	入　力	バースト信号入力端子 バースト信号として，2kHz を入力．この信号の立ち上がりに同期して，バースト送信を開始
BCLK	20	出　力	原発振クロック出力端子 原発振（12.288MHz）出力
$\overline{\text{SCKD}}$	63	出　力	LAP-D 用シリアル・クロック出力端子 D チャネルが LAP-D に指定された場合，シリアル・クロックを出力． DEX 入力ロウ・レベル（16kbps モード）：16kHz DEX 入力ハイ・レベル(32kbps)：32kHz
$\overline{\text{SCK}}$	64	入　力	D チャネル・シリアル・クロック入力端子 D チャネルが，シリアル・インターフェース・モードの時のシリアル・クロック入力端子．パラレルまたは LAP-D インターフェース・モードの時はハイ・レベルに固定
XL_1 XL_2	21 22	入　力	発振子接続端子 水晶発振子接続端子

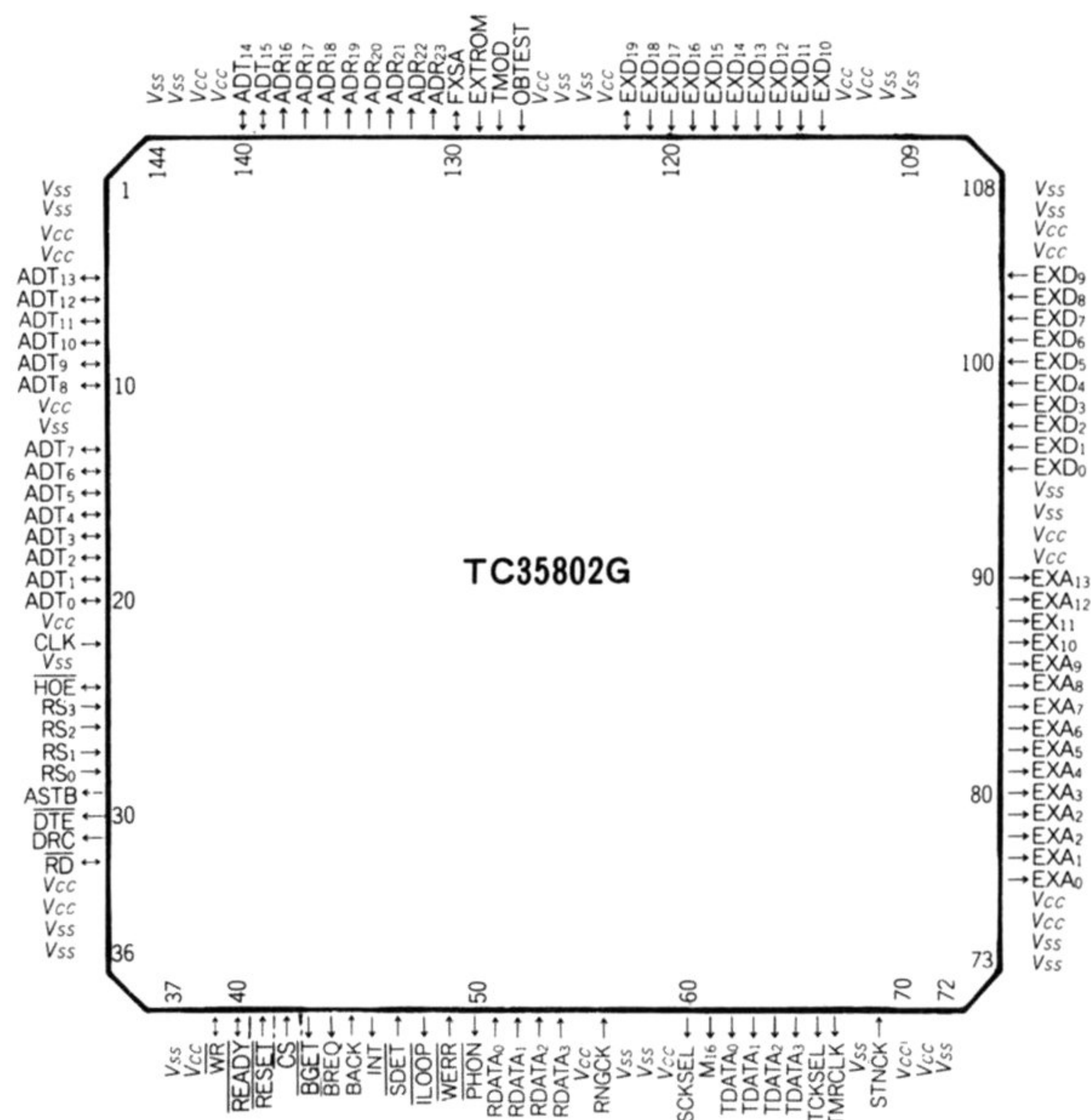
■ ピン接続

TC35802G

■ 特　徴

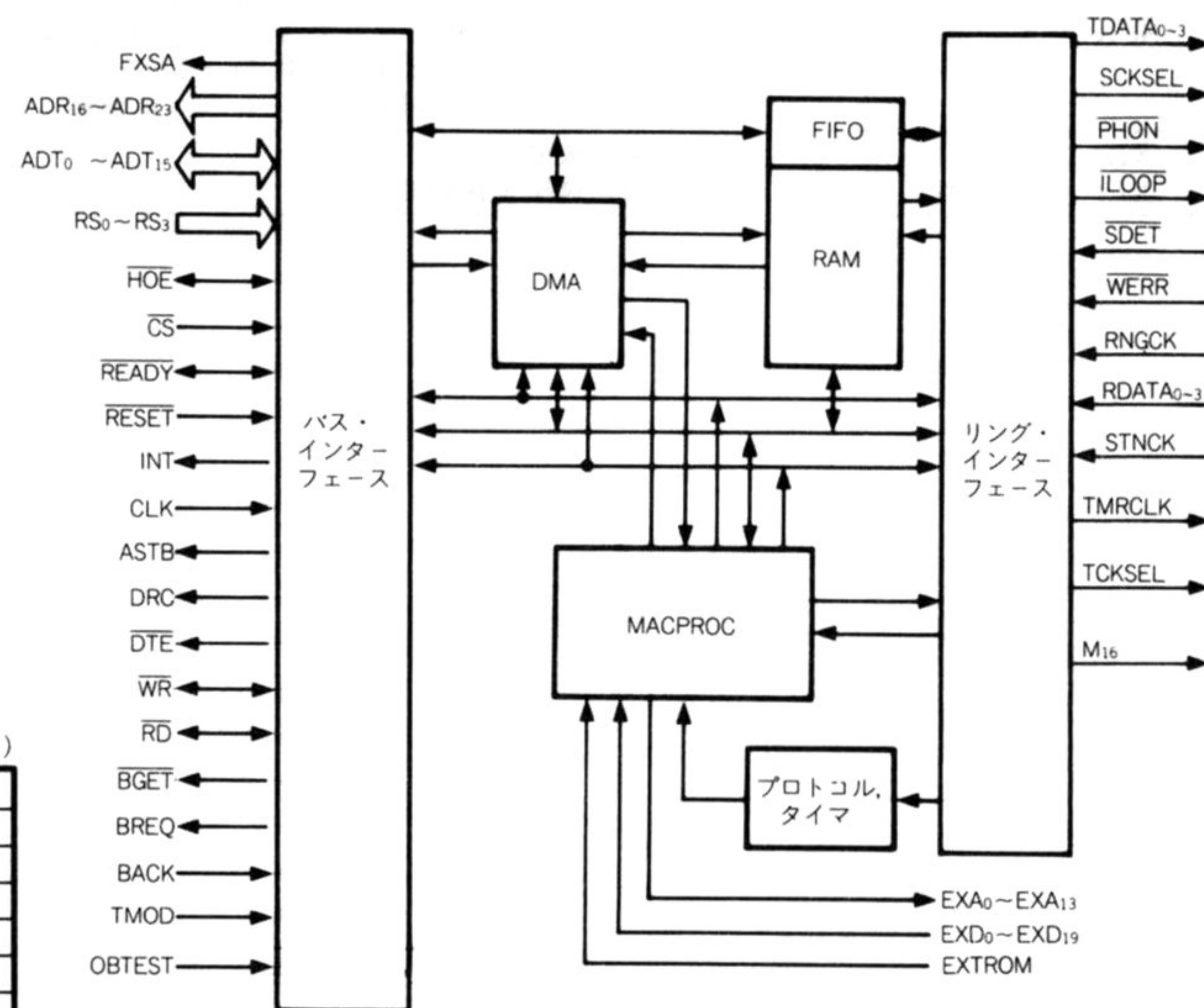
- IEEE802.5に準拠したトークン・リング・プロトコルを実行するコントローラ
- アクティブ・モニタおよびスタンバイ・モニタ機能をもつ
- リング・エラーの回復機能をもつ
- エラー・カウンタを内蔵
- 自己診断機能（ローブ・メディア・テスト，内部折り返しテスト）を内蔵
- ネットワーク・マネージャへの報告機能をもつ
- リスト構造のデータを扱うインテリジェントDMA機能をもつ
- ブリッジ局のためのルーティング・インフォメーション・フィールド検出とコピーおよび中継フレーム回収機能をもつ
- ネットワーク側伝送速度をソフトウェア切り替え可能

■ ブロック図

バス・インターフェース　DMA　FIFO　RAM　MACPROC　プロトコル，タイマ　リング・インターフェース

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜V_{CC}+0.5	V
消費電力	P_D	0.95	W
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−65〜150	℃

■ DC特性　（T_a=0〜70℃，V_{CC}=5V±5%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=2.5mA	0.4	V
V_{OH}	I_{OH}=2.5mA	3.0*	V
I_{OL}	V_{OUT}=0〜V_{CC}	±10	μA
I_{IL}	V_{IN}=0〜V_{CC}	±1	μA
C_{IN}		20	pF

■ 端子機能

端子名	ピン番号	入出力	機能
$ADR_{16\sim23}$	138～131	出力	バス・マスタとなってDMAを行う場合，上位8ビットのアドレスを出力する
$ADT_{0\sim15}$	20～13，10～5，140～139	入出力	アドレスとデータが時分割されているバス
$\overline{CS}$	42	入力	I/Oレジスタ・アクセス時にアクティブにされる
BREQ	44	出力	DMAを行う場合，バスの管理権を要求していることを示す
BACK	45	入力	ネットワーク・プロセッサはBREQ要求を受け取ると，そのとき実行中の命令の最終マシン・サイクルの終わりにこの信号を出力する
$\overline{HOE}$	24	入出力	データの“H”側$ADT_{8\sim15}$が有効であることを示す
$\overline{RD}$	32	入出力	ネットワーク・プロセッサのメモリからデータを読み出す
$\overline{WR}$	39	入出力	ネットワーク・プロセッサのメモリへデータを書き込む
$RS_0\sim RS_3$	28～25	入力	ネットワーク・プロセッサがI/Oレジスタを選択するために使用される
$\overline{BGET}$	43	出力	バス・マスタとなったことを示す
$\overline{DTE}$	30	出力	DMAを行う場合，この信号によりデータ・トランシーバの出力イネーブルをコントロールする
DRC	31	出力	DMAを行う場合，データ・トランシーバ上のデータの方向を決定するために使用される
ASTB	29	出力	DMAを行う場合，アドレス・バス上のアドレスをTRC外部のアドレス・ラッチにラッチするために使用される
$\overline{READY}$	40	入出力	DMAを行う場合は，メモリからの入力READY信号でウェイト・サイクルを挿入するかしないかを制御する
$\overline{RESET}$	41	入力	内部ロジックをクリアする
FXSA	130	入出力	SET INITIAL PARAMETERSコマンド実行時，固定自局アドレスを読む．このときFXSAは“H”になる

端子名	ピン番号	入出力	機能
INT	46	出力	割り込み要因がHSRに書き込まれると，IMRで許可されていれば，この信号が出力される
RNGCK	56	入力	データ信号からPLL回路を通して生成されたクロック信号
$\overline{WERR}$	49	入力	ツイスト・ペア上でショートあるいは断線が起こった場合にアクティブとなる
$\overline{PHON}$	50	出力	ファントム・ドライブ回路が動作し，リングへの物理的挿入が達成される
$\overline{SDET}$	47	入力	ネットワークからの受信信号検出入力端子
$RDATA_{0\sim3}$	51～54	入力	リングからの受信データ
$TDATA_{0\sim3}$	62～65	出力	データ出力
$\overline{ILOOP}$	48	出力	送信データと受信データを内部接続させる
STNCK	69	入力	局がもつクロックの入力端子
SCKSEL	60	出力	局がもつクロックに同期させるモードに設定する
TMRCLK	67	出力	ウォッチドグ・タイマを駆動するクロック
TCKSEL	66	出力	送信クロックとして，自局の水晶発振を用いるか，受信データからの抽出クロックを用いるかを選択する
M_{16}	61	出力	“H”のとき，16Mbps，“L”のとき4Mbpsの伝送速度を示す
CLK	22	入力	ネットワーク・プロセッサ・システムのクロック信号
TMOD	128	入力	この信号を“H”にすると，テスト・モードの動作状態になる
OBTEST	127	入力	この信号を“H”にすると，全端子をハイ・インピーダンスにする
EXTROM	129	入力	この信号を“H”にすると，外部にあるプロトコルROMを読んで実行するモードになる
$EXA_{0\sim13}$	77～90	出力	外部プロトコルROMへのアドレス出力
$EXD_{0\sim19}$	95～104，113～122	入力	外部プロトコルROMからのデータ入力

LAN Controller〔CSMA〕

■ ピン接続

μPD72105

ピン	信号	方向	ピン	信号	方向
1	CRQ	→	48	AEN	→
2	$\overline{RxC}$	→	47	ASTB	→
3	RxD	→	46	READY	←
4	$\overline{TxC}$	↔	45	HLDAK	←
5	TxD	←	44	HLDRQ	→
6	TxEN	←	43	CLRINT	←
7	$\overline{RESET}$	→	42	INT	→
8	$\overline{LED}$	←	41	$\overline{UBE}$	↔
9	$\overline{B}$/W	→	40	$\overline{WR}$	↔
10	$\overline{TEST}$	→	39	$\overline{RD}$	↔
11	CLK	→	38	$\overline{CS}$	←
12	GND		37	A_0	↔
13	A_{23}/D_7	↔	36	V_{CC}	
14	A_{22}/D_6	↔	35	A_1	↔
15	A_{21}/D_5	↔	34	A_2	→
16	A_{20}/D_4	↔	33	A_3	→
17	A_{19}/D_3	↔	32	A_4	→
18	A_{18}/D_2	↔	31	A_5	→
19	A_{17}/D_1	↔	30	A_6	→
20	A_{16}/D_0	↔	29	A_7	→
21	AD_{15}	↔	28	AD_8	↔
22	AD_{14}	↔	27	AD_9	↔
23	AD_{13}	↔	26	AD_{10}	↔
24	AD_{12}	↔	25	AD_{11}	↔

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜 V_{CC} +0.3	V
動作温度	T_{OPR}	−40〜85	℃
保存温度	T_{STG}	−40〜125	℃

■ DC特性

（T_a = −40〜85℃, V_{CC} = 5V±10%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL} = 2.5mA	0.4	V
V_{OH}	I_{OH} = 400μA	0.7× V_{CC}*	V
I_{OL}	V_{OUT} = 0〜 V_{CC}	±10	μA
I_{IL}	V_{IN} = 0〜 V_{CC}	±10	μA
C_{IN}		15	pF

■ 特　徴

・オムニネットＬＡＮプロトコルをサポートするＣＳＭＡコントローラ
・転送速度
　オムニネット・プロトコル　：１Ｍｂｐｓ
　オムニネット・プロトコル　：４Ｍｂｐｓ
・コマンド・チェーン機能内蔵
・ＤＭＡコントローラ内蔵
・8/16ビット・システム・バス対応可能
・メモリ空間１６Ｍバイト
・送信FIFO：12バイト，受信FIFO：20バイト内蔵
・送受信統計情報出力，ループ・バック・テスト機能内蔵

■ ブロック図

■端子機能

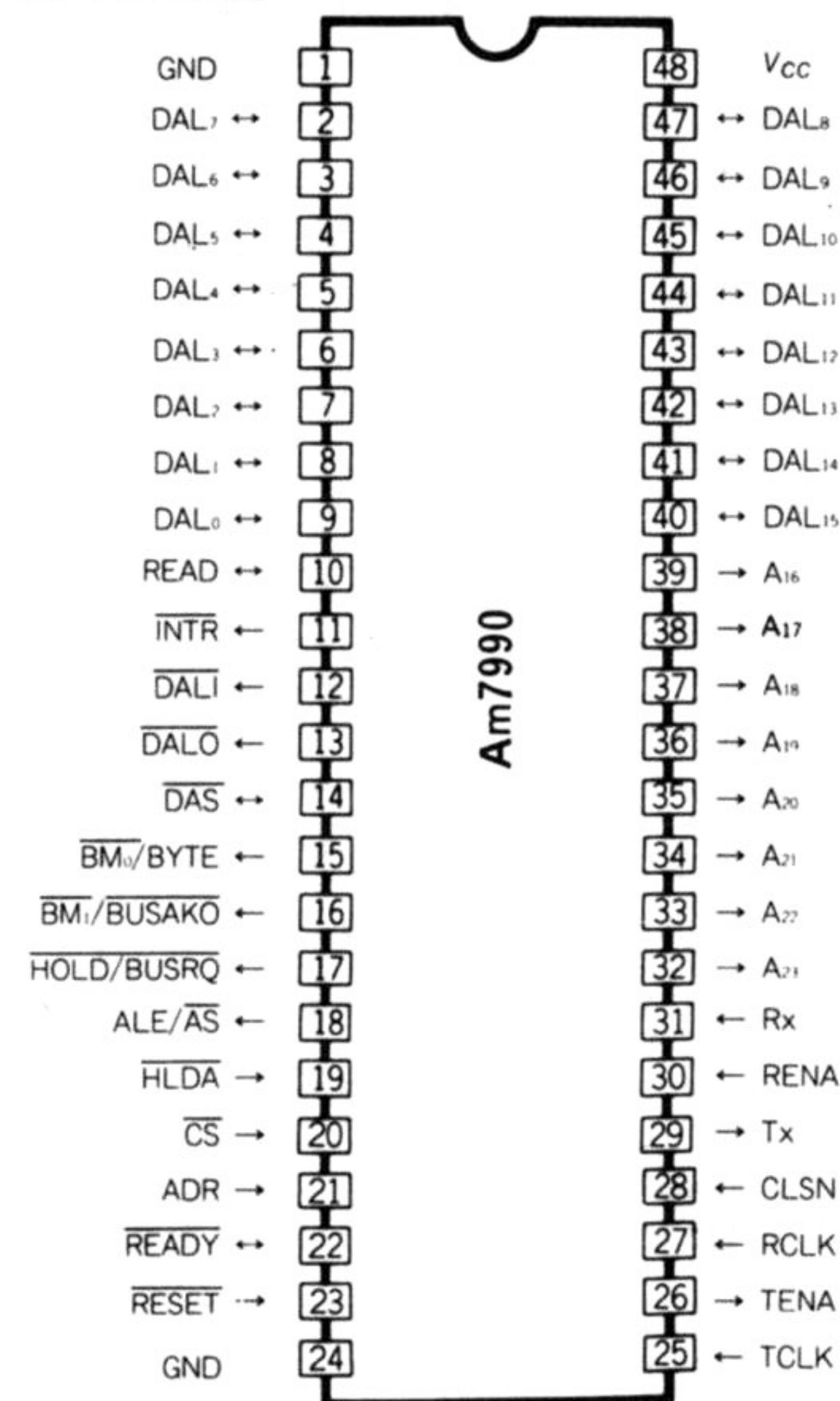
<table>
<tr><th>端子名</th><th>ピン番号</th><th>入出力</th><th>機能</th></tr>
<tr><td>CLK</td><td>11</td><td>入力</td><td>単相システム・クロック入力</td></tr>
<tr><td>$\overline{TEST}$</td><td>10</td><td>入力</td><td>テスト端子．通常は“H”レベル</td></tr>
<tr><td>$\overline{RESET}$</td><td>7</td><td>入力</td><td>チップ内部をクリアする．リセット後μPD72105はバス・スレーブになる</td></tr>
<tr><td>$\overline{CS}$</td><td>38</td><td>入力</td><td>バス・スレーブ時に$\overline{RD}$，$\overline{WR}$信号を有効にする</td></tr>
<tr><td>$\overline{RD}$</td><td>39</td><td>入出力</td><td>3ステートの制御信号．バス・スレーブ時には入力端子となり，外部プロセッサがμPD72105の内部レジスタの内容を読み出す．バス・マスタ時には出力端子となり，μPD72105が外部メモリの内容を読み出す</td></tr>
<tr><td>$\overline{WR}$</td><td>40</td><td>入出力</td><td>3ステートの制御信号．バス・スレーブ時には入力端子となり，外部プロセッサがμPD72105の内部レジスタに書き込みを行う．バス・マスタ時には出力端子となり，μPD72105が外部メモリに書き込みを行う</td></tr>
<tr><td>$\overline{B}$/W</td><td>9</td><td>入力</td><td>バス・マスタ時にアクセスするデータ・バスを指定する．
$\overline{B}$/W＝0　バイト単位（8ビット）
$\overline{B}$/W＝1　ワード単位（16ビット）
電源投入後，この端子の状態を変化させないこと</td></tr>
<tr><td>HLDRQ</td><td>44</td><td>出力</td><td>ホスト・プロセッサに対するホールド・リクエスト信号</td></tr>
<tr><td>HLDAK</td><td>45</td><td>入力</td><td>ホスト・プロセッサからのホールド・アクノリッジ信号</td></tr>
<tr><td>AEN</td><td>48</td><td>出力</td><td>バス・マスタのときに，この信号はラッチした上位アドレスをイネーブルにし，システム・アドレス・バスへ出力させる</td></tr>
<tr><td>$\overline{UBE}$</td><td>41</td><td>入出力</td><td>3ステートの制御信号．バス・スレーブ時には入力となり，有効データがA_{16}/D_0～A_{23}/D_7またはAD_8～AD_{15}のどちらにあるかを示す．
<table>
<tr><th>$\overline{UBE}$</th><th>A_0</th><th>A_{16}/D_0～A_{23}/D_7</th><th>AD_8～AD_{15}</th></tr>
<tr><td>0</td><td>0</td><td>○</td><td>×</td></tr>
<tr><td>0</td><td>1</td><td>×</td><td>○</td></tr>
<tr><td>1</td><td>0</td><td>○</td><td>×</td></tr>
<tr><td>1</td><td>1</td><td>○</td><td>×</td></tr>
</table>
バス・マスタ時はB/W端子の状態によって，この端子の状態が変わる．
▶バイト転送モード（$\overline{B}$/W＝0）では$\overline{UBE}$は常にハイ・インピーダンス．
▶ワード転送モード（$\overline{B}$/W＝1）では$\overline{UBE}$は出力となり，有効データがA_{16}/D_0～A_{23}/D_7またはAD_8～AD_{15}のどちらにあるかを示す</td></tr>
</table>

端子名	ピン番号	入出力	機能
ASTB	47	出力	外部ラッチに上位アドレスをストローブするために用いる
READY	46	入力	メモリのレディ状態を示す．低速のメモリに適用させるために，μPD72105が出力する$\overline{RD}$，$\overline{WR}$信号幅を拡張するウェイト・サイクルでは，インアクティブにする
CRQ	1	入力	ホスト・システムがμPD72105にコマンド実行を要求する信号
INT	42	出力	μPD72105がコマンド実行を終了，またはパケットを受信したことを示す
CLRINT	43	入力	μPD72105が出力するINT信号をインアクティブにする信号
A_0，A_1	37，35	入出力	双方向3ステートのアドレス・ライン．バス・マスタ時には出力となり，メモリ・アドレスの下位2ビットを示す．バス・スレーブ時には入力となり，外部プロセッサがμPD72105にアクセスするI/Oアドレスの下位2ビットを示す
A_2～A_7	34～29	出力	3ステートのアドレス・ライン．バス・マスタ時には出力となり，メモリ・アドレスのビット2からビット7を示す．バス・スレーブ時にはハイ・インピーダンスとなる
AD_8～AD_{15}	28～21	入出力	双方向3ステートのアドレス/データ・バス．アドレスの中位（ビット8からビット15）とデータの上位（ビット8からビット15）を兼用する
A_{16}/D_0～A_{23}/D_7	20～13	入出力	双方向3ステートのアドレス/データ・バス．アドレスの上位（ビット16からビット23）とデータの下位（ビット0からビット7）を兼用する
$\overline{LED}$	8	出力	外部にLEDを接続し，μPD72105が正常に動作していることを示す
TxEN	6	出力	シリアル側の送信ドライバのイネーブル信号
$\overline{TxC}$	4	入出力	DPLLモードを選択しているときには出力となり，μPD72105内部で作られた送信クロックを出力する．DPLLモードを選択していないときには入力となり，外部から送信クロックを入力する
TxD	5	出力	シリアル送信データ
$\overline{RxC}$	2	入力	DPLLモードを選択しているときには，DPLLのためのクロック入力となる．DPLLモードを選択していないときには、受信クロック入力となる．この場合は外部DPLLが出力するクロックを入力する
RxD	3	入力	シリアル受信データ

LAN Controller (Ethernet)

■ ピン接続

Am7990

ピン	信号	方向	ピン	信号	方向
1	GND		48	V_{CC}	
2	DAL_7	↔	47	DAL_8	↔
3	DAL_6	↔	46	DAL_9	↔
4	DAL_5	↔	45	DAL_{10}	↔
5	DAL_4	↔	44	DAL_{11}	↔
6	DAL_3	↔	43	DAL_{12}	↔
7	DAL_2	↔	42	DAL_{13}	↔
8	DAL_1	↔	41	DAL_{14}	↔
9	DAL_0	↔	40	DAL_{15}	↔
10	READ	↔	39	A_{16}	→
11	$\overline{INTR}$	←	38	A_{17}	→
12	$\overline{DALI}$	←	37	A_{18}	→
13	$\overline{DALO}$	←	36	A_{19}	→
14	$\overline{DAS}$	↔	35	A_{20}	→
15	$\overline{BM_0}$/BYTE	←	34	A_{21}	→
16	$\overline{BM_1}$/BUSAKO	←	33	A_{22}	→
17	$\overline{HOLD}$/BUSRQ	←	32	A_{23}	→
18	ALE/$\overline{AS}$	←	31	Rx	←
19	$\overline{HLDA}$	→	30	RENA	←
20	$\overline{CS}$	→	29	Tx	→
21	ADR	→	28	CLSN	←
22	$\overline{READY}$	↔	27	RCLK	←
23	$\overline{RESET}$	→	26	TENA	→
24	GND		25	TCLK	←

■ 最大定格

項　目	記号	定　格	単位
消費電力	P_D	2.0	W
動作温度	T_{OPR}	−25～125	℃
保存温度	T_{STG}	−65～150	℃

■ DC特性

（T_a＝0～70℃，V_{CC}＝5V±5%）

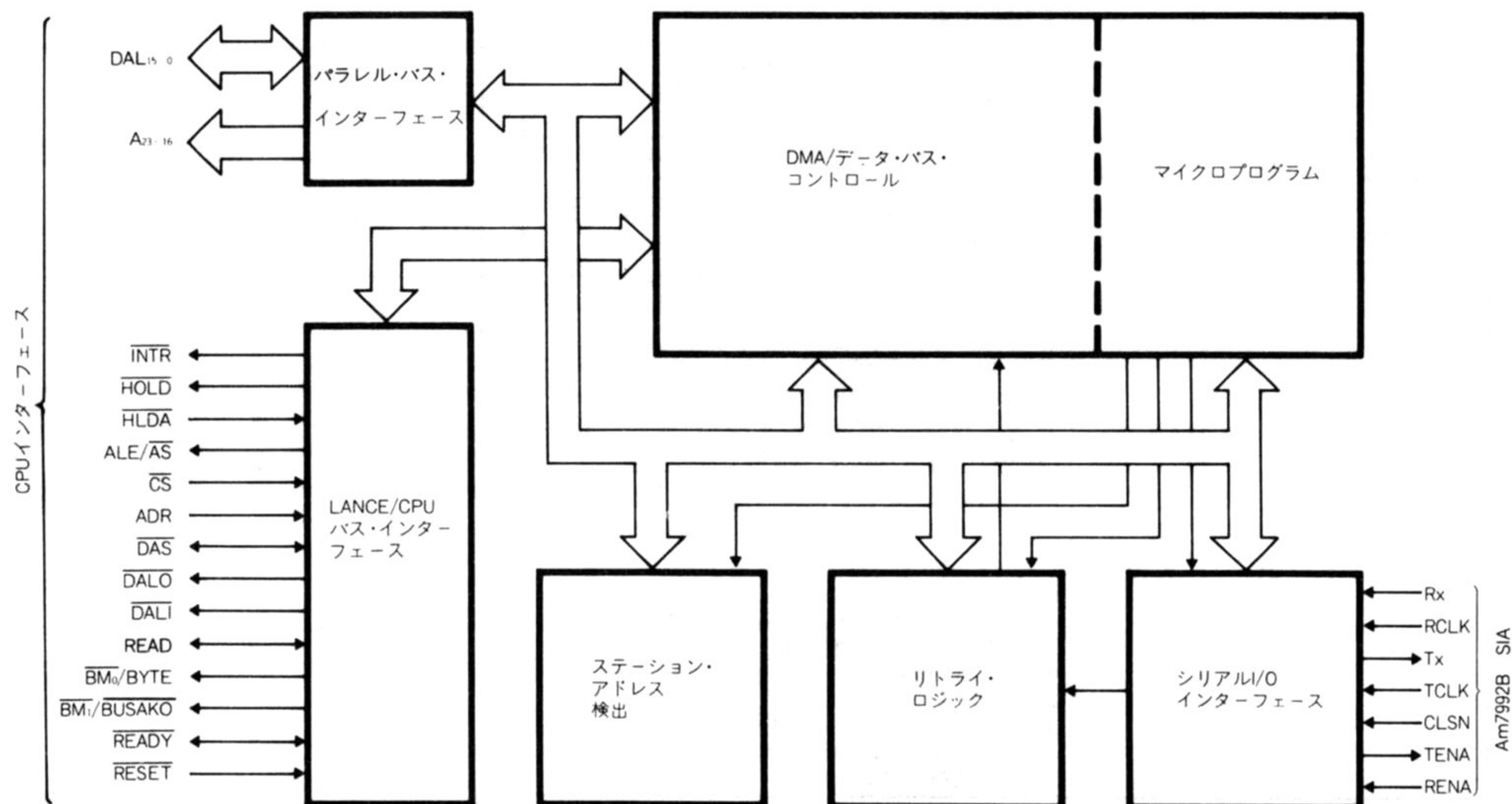
記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝3.2mA	0.5	V
V_{OH}	I_{OH}＝0.4mA	2.4*	V
I_{IL}	V_{IN}＝0.4～V_{CC}	±10	μA
C_{IN}		10	pF

■ 特　徴

・イーサネットおよびIEEE802.3仕様に準拠したＬＡＮコントローラ
・オンボードＤＭＡおよびバッファ管理機能内蔵
・４８バイトＦＩＦＯ内蔵
・バスマスタ・モードで，２４ビット・リニア・アドレッシング
・ネットワークおよびパケット・エラーのリポート機能内蔵
・各種診断機能を内蔵
　ＣＲＣ論理チェック
　内部/外部ループ・バック
　時間領域リフレクト・メータ
・Am7992と直接接続可能

■ ブロック図

CPUインターフェース

DAL_{15-0}
A_{23-16}
パラレル・バス・インターフェース
DMA/データ・バス・コントロール
マイクロプログラム
$\overline{INTR}$
$\overline{HOLD}$
$\overline{HLDA}$
ALE/$\overline{AS}$
$\overline{CS}$
ADR
$\overline{DAS}$
$\overline{DALO}$
$\overline{DALI}$
READ
$\overline{BM_0}$/BYTE
$\overline{BM_1}$/BUSAKO
$\overline{READY}$
$\overline{RESET}$
LANCE/CPU バス・インターフェース
ステーション・アドレス検出
リトライ・ロジック
シリアルI/O インターフェース
Rx
RCLK
Tx
TCLK
CLSN
TENA
RENA
Am7992B SIA

■端子機能

端 子 名	名 称	ピン番号	入出力	機 能
DAL_0～DAL_{15}	データ/アドレス・ライン	9～2, 47～40	入出力	多重アドレス/データ・バス
A_{16}～A_{23}	上位アドレス・バス	39～32	出 力	24ビット・アドレスをアクセスするために，DAL ラインを拡張するのに必要な追加アドレス・ビット
READ	リード	10	入出力	バス・サイクルでのオペレーションの種類を示す．この信号は Am7990 がバス・マスタのときは出力
$\overline{BM_0}$/BYTE, $\overline{BM_1}$/BUSAKO	バイト・マスク$_0$/バイト バイト・マスク$_1$/バス・リクエスト・デイジィ・チェーン	15, 16	出 力	ステータス・レジスタでプログラムされる．バイト・マスク設定時は，BM_0，BM_1が DAL 上のバイトの状態を示す．バイト設定時は，バイト状態とデイジィ・チェーン出力となる
$\overline{CS}$	チップ・セレクト	20	入 力	$\overline{CS}$ が与えられたとき，Am7990 がデータ転送のスレーブ・デバイスであることを示す
ADR	レジスタ・アドレス・ポート・セレクト	21	入 力	LANCE がスレーブのとき，二つのレジスタ・ポートのどれが指定されているかを示す．“L”はレジスタ・データ・ポートを指定，“H”がレジスタ・アドレス・ポートを指定
ALE/AS	アドレス・ラッチ・イネーブル	18	出 力	DAL ラインをマルチプレクスし，バス・サイクルのアドレス期間を指定．このピンは CSR_3のビット(01)を介してプログラム可能
$\overline{DAS}$	データ・ストローブ	14	入出力	バス・トランザクションのデータ期間を指定
$\overline{DALO}$	データ/アドレス・ライン・アウト	13	出 力	外部バス・トランシーバ・コントロール・ライン $\overline{DALO}$ は，Am7990 が DAL ラインを使用するときに出力される
$\overline{DALI}$	データ/アドレス・ライン・イン	12	出 力	外部バス・トランシーバ・コントロール・ライン．Am7990 が DAL ラインから READ を行うときに出力される
$\overline{HOLD}$/$\overline{BUSRQ}$	バス・ホールド要求	17	出 力	Am7990 がメモリへアクセスするときに出力される．このピンの機能は CSR_3のビット 0 を通じてプログラムされる
$\overline{HLDA}$	バス・ホールド応答	19	入 力	HOLD に対する応答
$\overline{INTR}$	割り込み	11	出 力	要求信号で，アクティブのとき CSR_0ステータス・フラグのひとつまたは複数がセットされていることを示す信号
Rx	受信	31	入 力	受信ビット・ストリーム入力
Tx	送信	29	出 力	送信ビット・ストリーム出力
TENA	送信イネーブル	26	出 力	送信ビット・ストリーム出力イネーブル，出力時は有効な送信出力(Tx)をイネーブルにする
RCLK	受信クロック	27	入 力	受信データに同期化された 10 MHz クロックで，入力ビット・ストリームを受信中にのみアクティブになる
CLSN	コリジョン	28	入 力	チャネル上で衝突が発生していることを示す論理入力
RENA	受信イネーブル	30	入 力	チャネル上にキャリアがあることを示す論理入力
TCLK	送信クロック	25	入 力	10 MHz クロック入力
$\overline{READY}$	レディ	22	入出力	Am7990 がバス・マスタのとき，WRITE サイクルでのデータ受け取り，あるいは READ サイクルの DAL ラインにデータを出力したことを示すバス・メモリからの非同期応答信号
$\overline{RESET}$	リセット	23	入 力	リセット信号

ILACC(Integrated Local Area Communication Controller)

■ピン接続

Am79C900
ILACC

ピン	信号
12	$\overline{CS}$
13	VCC
14	BCLK
15	RxC
16	RxD
17	TxD
18	CRS
19	RTS
20	CDT
21	$\overline{RESET}$
22	VSS
23	AVSS
24	RCV+
25	RCV-
26	AVCC
27	XMIT+
28	XMIT-
29	COLL+
30	COLL-
31	VSS
32	NC
74	DAL28
73	DAL27
72	VCC
71	DAL26
70	DAL25
69	VSS
68	DAL24
67	DAL23
66	DAL22
65	DAL21
64	DAL20
63	DAL19
62	VSS
61	DAL18
60	DAL17
59	DAL16
58	DAL15
57	VCC
56	VCC
55	DAL14
54	DAL13

■最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}		V
入力電圧	V_{IN}		V
消費電力	P_D	1.0	W
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−65～150	℃

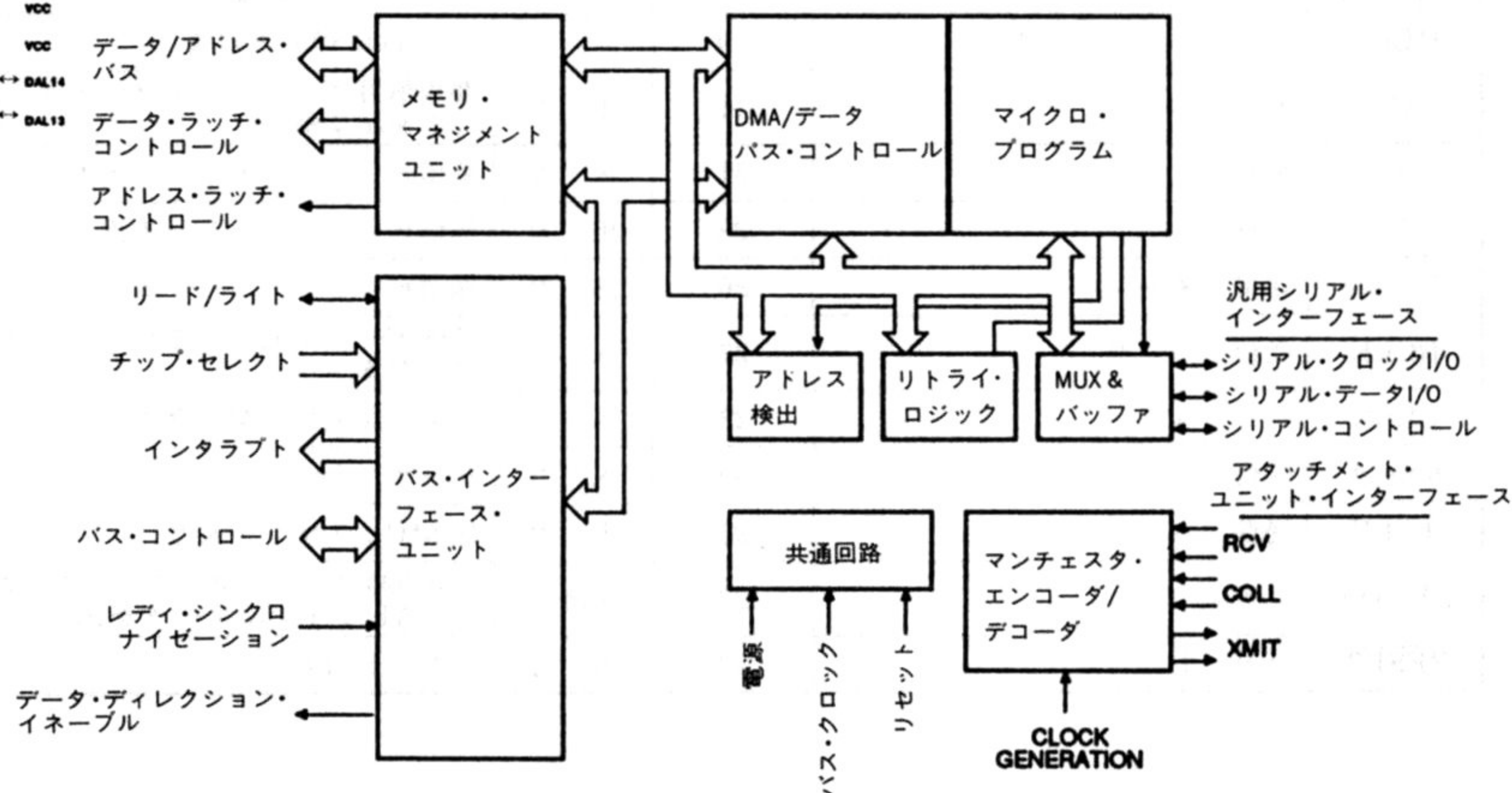
■DC特性

(T_a=0～70℃, V_{CC}=5 V±10 %)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=4 mA	0.4	V
V_{OH}	I_{OH}=0.4 mA	2.4*	V
I_{OFL}	V_{OUT}=0.4～V_{CC}	±10	μA
I_{IL}	V_{IN}=0～V_{CC}	±10	μA
C_{IN}		10	pF

■特　徴

- ＩＥＥＥ８０２．３（ＣＳＭＡ／ＣＤ）規格準拠のデータリンク・コントローラ
- 10BASE-5, 10BASE-2, 10BASE-T, 10BASE-FのLAN対応
- シリアル・インターフェース・エンコーダ／デコーダ内蔵
- ３２ビットＣＰＵとインターフェース可能
- ４８バイトＦＩＦＯ，ＤＭＡコントローラ，バッファ・マネージメント機構内蔵

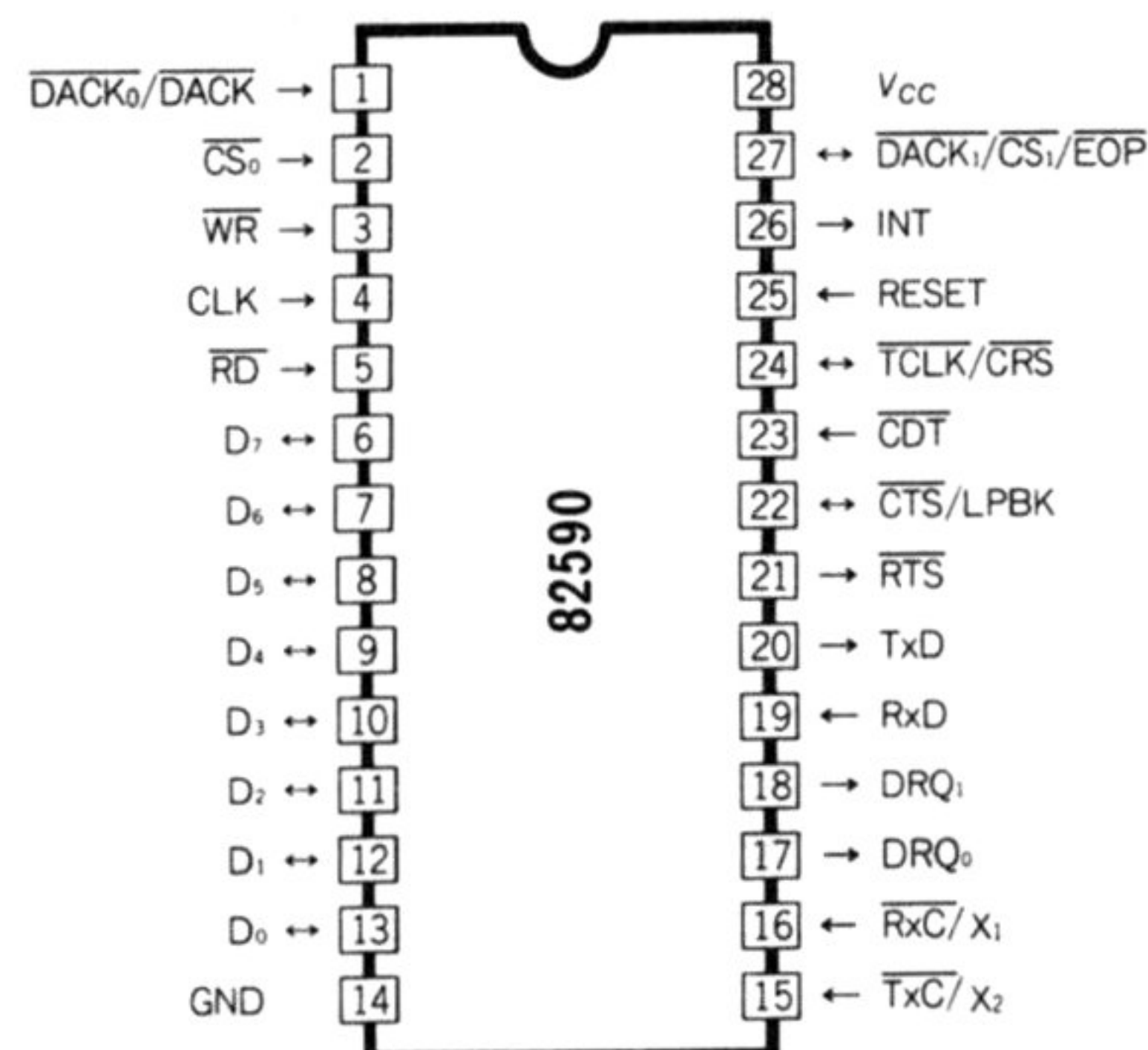
■ブロック図

■端子機能

端子名	ピン番号	入出力	機能
ALE/$\overline{AS}$	84	入出力	アドレス・ラッチ・イネーブル／アドレス・ストローブ信号で，極性は内部レジスタでプログラマブル
BCLK	14	入　力	CPUインターフェース用のバス・クロック信号入力
$\overline{BGACK}$/ $\overline{MASTER}$	6	入出力	680×0ファミリのCPU接続に用い，バス・マスタとなった時に“L”を出力する
C/$\overline{D}$	9	入　力	“L”のときデータ・ポート選択，“H”のときレジスタ・アドレス・ポート選択
CDT	20	入　力	衝突検出（Collision Detect）信号入力で，汎用のシリアル入力インターフェースで使用
COLL＋, COLL－	29, 30	入　力	イーサネット用の衝突検出信号入力，汎用のシリアル入力インターフェース用途ではGND接続
CRS	18	入　力	外部トランシーバを介してデータを入力する時に使用するキャリア・センス信号入力
$\overline{CS}$	12	入　力	内部レジスタへのアクセス時に使用するチップ・セレクト信号入力
$\overline{BE2}$/DAL0, $\overline{BE3}$/DAL1	38，39	入出力	データ・アドレス，バイト・イネーブル信号．80×86ではメモリ・バンク・セレクト信号$\overline{BE2}$，$\overline{BE3}$として使用される．データ入出力バスDAL0，DAL1としても使用される
DAL2～DAL31	41～78	入出力	データ入出力バス
$\overline{DALI}$, $\overline{DALO}$	5，4	出　力	外部バス・トランシーバ用のコントロール信号
$\overline{DAS}$	3	入出力	データ・ストローブ信号
$\overline{HLDA/BUSACK}$	7	入　力	80×86CPUのHOLD ACK，680×0 CPUのBUS ACK信号入力
$\overline{HOLD}$/$\overline{BUSR}$	8	出　力	80×86CPUのHOLD，680×0 CPUのBUS Request信号
$\overline{INTR}$	81	出　力	割り込み要求信号出力
RCV＋, RCV－	24，25	入　力	ネットワークからのマンチェスタ信号入力端子
R/$\overline{W}$	79	入出力	リード／ライト信号
$\overline{READYL}$	82	入出力	バス・スレーブの時はウェイト要求出力，バス・マスタの時はターゲット・メモリからのACK入力
$\overline{RESET}$	21	入　力	システム・リセット入力
$\overline{RINTR}$	80	出　力	割り込みレシーブを示す出力信号
RTS	19	出　力	送信要求（リクエスト・トゥ・センド）信号
RxC	15	入　力	レシーブ・データ用のクロック信号入力
RxD	16	入　力	シリアル・レシーブ・データ入力
TxC	10	入　力	トランスミット・データ用のクロック信号入力
TxD	17	出　力	シリアル・トランスミット・データ出力
$\overline{BE0}$/SIZ0, $\overline{BE1}$/SIZ1	36，37	出　力	サイズ，バイト・イネーブル信号．680×0，Am29000ではSIZ0，SIZ1出力．80×86では$\overline{BE0}$，$\overline{BE1}$として使用される
XCLK	35	出　力	水晶発振子の生成クロック信号出力で，BCLKへの入力に使用できる
XTAL1, XTAL2	33，34	入　力	水晶発振回路
XMIT＋, XMIT－	27，28	出　力	ネットワークへのマンチェスタ信号出力端子

LAN Controller (CSMA/CD)

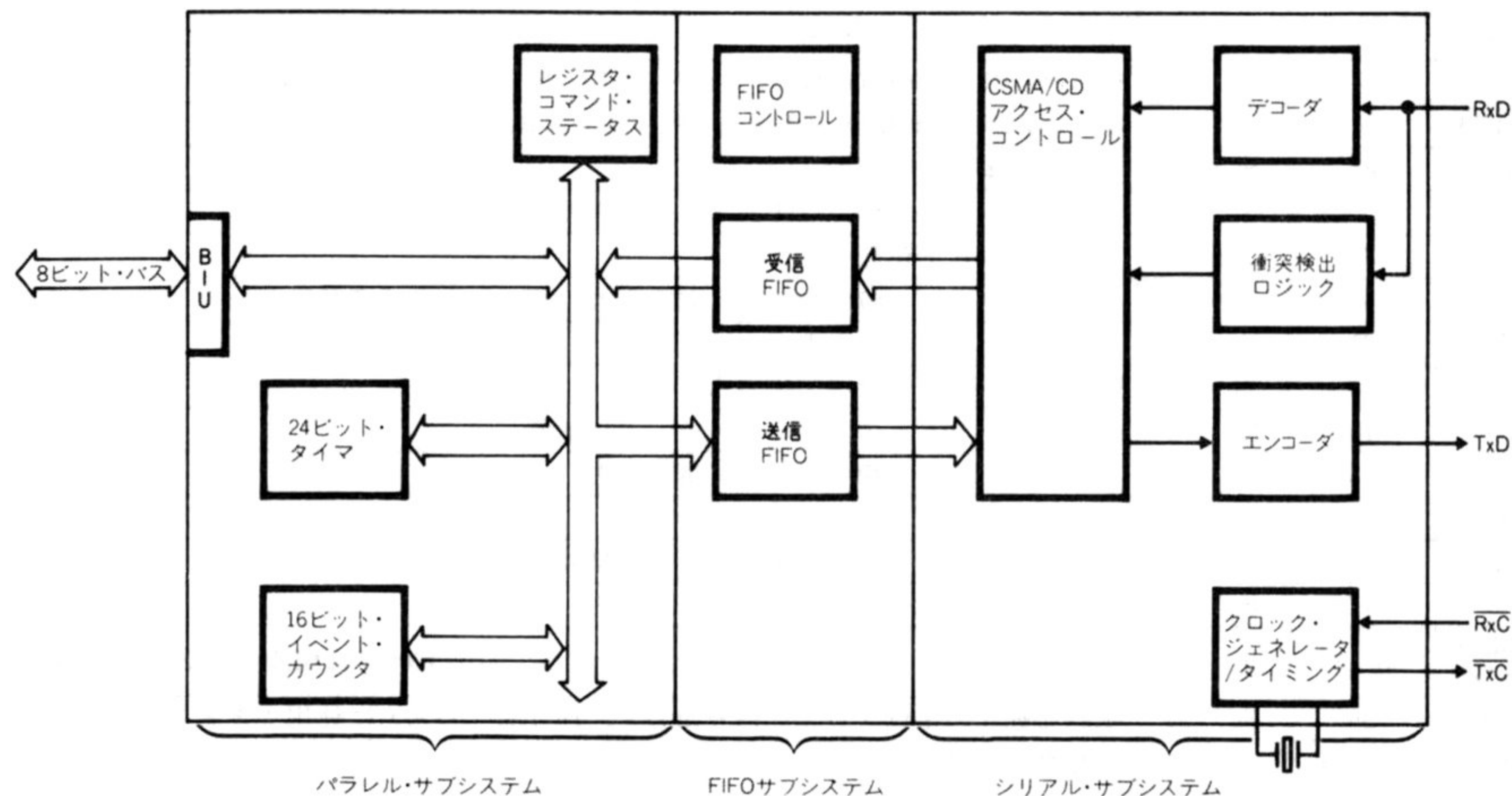
■ ピン接続

82590

ピン	信号	方向	ピン	信号	方向
1	$\overline{DACK_0}$/$\overline{DACK}$	→	28	V_{CC}	
2	$\overline{CS_0}$	→	27	$\overline{DACK_1}$/$\overline{CS_1}$/$\overline{EOP}$	↔
3	$\overline{WR}$	→	26	INT	→
4	CLK	→	25	RESET	←
5	$\overline{RD}$	→	24	$\overline{TCLK}$/$\overline{CRS}$	↔
6	D_7	↔	23	$\overline{CDT}$	←
7	D_6	↔	22	$\overline{CTS}$/LPBK	↔
8	D_5	↔	21	$\overline{RTS}$	→
9	D_4	↔	20	TxD	→
10	D_3	↔	19	RxD	←
11	D_2	↔	18	DRQ_1	→
12	D_1	↔	17	DRQ_0	→
13	D_0	↔	16	$\overline{RxC}$/X_1	←
14	GND		15	$\overline{TxC}$/X_2	←

■ 特　徴

- StarLAN, Ethernet用のCSMA/CD機能内蔵のLANコントローラ
- マンチェスタ，ディファレンシャル・マンチェスタ，ＮＲＺＩ符号エンコーディング/デコーディング機能内蔵
- データ転送速度は動作モードにより異なる．
  内部エンコーダ/デコーダ使用：4Mbps
  外部エンコーダ/デコーダ使用：20Mbps
- ローカル/リモート・パワーダウン・モード内蔵
- ２４ビットの汎用タイマを内蔵
- 82588とピン/ソフト・コンパチブル

■ ブロック図

8ビット・バス
BIU
レジスタ・コマンド・ステータス
24ビット・タイマ
16ビット・イベント・カウンタ
FIFOコントロール
受信FIFO
送信FIFO
CSMA/CDアクセス・コントロール
デコーダ
衝突検出ロジック
エンコーダ
クロック・ジェネレータ/タイミング
RxD
TxD
$\overline{RxC}$
$\overline{TxC}$
パラレル・サブシステム
FIFOサブシステム
シリアル・サブシステム

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−1.0～7.0	V
入力電圧	V_{IN}	−1.0～7.0	V
消費電力	P_D	0.55	W
動作温度	T_{OPR}	0～85	°C
保存温度	T_{STG}	−65～150	°C

■ DC特性

（T_a=0～85°C, V_{CC}=5V±10%）

記 号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	$I_{OL}=2.0mA$	0.45	V
V_{OH}	$I_{OH}=400\mu A$	2.4*	V
I_{OL}	$V_{OUT}=0.45 \sim V_{CC}-0.45$	±10	μA
I_{II}	$V_{IN}=0 \sim V_{CC}$	±10	μA
C_{IN}		10	pF

■端子機能

端子名	名称	ピン番号	入出力	機能
D_7～D_0	データ・バス	6～13	入出力	CPU とのデータ，コマンド，ステータスのやりとりを行うデータ・バス
$\overline{RD}$	リード	5	入力	データ，ステータスを読み出すためのリード制御信号
$\overline{WR}$	ライト	3	入力	データ，コマンドを書き込むためのライト制御信号
$\overline{CS_0}$	ポート0のチップ・セレクト	2	入力	ポート0のチップ・セレクト信号．“L”アクティブ
RESET	リセット	25	入力	リセット信号．内部クロック同期のため，リセット時は4クロック以上“H”に保つ
INT	インタラプト	26	出力	割り込み信号の出力端子
DRQ_0 DRQ_1	DMA リクエスト(チャネル0) DMA リクエスト(チャネル1)	17，18	出力	チャネル0，1の DMA 要求信号出力．DMA コントローラと接続した場合は，$\overline{EOP}$ と共に使用し，送受信状態のやりとりを行う．
$\overline{DACK_0}$/ $\overline{DACK}$	DMA アクノリッジ(チャネル0)/ DMA アクノリッジ	1	入力	チャネル0の DMA アクノリッジ入力．$\overline{DACK_1}/\overline{CS_1}/\overline{EOP}$ 端子が，$\overline{CS_1}/\overline{EOP}$ にプログラムされているときは，チャネル0，1の DMA アクノリッジ信号となる
$\overline{DACK_1}$/ $\overline{CS_1}/\overline{EOP}$	DMA アクノリッジ(チャネル1)/ チップ・セレクト/プロセス・エンド	27	入出力	$\overline{DACK_1}$ または $\overline{CS_1}/\overline{EOP}$ にプログラム可能な多重機能端子．$\overline{DACK_1}$ はチャネル1の DMA アクノリッジ入力．$\overline{CS_1}/\overline{EOP}$ は，ポート1のチップ・セレクト入力，および DMA サービス終了出力
CLK	クロック	4	入力	システム・クロック入力端子
X_1，X_2	水晶接続	15，16	入力	内部クロック用水晶振動子接続端子(高集積モード)
$\overline{TxC}$	送信クロック	15	入力	TxD データ送信のための同期クロック入力(高速モード)
$\overline{RxC}$	受信クロック	16	入力	RxD データ受信のための同期クロック入力(高速モード)
$\overline{TCLK}$/ $\overline{CRS}$	送信クロック/キャリア・センス	24	入出力	高集積モードでは、送信クロック出力となる．高速モードでは，キャリア・センス信号入力となる
$\overline{CDT}$	コリジョン・ディテクト	23	入力	衝突検出を知らせるための入力端子
RxD	受信データ	19	入力	シリアル受信データ入力
TxD	送信データ	20	出力	シリアル送信データ出力
$\overline{RTS}$	リクエスト・センド	21	出力	送信要求出力．“L”アクティブ
$\overline{CTS}$/ LPBK	クリア・ツゥ・センド/ ループバック	22	入出力	送信可能入力．“L”アクティブで，データ送信を開始する．また，外部デバイスに対するループバック出力としても使用できる

NIC(Network Interface Controller)

■ピン接続

DP8390C

信号		ピン	ピン		信号
AD0	↔	1	48	←	RA0
AD1	↔	2	47	←	RA1
AD2	↔	3	46	←	RA2
AD3	↔	4	45	←	RA3
AD4	↔	5	44	→	PRD
AD5	↔	6	43	←	WACK
AD6	↔	7	42	→	INT
AD7	↔	8	41	←	RESET
AD8	↔	9	40	←	COL
AD9	↔	10	39	←	RXD
AD10	↔	11	38	←	CRS
AD11	↔	12	37	←	RXC
GND		13	36		V_{CC}
AD12	↔	14	35	→	LBK
AD13	↔	15	34	→	TXD
AD14	↔	16	33	←	TXC
AD15	↔	17	32	→	TXE
DSO	→	18	31	→	BREQ
CS	→	19	30	←	BACK
MWR	←	20	29	→	PRQ/ADS1
MRD	←	21	28	←	READY
SWR	→	22	27	→	PWR
SRD	→	23	26	←	RACK
ACK	←	24	25	←	BSCK

■特　徴

- ＩＥＥＥ８０２．３（ＣＳＭＡ／ＣＤ）規格準拠のデータリンク・コントローラ
- Ethernet, Thin-Ethernet, StarLANコンパチブル
- ８／１６／３２ビットのＣＰＵと接続可能
- 二つの１６ビットＤＭＡチャネル内蔵
- プログラマブルなスレッショルドをもった１６バイトの内部ＦＩＦＯ
- ネットワークの統計情報記録機能内蔵
- フィジカル・アドレス，マルチキャスト・アドレス，およびブロードキャスト・アドレスのフィルタリング機能内蔵
- 互いに独立したシステム・クロックとネットワーク・クロックを利用可能

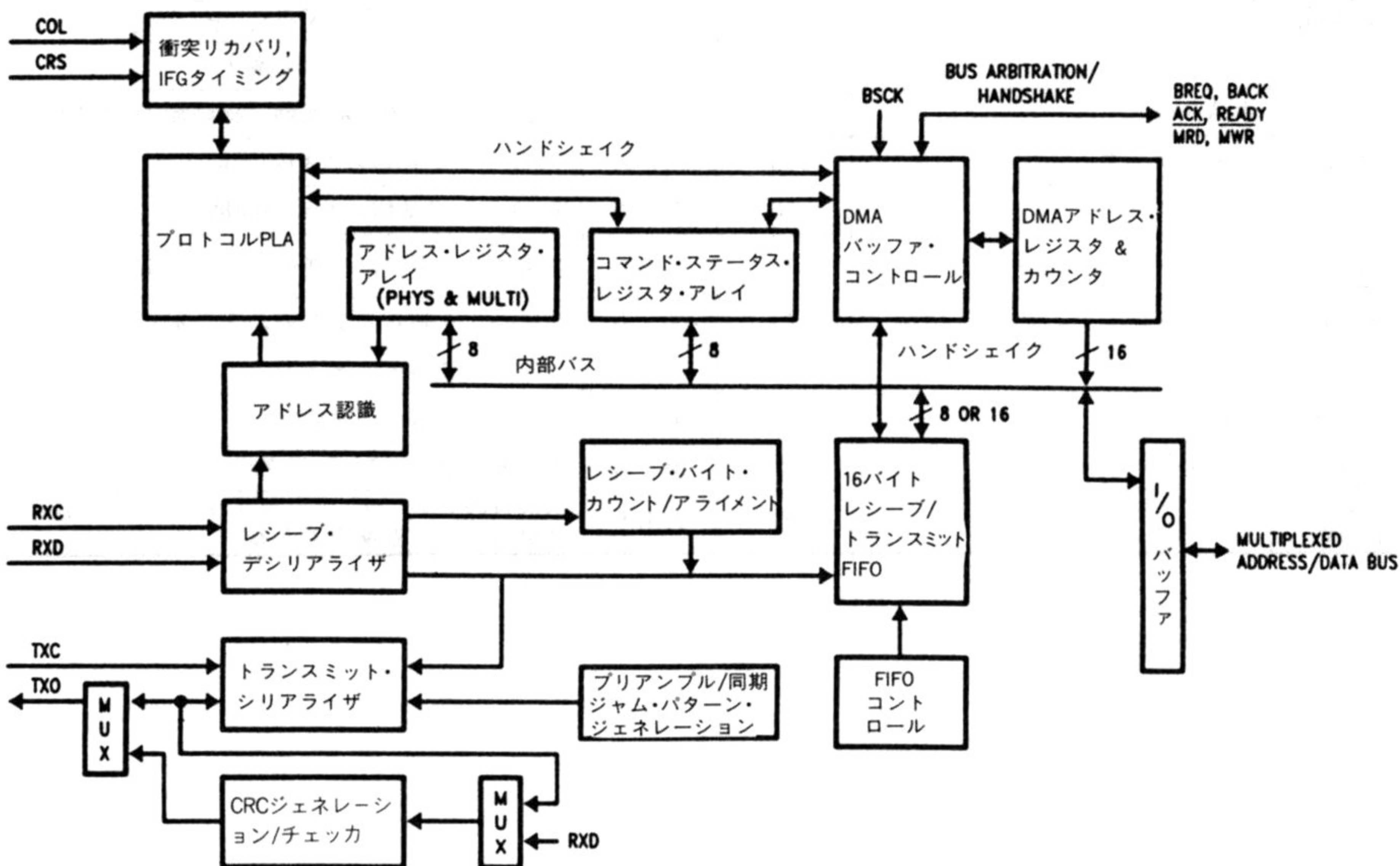
■ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	-0.5～7.0	V
入力電圧	V_{IN}	-0.5～$V_{CC}+0.5$	V
消費電力	P_D	0.5	W
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	-65～150	℃

■ DC 特性

（$T_a=0$～70℃，$V_{CC}=5\,V\pm5\,\%$）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	$I_{OL}=2\,mA$	0.4	V
V_{OH}	$I_{OH}=2\,mA$	3.5*	V
I_{OFL}	$V_{OUT}=0$,　V_{CC}	±10	μA
I_{IL}	$V_{IN}=0$,　V_{CC}	±1.0	μA

■端子機能

端子名	名　称	ピン番号	入出力	機　能
AI0～AD15	アドレス／データ0～15	1～12,14～17	入出力	アドレス／データ用のマルチプレクス・バス
DS0	アドレス・ストローブ0	18	入　力	DMAがアクティブでないときRA0～RA3のラッチ用信号入力．バス・マスタのときA0～A15のラッチ用信号出力
$\overline{\text{CS}}$	チップ・セレクト	19	入　力	内部レジスタをアクセスするためのチップ・セレクト
$\overline{\text{MWR}}$	マスタ・ライト・ストローブ	20	出　力	DMA転送のためのストローブ信号で，メモリへの書き込みサイクルの間アクティブ・ローとなる
$\overline{\text{MRD}}$	マスタ・リード・ストローブ	21	出　力	DMA転送のためのストローブ信号で，メモリからの読み出しサイクルの間アクティブ・ローとなる
$\overline{\text{SWR}}$	スレーブ・ライト・ストローブ	22	入　力	RA0～3で選ばれた内部レジスタへ書き込むためのCPUからのストローブ
$\overline{\text{SRD}}$	スレーブ・リード・ストローブ	23	入　力	RA0～3で選ばれた内部レジスタから読み取るためのCPUからのストローブ
$\overline{\text{ACK}}$	アクノリッジ	24	出　力	DP8390がCPUにアクセス許可をしたときにアクティブ・ローとなる
RA0～RA3	レジスタ・アドレス	45～48	入　力	内部レジスタの選択のためのアドレス入力
$\overline{\text{PRD}}$	ポート・リード	44	出　力	ローカル・メモリへのメモリ書き込みサイクルのとき，外部ラッチからローカル・バスへデータをイネーブルする
$\overline{\text{WACK}}$	ライト・アクノリッジ	43	入　力	データが外部ラッチへ書き込まれたことを示すために，システムからDP8390Cへ伝達される
INT	インタラプト	42	出　力	送受信あるいはDMA転送終了後，CPUの応答を要求する割り込み要求出力
$\overline{\text{RESET}}$	リセット	41	入　力	システム・リセット入力
$\overline{\text{BREQ}}$	バス・リクエスト	31	出　力	DMA転送のために，バス要求に使われる信号．アクティブ・ハイ
BACK	バス・アクノリッジ	30	入　力	CPUがDP8390Cへバスを譲ったことを示す．アクティブ・ハイ
PRQ/ADS1	ポート・リクエスト／アドレス・ストローブ1	29	出　力	32ビット・モードでは，A16～A31を外部へラッチするためのストローブ信号．16ビット・モードでは，リモートDMA転送に使われる
$\overline{\text{READY}}$	レディ	28	入　力	DMA転送のときウェイト・ステートを挿入するためにセットされる
$\overline{\text{PWR}}$	ポート・ライト	27	出　力	リモート・リード転送のとき，ホスト・メモリへの転送のためデータを外部へラッチするために使われるストローブ信号
$\overline{\text{RACK}}$	リード・アクノリッジ	26	入　力	システムのDMAあるいはCPUが外部ラッチに置かれたデータを読み終わったことを示す
BSCK	バス・クロック	25	入　力	DMAメモリ・サイクル期間を定めるのに使われるバス・クロック
COL	衝突検出	40	入　力	同軸ケーブル上で衝突が検出されたときアクティブになる
RXD	レシーブ・データ	39	入　力	シリアルのNRZ入力データ
CRS	キャリア・センス	38	入　力	DP8391からの入力で，同軸ケーブル上にキャリアが存在することを示す
RXC	レシーブ・クロック	37	入　力	DP8391からの再同期をとったクロック入力で，RXDの入力同期に使われる
LBK	ループ・バック	35	出　力	DP8391を通してループ・バックを行うようにプログラムされているときハイになる
TXD	トランスミット・データ	34	出　力	シリアルのNRZ出力データ
TXC	トランスミット・クロック	33	入　力	送信データ用のクロック
TXE	トランスミット・イネーブル	32	出　力	パケットの最初のビットがTXD上で有効となったときハイとなり，最後のビットがTXDから出力された後ローとなる

Serial Network Interface Controller (SNIC)　NS

■ピン接続

PLCC 68 PIN

1 NC, 2 $\overline{PRD}$, 3 RA3, 4 RA2, 5 RA1, 6 RA0, 7 AD0, 8 AD1, 9 AD2, 10 AD3, 11 AD4, 12 AD5, 13 AD6, 14 AD7, 15 AD8, 16 AD9, 17 AD10, 18 NC, 19 AD11, 20 GND, 21 V_{CC}, 22 AD12, 23 AD13, 24 AD14, 25 AD15, 26 ADS0, 27 $\overline{CS}$, 28 $\overline{MWR}$, 29 $\overline{MRD}$, 30 $\overline{SWR}$, 31 $\overline{SRD}$, 32 $\overline{ACK}$, 33 GND, 34 BSCK, 35 NC, 36 $\overline{RACK}$, 37 $\overline{PWR}$, 38 $\overline{READY}$, 39 PRQ/ADS1, 40 BACK, 41 BREQ, 42 TX-, 43 TX+, 44 GND, 45 V_{CC}, 46 TEST, 47 SEL, 48 V_{CC}, 49 GND, 50 X1, 51 X2/GND, 52 NC, 53 V_{CC}, 54 GND, 55 V_{CC}, 56 $\overline{SNISEL}$, 57 GND, 58 V_{CC}, 59 V_{CC}, 60 RX-, 61 RX+, 62 CD-, 63 CD+, 64 GND, 65 $\overline{RESET}$, 66 GND, 67 INT, 68 $\overline{WACK}$

■特　徴

- IEEE802.3 に準拠し 10BASE5, 10BASE2, 10BASE－T 用のネットワーク・コントローラ
- 二つの 16 バイト DMA チャネル内蔵
- 二つの 16 バイト FIFO 内蔵
- 物理アドレス, マルチキャスト・アドレス、ブロードキャスト・アドレスのフィルタリングが可能
- 10Mbps のマンチェスター・エンコーダ／デコーダとクロック・リカバリ機能内蔵
- 3 レベルのループバック診断が可能
- 独立したシステム・クロックとネットワーク・クロックを使用

■ブロック図

RX+/-　CD+/-　X1　TX+/-　SEL
PLL デコーダ　プロトコル PLA　コマンド&アドレス・レジスタ・アレイ　DMA コントロール
BUS CLOCK　BUS CONTENTION SIGNALS
衝突　レシーブ・データ／クロック
デシリアライザ回路　16バイトFIFO　MUX　ADDRESS/DATA　8　8　8 OR 16　16
マンチェスタ・エンコーダ&アイドル・コントロール　シリアライザ回路　コントロール　プリアンブル回路　CRC 発生&チェック回路

■最大定格

項目	記号	定　格	単位
電源電圧	V_{CC}	-0.5～+7.0	V
入力電圧	V_{IN}	-0.5～V_{CC}+0.5	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	-65～+150	℃

■ DC 特性

（Ta＝0～70℃, V_{CC}＝5V±5%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝2mA	0.4	V
V_{OH}	I_{IL}＝2mA	3.5*	V
I_{OL}	V_{OUT}＝0, V_{CC}	±10	μA
I_{IL}	V_{IN}＝0, V_{CC}	±1	μA
C_{IN}	Ta＝25℃, f＝1MHz	7	pF

■端子機能

バス・インターフェース

端子名	ﾋﾟﾝ番号	入出力	機　能
$\overline{PRD}$	2	出力	ﾎﾟｰﾄ･ﾘｰﾄﾞ, ｼｽﾃﾑ･ﾒﾓﾘからﾛｰｶﾙ･ﾒﾓﾘへの非同期ﾃﾞｰﾀ転送用信号
RA0－RA3	3－6	入力	ﾚｼﾞｽﾀ･ｱﾄﾞﾚｽ選択端子
AD0－AD15	7-17, 19 22-25	入出力	ｱﾄﾞﾚｽ/ﾃﾞｰﾀ･ﾊﾞｽ
ADS0	26	入出力	ｱﾄﾞﾚｽ･ｽﾄﾛｰﾌﾞ0信号
$\overline{CS}$	27	出力	ﾁｯﾌﾟ･ｾﾚｸﾄ信号
$\overline{MWR}$	28	出力	DMA転送時のﾏｽﾀ･ﾗｲﾄ･ｽﾄﾛｰﾌﾞ信号
$\overline{MRD}$	29	出力	DMA転送時のﾏｽﾀ･ﾘｰﾄﾞ･ｽﾄﾛｰﾌﾞ信号
$\overline{SWR}$	30	入力	CPUから内部ﾚｼﾞｽﾀへの書き込み時のｽﾚｰﾌﾞ･ﾗｲﾄ･ｽﾄﾛｰﾌﾞ信号
$\overline{SRD}$	31	入力	CPUから内部ﾚｼﾞｽﾀの読み出し時のｽﾚｰﾌﾞ･ﾘｰﾄﾞ･ｽﾄﾛｰﾌﾞ信号
$\overline{ACK}$	32	出力	CPUへのｱｸｾｽが可能なことを示すｱｸﾉﾘｯｼﾞ信号で, WAIT期間の挿入に使用する
BSCK	34	入力	ﾊﾞｽ･ｸﾛｯｸ信号で, DMAﾒﾓﾘ･ｻｲｸﾙの構成用に使用する
$\overline{RACK}$	36	入力	ﾘｰﾄﾞ･ｱｸﾉﾘｯｼﾞ信号. DMAあるいはCPUがSNICの外部ﾗｯﾁ･ﾃﾞｰﾀを読みとったことを示す
$\overline{PWR}$	37	出力	SNICから外部ﾗｯﾁへのｽﾄﾛｰﾌﾞ信号として使用されるﾎﾟｰﾄ･ﾗｲﾄ信号
$\overline{READY}$	38	入力	DMA転送時のﾚﾃﾞｨ信号
PRQ/ADS1	39	出力	ﾎﾟｰﾄ･ﾘｸｴｽﾄ/ｱﾄﾞﾚｽ･ｽﾄﾛｰﾌﾞ1信号 32ﾋﾞｯﾄ･ﾓｰﾄﾞではA16-31のﾗｯﾁ用ｽﾄﾛｰﾌﾞ信号 16ﾋﾞｯﾄ･ﾓｰﾄﾞではDMA転送用のﾎﾟｰﾄ･ﾘｸｴｽﾄ
BACK	40	入力	CPUからのﾊﾞｽ･ｱｸﾉﾘｯｼﾞ信号
BREQ	41	出力	DMA転送のためのﾊﾞｽ･ﾘｸｴｽﾄ信号

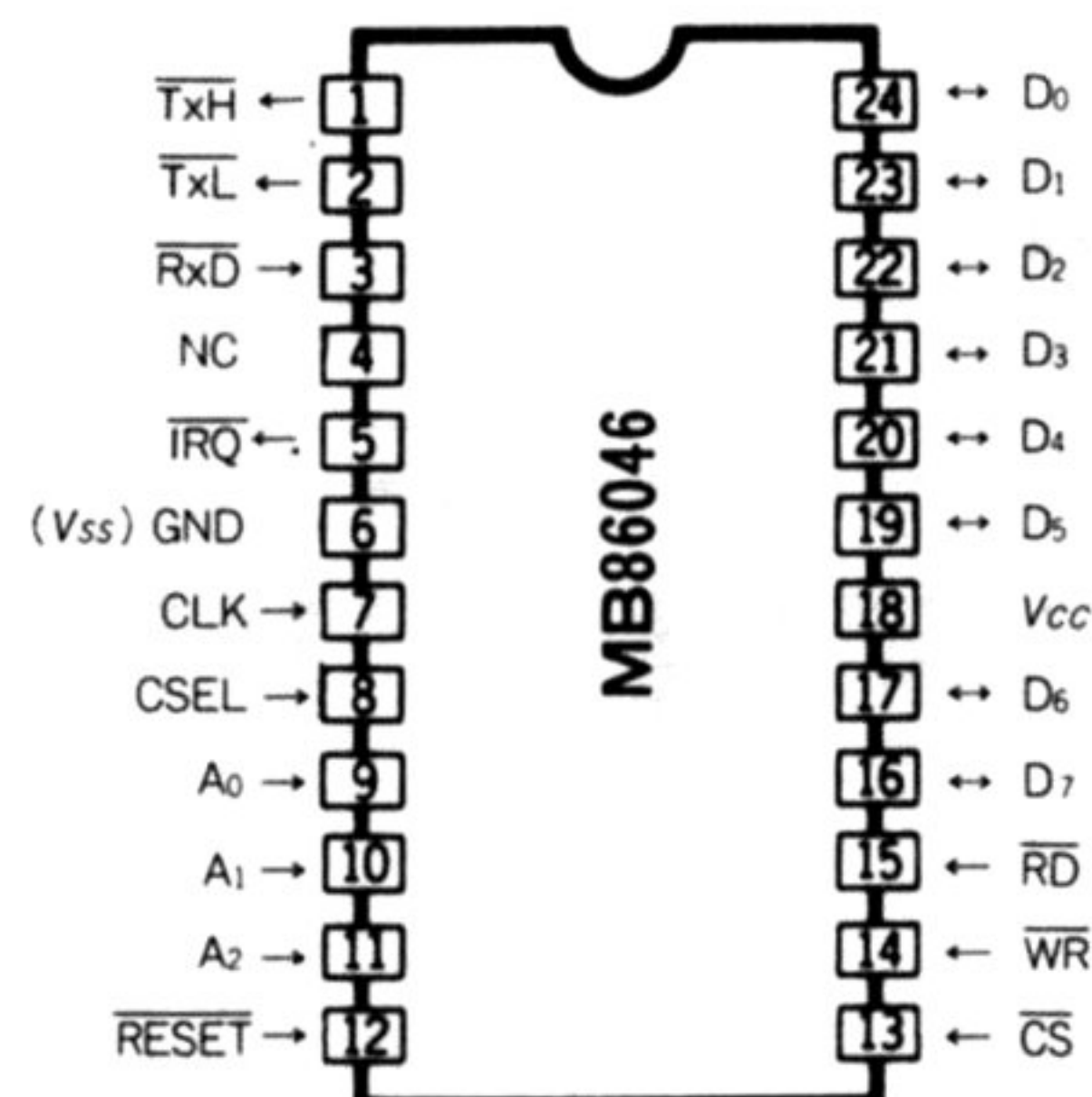
端子名	ﾋﾟﾝ番号	入出力	機能
$\overline{RESET}$	65	入力	ﾊｰﾄﾞ･ﾘｾｯﾄ信号
INT	67	出力	SNICからCPUへの割り込み要求信号
$\overline{WACK}$	68	入力	ﾃﾞｰﾀが外部ﾗｯﾁに書き込まれたことを示すﾗｲﾄ･ｱｸﾉﾘｯｼﾞ信号の入力端子

ネットワーク・インターフェース

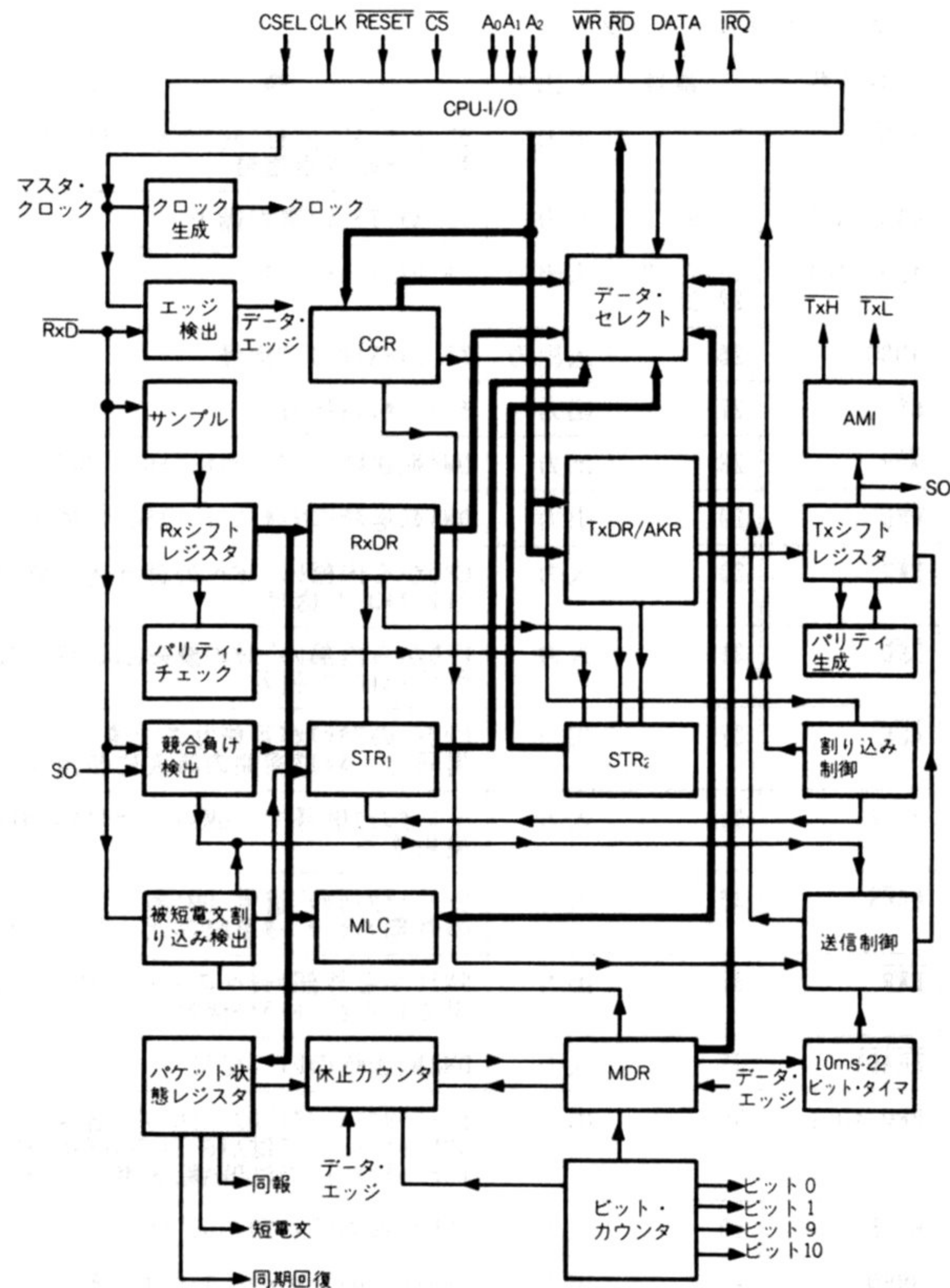
端子名	ﾋﾟﾝ番号	入出力	機能
TX- TX+	42 43	出力	ﾄﾗﾝｼｰﾊﾞへの送信ﾃﾞｰﾀ出力 (AUI送信-とAUI送信+)
TEST	46	入力	ﾃｽﾄ端子(通常時はﾌﾟﾙ･ﾀﾞｳﾝにする)
SEL	47	入力	ﾓｰﾄﾞ･ｾﾚｸﾄ信号 H:TX-とTX+がｱｲﾄﾞﾙ状態で同一電圧 L:ｱｲﾄﾞﾙ時, TX+がTX-よりﾎﾟｼﾞﾃｨﾌﾞ
X1	50	入力	外部ｵｯｼﾚｰﾀ信号入力
GND/X2	51	出力	通常はGND
$\overline{SNISEL}$	56	入力	ﾃｽﾄ端子(通常時はﾌﾟﾙ･ｱｯﾌﾟにする)
RX- RX+	60 61	入力	ﾄﾗﾝｼｰﾊﾞからの受信ﾃﾞｰﾀ入力 (AUI受信-とAUI受信+)
CD- CD+	62 63	入力	ﾄﾗﾝｼｰﾊﾞからのｺﾘｼﾞｮﾝ検出信号入力 (AUIｺﾘｼﾞｮﾝ-とAUIｺﾘｼﾞｮﾝ+)

Home Bus Controller

■ ピン接続

MB86046

■ 特　徴

・ＥＩＡＪのホーム・バス・システム規格準拠のプロトコル・コントローラで，レイヤ１と２をサポート
・ホーム・バス規格のパケット構造や複雑な時間タイミングを判定して動作する
・スタート・ビットの位置／幅検出によるノイズ・ガード機能を内蔵
・カウンタ／レジスタ方式による状態モニタ機能
・ＡＣＫ／ＮＡＫ送信専用レジスタ内蔵
・異常時における自動同期回復機能をもつ
・各種エラー検出機能をもつ

■ ブロック図

■ 最大定格

項　目	記号	測定条件	定　格 min	定　格 max	単 位
電源電圧	V_{CC}	V_{SS}=0V	V_{SS}−0.5	+6.0	V
入力電圧	V_I	V_{SS}=0V	V_{SS}−0.5	V_{CC}+0.5	V
出力電圧	V_O	V_{SS}=0V	V_{SS}−0.5	V_{CC}+0.5	V
出力電流(注)	I_{OS}	V_O=V_{CC}	—	+70	mA
		V_O=0V	—	−40	mA
動作温度	T_{OPR}	V_O=0V	−25	+85	℃
保存温度	T_{STG}		−40	+125	℃

(注) V_{CC}=6.0V，１端子１秒間の場合

■ DC特性

（T_a=−20〜70℃，V_{CC}=5V±10%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.6*	V
V_{OL}	I_{OL}=3.2mA	0.4	V
V_{OH}	I_{OH}=0.4mA	4.0*	V
I_{OL}	V_{OUT}=0〜V_{CC}	±10	μA
I_{IL}	V_{IN}=0〜V_{CC}	±10	μA
C_{IN}		9	pF

■ 端子機能

端 子 名	名　　称	ピン番号	入 出 力	機　　　　能
$\overline{RxD}$	HB データ入力	3	入　力	ホーム・バスの制御信号入力端子
$\overline{TxH}$	HB データ(＋)方向	1	出　力	ホーム・バスの制御信号出力端子． (＋)方向データが出力される． スタート・ビットは必ずこの端子から出力される
$\overline{TxL}$	HB データ(－)方向	2	出　力	ホーム・バスの制御信号出力端子． (－)方向データが出力される
A_0～A_2	レジスタ・アドレス	9～11	入　力	内部レジスタ選択端子． A_2，A_1，A_0により，TxDR，RxDR，AKR，CCR，STR_1，STR_2，MDR，MLC のいずれかが選択される
$\overline{WR}$	ライト	14	入　力	$\overline{CS}$＝“L”の状態で $\overline{WR}$ を“L”にすると，CPU から本 IC へデータを書き込むことができる
$\overline{RD}$	リード	15	入　力	$\overline{CS}$＝“L”の状態で $\overline{RD}$ を“L”にすると，本 IC のデータが CPU のデータ・バスに出力される
$\overline{CS}$	チップ・セレクト	13	入　力	チップ選択信号の端子． $\overline{CS}$＝“L”のとき，CPU とのデータ転送が可能となる
$\overline{RESET}$	リセット	12	入　力	$\overline{RESET}$＝“L”にすると，すべての送受信動作が停止する．リセット期間は，3.2μs 以上保持する必要がある
D_0～D_5 D_6～D_7	データ入出力	24～19 17～16	入出力	8 ビットの双方向性 3 ステートの入出力端子．$\overline{CS}$＝“H”のとき，この端子はハイ・インピーダンス状態となる
$\overline{IRQ}$	割り込み	5	出　力	CPU への割り込み要求端子． 割り込みが発生したときに“L”になる
CLK	クロック入力	7	入　力	基本クロック入力端子． 4.9152MHz か 614.4kHz のクロックを入力できる
CSEL	クロック・セレクト	8	入　力	基本クロック入力のセレクト端子． CSEL＝“L”のとき 4.9152MHz が，CSEL＝“H”のとき 614.4kHz が選択される

LAN (Controller)

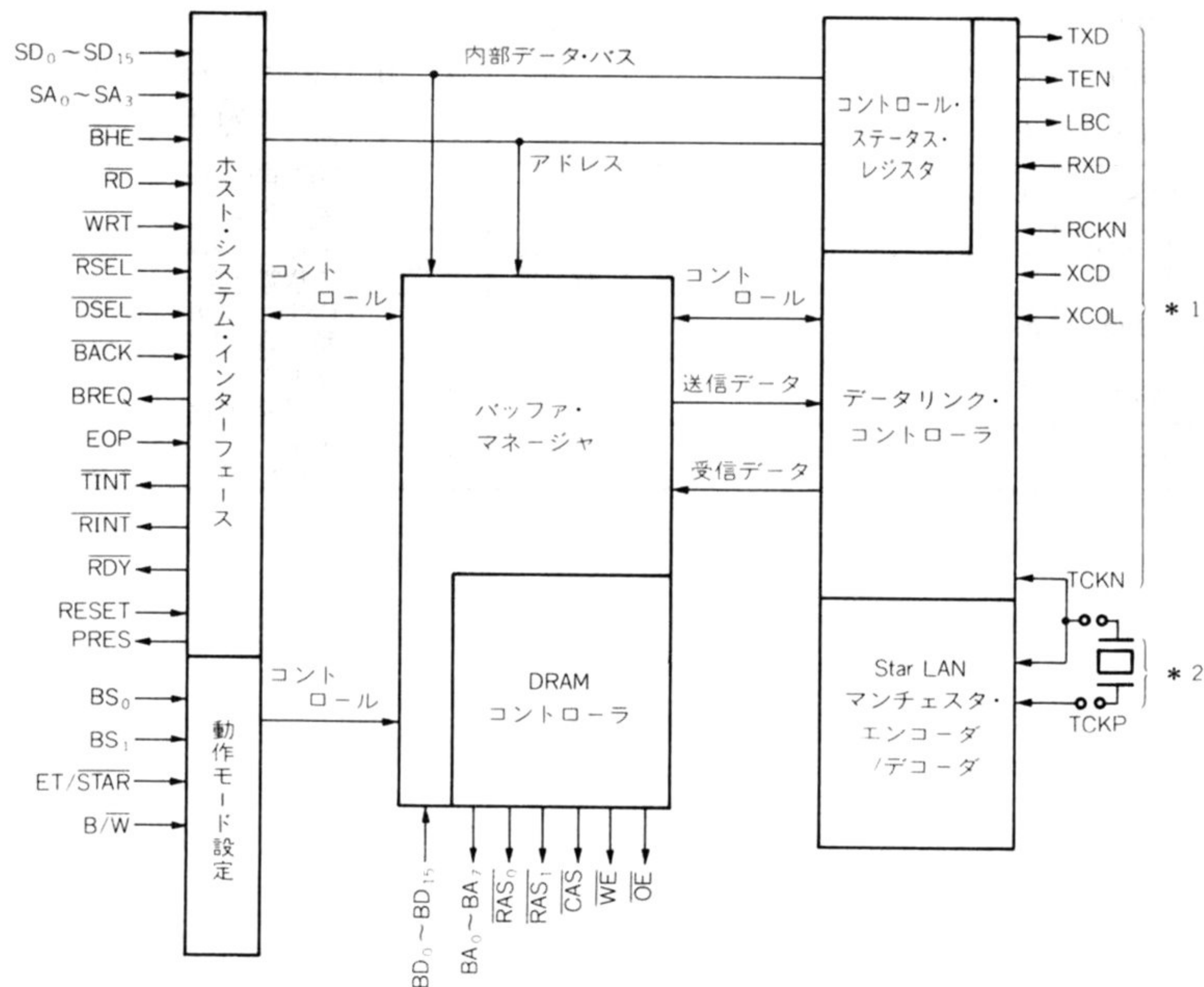
■ ピン接続

MB86950B

1PIN INDEX

■ 特　徴

- ＩＥＥＥ８０２．３（ＣＳＭＡ／ＣＤ）規格準拠のデータリンク・コントローラ
- 内蔵バッファ・メモリ・コントローラが，すべてのバッファ・メモリの転送とバッファ・データ・エリアの割当を管理する
- 専用ＤＲＡＭバッファ・メモリ・サイズは 8K, 16K, 32K, 64Kバイトから選択可能
- データ・バス幅は，８／１６ビット選択可能
- StarLAN用に１Ｍｂｐｓのマンチェスタ・エンコーダ／デコーダを内蔵
- ＤＭＡ転送をサポート
- 内部レジスタはホストＣＰＵから直接アクセス可能
- システム・バスに対して，３．３Ｍワード／秒までのデータ転送をサポート

■ ブロック図

＊1　MB502A Ethernet エンコーダ/デコーダまたは，Star LAN用ライン・ドライバ/レシーバに接続

＊2　Star LAN時，10MHzのX'tal を接続

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜6.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.3	V
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−40〜125	℃

■ DC特性

（T_a = 0〜70°C, V_{CC} = 5V±5%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL} = 3.2mA	0.4	V
V_{OH}	I_{OH} = 0.4mA	4.2*	V
I_{IL}	V_{IN} = 0〜V_{CC}	±10	μA
C_{IN}	V_{CC} = V_I = 0V, f = 1MHz, T_a = 25°C	9	pF

■端子機能

端子名	ピン番号	入出力	機能
ET/$\overline{STAR}$	1	入力	動作モードを選択する端子
B/$\overline{W}$	2	入力	データ・バス幅を選択する端子
BS$_0$, BS$_1$	3, 4	入力	バッファサイズ選択用端子
TEN	5	出力	有効なパケットの最初のビットが出力された時にアクティブになり，TxD ピンからデータが転送されている間はその状態が保持される
LBC	6	出力	ループ・バックの制御を行う
XCD	7	入力	ネットワーク上でのキャリア信号の検出を示す
XCOL	8	入力	ネットワーク上で衝突が検出された時にアクティブにする
TxD	9	出力	データ出力端子
TCKD	10		Star LAN 用として使用する場合のみ有効となる端子で，水晶振動子を接続する
TCKN	11	入力	転送クロックの入力端子
RCKN	13	入力	入力データ同期用クロック入力端子
RxD	14	入力	受信データ入力用の端子
RESET	15	入力	ハードウェア・リセットの端子
SD$_{15}$～SD$_8$ SD$_7$～SD$_0$	48～41 16～23	入出力	システム・データ・バス
$\overline{RDY}$	24	出力	ホスト・システムとのハンドシェークにおいて READY を示す出力端子
$\overline{TINT}$	25	出力	正常に送信終了した場合または送信中にエラーが発生した場合の割り込み要求
$\overline{RINT}$	26	出力	正常にパケットの受信を終了した，または受信中になんらかのエラーが発生した場合の割り込み要求
$\overline{RSEL}$	27	入力	レジスタに対してリード/ライトを行う時にアクティブにする
$\overline{DSEL}$	28	入力	バッファ・メモリ間でのデータのリード/ライトを行う時にアクティブにする
EOP	29	入力	バッファ・メモリとホスト・システム間でDMA 転送が終了した事を示すための入力
SA$_3$, SA$_2$ SA$_1$, SA$_0$	30, 31 34, 35	入力	レジスタやデータ・ポートを選択するのに使用する
TM	32	出力	汎用ポートとして使用すること，外部ハードウェアを制御することが可能
BHE	36	入力	バイト/ワードを制御する

端子名	ピン番号	入出力	機能
$\overline{RD}$	37	入力	レジスタまたはバッファ・メモリのリード時にアクティブにする
$\overline{WRT}$	38	入力	レジスタまたはバッファ・メモリのライト時にアクティクにする
$\overline{BACK}$	39	入力	DMAC のアクノリッジ信号を接続する
BREQ	40	出力	DMAC に対しての DMA 転送要求信号
PRES	72	出力	0900H の特殊データ・パケットを受信したことを示す
$\overline{WE}$	49	出力	DRAM のバッファ・メモリにライトする時にアクティブになる
$\overline{RAS_0}$ $\overline{RAS_1}$	50 51	出力	ロウ・アドレス・ストローブ
$\overline{CAS}$	53	出力	DRAM バッファ・メモリのカラム・アドレス・ストローブ信号
BA$_7$～BA$_0$	61～54	出力	本端子により DRAM バッファ・メモリの64k バイトをアドレスすることができる
$\overline{OE}$	62	出力	リードの際にバッファ・メモリをイネーブルするために使用する
BD$_{15}$～BD$_9$ BD$_8$～BD$_0$	80～74 71～63	入出力	DRAM バッファ・メモリと本 LSI 間のデータ・バス

LAN Controller

富士通

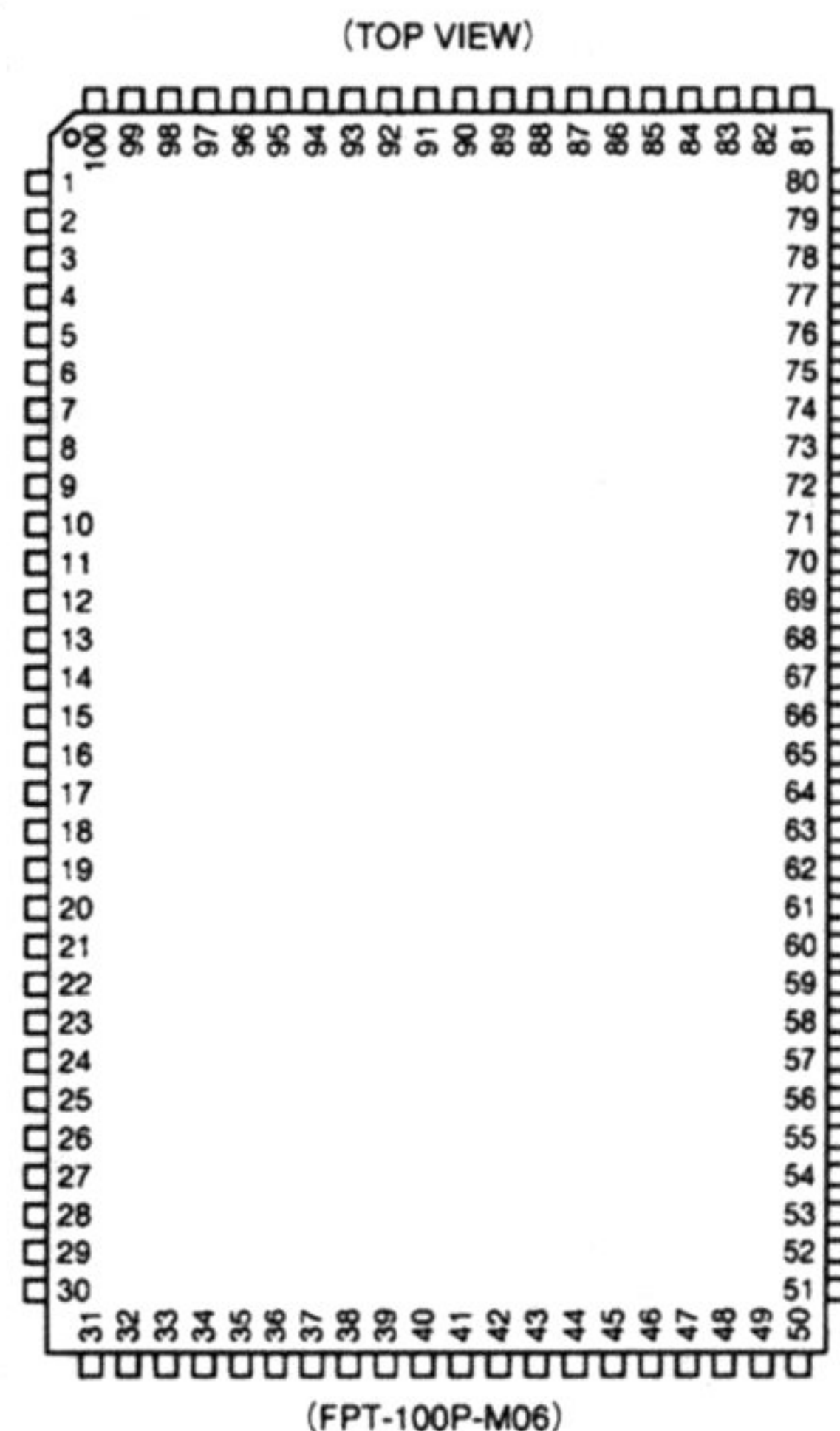
■ピン接続

(TOP VIEW)

(FPT-100P-M06)

■特　徴

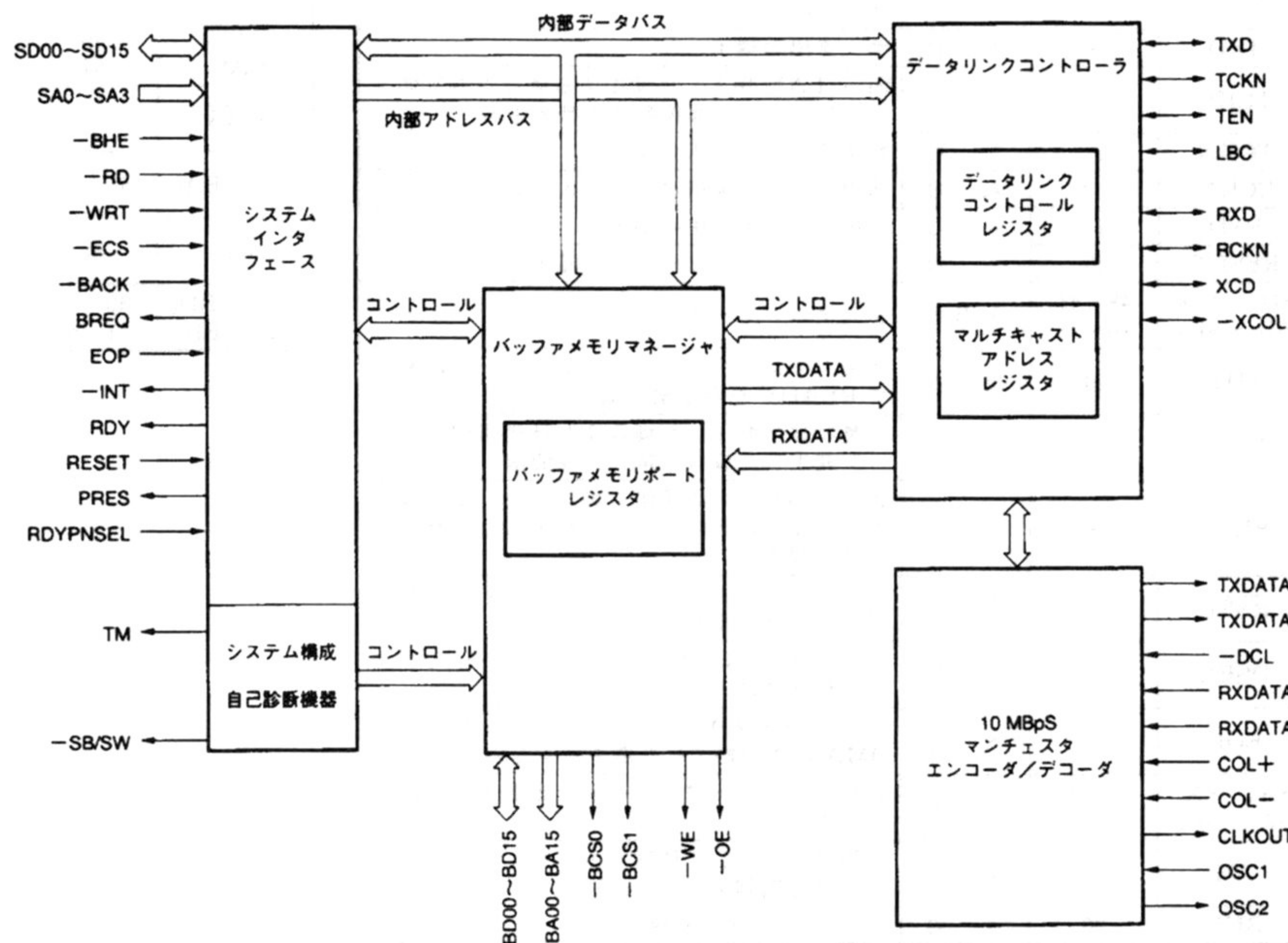
・IEEE802.3準拠で，マンチェスタ・エンコーダ／デコーダとバッファ・マネージメント・ユニットを内蔵したLANコントローラ
・システム・バス・データ転送速度は20Mバイト／秒
・最大64Kバイトの外付けSRAMのアービトレーション，バッファ管理機能を内蔵
・高速バーストDMA転送およびシングルDMA転送をサポート
・16ビットおよび8ビットの標準CPUにバス接続可能
・ホストCPUに合わせてワード・データのバイト・オーダ切り替え可能
・プログラムで設定可能な2バンク送信バッファとリンク型受信バッファ
・64グループのマルチキャスト・アドレス・フィルタ機能内蔵

■ブロック図

■最大定格

項目	記号	定　格	単位
電源電圧	V_{DD}	−0.5～+6.0	V
入力電圧	V_{IN}	−0.5～V_{DD}+0.5	V
動作温度	T_{OPR}	−25～+85	℃
保存温度	T_{STG}	−40～+125	℃

■ DC 特性

（T_a=0～70℃，V_{DD}=5V±5%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}=3.2mA	0.4	V
V_{OH}	I_{IL}=2mA	4.2*	V
I_L	V_{IN}=0～V_{DD}	±10	μA

■端子機能

システム，バッファメモリ・インターフェース

端子名	ﾋﾟﾝ番号	入出力	機能
RESET	31	入力	ﾊｰﾄﾞｳｪｱ･ﾘｾｯﾄ入力
RDY(-RDY)	14	出力	ﾎｽﾄとのﾊﾝﾄﾞｼｪｲｸに使用するREADY出力信号
RDYPNSEL	94	入力	RDY信号の極性を変えるための選択端子 H:RDYはｱｸﾃｨﾌﾞ Hight, L:RDYはｱｸﾃｨﾌﾞ Low
-WRT	30	入力	内部ﾚｼﾞｽﾀ, ﾊﾞｯﾌｧへの書き込み信号
-RD	29	入力	内部ﾚｼﾞｽﾀ, ﾊﾞｯﾌｧからの読み出し信号
-ECS	7	入力	ｱｸﾃｨﾌﾞ Lowのﾁｯﾌﾟ･ｾﾚｸﾄ信号
-BHE	8	入力	ﾊﾞｲﾄ/ﾜｰﾄﾞ制御信号
-SB/SW	9	出力	ｼｽﾃﾑ･ﾊﾞｽ幅を示す出力 L:8ﾋﾞｯﾄ･ﾊﾞｽ, H:16ﾋﾞｯﾄ･ﾊﾞｽ
-INT	25	出力	割り込み要求信号出力
EOP(-EOP)	24	入力	DMA転送終了通知信号
TM	95	出力	内部ﾚｼﾞｽﾀDLCR4のﾋﾞｯﾄ2の反転出力
PRES	96	出力	内部ﾚｼﾞｽﾀDLCR4のﾋﾞｯﾄ4出力で、ﾃﾞｰﾀ長ﾌｨｰﾙﾄﾞが"0900H"ﾊﾟｹｯﾄを受信したことを示す
BREQ	26	出力	DMAｺﾝﾄﾛｰﾗに対するDMA転送要求信号
-BACK	27	入力	DMAｺﾝﾄﾛｰﾗからのｱｸﾉﾘｯｼﾞ信号入力
SA3～SA0	10～13	入力	内部ﾚｼﾞｽﾀやﾃﾞｰﾀﾎﾟｰﾄ選択ｱﾄﾞﾚｽ入力
SD0～7, 8, 9 SD10, 11 SD12～15	16～23, 6, 5 2, 1 100～97	入出力	ﾎｽﾄとのﾃﾞｰﾀ信号線でDMA転送にも使用 8ﾋﾞｯﾄ･ﾊﾞｽ･ﾓｰﾄﾞではSD0～SD7のみを使用
-BCS0, 1	51, 52	出力	RAMﾊﾞｯﾌｧのﾁｯﾌﾟ･ｾﾚｸﾄ信号
-OE	49	出力	ﾘｰﾄﾞの際ﾊﾞｯﾌｧ･ﾒﾓﾘをｲﾈｰﾌﾞﾙにする
-WE	50	出力	ﾗｲﾄの際ﾊﾞｯﾌｧ･ﾒﾓﾘをｲﾈｰﾌﾞﾙにする
BD0～BD7 BD8～BD15	32～39 41～48	入出力	SRAMﾊﾞｯﾌｧ･ﾒﾓﾘとのﾃﾞｰﾀ･ﾊﾞｽ. 8または16ﾋﾞｯﾄ･ﾊﾞｽとして使用できる
BA0～BA10 BA11～BA15	54～64 66～70	出力	本端子により最大64Kﾊﾞｲﾄの外付けSRAMﾊﾞｯﾌｧ･ﾒﾓﾘをｱﾄﾞﾚｽできる

バス・インターフェース

端子名	ﾋﾟﾝ番号	入出力	機能
TXDATA+ TXDATA-	75 74	出力	ﾂｲｽﾄﾍﾟｱ送信信号出力. ｴﾝｺｰﾀﾞでﾏﾝﾁｪｽﾀ信号に変換された信号をﾄﾗﾝｼｰﾊﾞに出力する
RXDATA+ RXDATA-	82 81	入力	ﾂｲｽﾄﾍﾟｱ受信信号入力、ﾄﾗﾝｼｰﾊﾞから出力されるﾏﾝﾁｪｽﾀ･ｺｰﾄﾞ化された信号を入力する
COL+ COL-	84 83	入力	ﾄﾗﾝｼｰﾊﾞからのｺﾘｼﾞｮﾝ検出信号を入力する
-DCL	87	入力	ﾄﾗﾝｼｰﾊﾞ接続をDC/AC結合いずれにする選択
OSC1 OSC2	76 77	入力 出力	20MHz水晶振動子接続端子
CLKOUT	89	出力	20MHzｸﾛｯｸ出力
TXD	72	出力	通常ﾓｰﾄﾞでは未使用
TCKN	80	入出力	通常ﾓｰﾄﾞでは未使用
TEN	71	出力	通常ﾓｰﾄﾞでは未使用
LBC	86	出力	通常ﾓｰﾄﾞでは未使用
RXD	91	入出力	通常ﾓｰﾄﾞでは未使用
RCKN	88	入出力	通常ﾓｰﾄﾞでは未使用
XCD	93	入出力	通常ﾓｰﾄﾞでは未使用
-XCOL	92	入出力	通常ﾓｰﾄﾞでは未使用

端子番号	端子記号	I/O	端子番号	端子記号	I/O	端子番号	端子記号	I/O	端子番号	端子記号	I/O	端子番号	端子記号	I/O	端子番号	端子記号	I/O	端子番号	端子記号	I/O
1	SD11	B	16	SD0	B	31	RESET	I	46	BD13	B	61	BA7	O	76	OSC1	I	91	RXD	B
2	SD10	B	17	SD1	B	32	BD0	B	47	BD14	B	62	BA8	O	77	OSC2	O	92	−XCOL	B
3	VDD	−	18	SD2	B	33	BD1	B	48	BD15	B	63	BA9	O	78	AVDD	−	93	XCD	B
4	GND	−	19	SD3	B	34	BD2	B	49	−OE	O	64	BA10	O	79	AGND	−	94	RDYPNSEL	I
5	SD9	B	20	SD4	B	35	BD3	B	50	−WE	O	65	GND	−	80	TCKN	B	95	TM	O
6	SD8	B	21	SD5	B	36	BD4	B	51	−BCS0	O	66	BA11	O	81	RXDATA−	I	96	PRES	O
7	−ECS	I	22	SD6	B	37	BD5	B	52	−BSC1	O	67	BA12	O	82	RXDATA+	I	97	SD15	B
8	−BHE	I	23	SD7	B	38	BD6	B	53	VDD	−	68	BA13	O	83	COL−	I	98	SD14	B
9	−SB/SW	O	24	EOP	I	39	BD7	B	54	BA0	O	69	BA14	O	84	COL+	I	99	SD13	B
10	SA0	I	25	−INT	O	40	GND	−	55	BA1	O	70	BA15	O	85	EVDD	−	100	SD12	B
11	SA1	I	26	BREQ	O	41	BD8	B	56	BA2	O	71	TEN	B	86	LBC	B			
12	SA2	I	27	−BACK	I	42	BD9	B	57	BA3	O	72	TXD	B	87	−DCL	I			
13	SA3	I	28	VDD	−	43	BD10	B	58	BA4	O	73	EGND	−	88	RCKN	B			
14	RDY	O	29	−RD	I	44	BD11	B	59	BA5	O	74	TXDATA−	O	89	CLKOUT	O			
15	GND	−	30	−WRT	I	45	BD12	B	60	BA6	O	75	TXDATA+	O	90	GND	−			

LAN Controller

■ ピン接続

(TOP VIEW)

28	27	26	25	24	23	22	21	20	19
29	58	57	56	55	54	53	52	51	18
30	59							50	17
31	60							49	16
32	61							48	15
33	62			MB8795B				47	14
34	63							46	13
35	64							45	12
36	37	38	39	40	41	42	43	44	11
①	2	3	4	5	6	7	8	9	10

〔PGA-64C-A02〕

■ 最大定格

項目	記号	定格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜V_{CC} +0.3	V
動作温度	T_{OPR}	0〜70	°C
保存温度	T_{STG}	−55〜150	°C

■ DC特性

(T_a=0〜70°C, V_{CC}=5V ±10%)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}=2mA	0.4	V
V_{OH}	I_{OH}=0.4mA	4.0*	V
I_{OL}	V_{OUT}=0〜V_{CC}	±40	μA
I_{IL}	V_{IN}=0〜V_{CC}	±10	μA
C_{IN}		8	pF

■ 特徴

・イーサネット仕様準拠のＬＡＮデータリンク・コントローラ
・プリアンブル／ＣＲＣの自動発生，自動除去を行う
・シリアル-パラレル変換機能
・４種類のアドレス・モードをもつ
・衝突後の処理用に２進指数バックオフ・アルゴリズムをもつ
・三つのパラレル・データ・ポート（送信，受信，制御）をもつ
・ホストとの通信データ用に，オプショナル奇数パリティの発生とチェック機能をもつ

端子	シンボル	端子	シンボル
1	$\overline{TEM}$	33	TD_2
2	RRDY	34	TD_0
3	RSTB	35	TPOK
4	RD_0	36	TSTB
5	RD_2	37	RDIS
6	RD_3	38	$\overline{ROEN}$
7	RD_5	39	RD_1
8	RD_7	40	GND
9	RPAR	41	RD_4
10	SA_1	42	RD_6
11	SA_3	43	REOF
12	IOD_0	44	SA_0
13	IOD_2	45	SA_2
14	IOD_3	46	IOD_1
15	IOD_5	47	V_{CC}
16	IOD_7	48	IOD_4
17	$\overline{WRC}$	49	IOD_6
18	WRB	50	RDA
19	$\overline{CE}$	51	RDB
20	WRA	52	$\overline{RDC}$
21	$\overline{TINT}$	53	$\overline{RST}$
22	$\overline{RINT}$	54	GND
23	PRST	55	RCKN
24	TM	56	XCOL
25	RxD	57	XCD
26	TCKN	58	LBC
27	TxD	59	TEOF
28	TEN	60	TD_6
29	TPAR	61	V_{CC}
30	TD_7	62	TD_3
31	TD_5	63	TD_1
32	TD_4	64	TRET

■ ブロック図

■ **端子機能**

端 子 名	ピン番号	入 出 力	機　　　　能
$\overline{CE}$	19	入　力	チップ・イネーブルの入力端子
$\overline{RDA}$, $\overline{RDB}$, $\overline{RDC}$	50, 51, 52	入　力	これらの信号は，データをホスト側が読み出すときのコントロール端子．これらの信号のうちのひとつを読み出しストローブとして使用できる
$\overline{WRA}$, $\overline{WRB}$, $\overline{WRC}$	20, 18, 17	入　力	これらの信号は，ホスト側からデータを書き込むときのコントロール端子．こらの信号のうちのひとつを書き込みストローブとして使用できる
SA_0, SA_1, SA_2, SA_3	44, 10, 45, 11	入　力	これらの信号は，内部の15のレジスタを選択するためのアドレスの入力端子．SA_0がLSB
IOD_0～IOD_7	12, 46, 13, 14, 48, 15, 49, 16	入出力	これら入出力端子は双方向性で，内部レジスタに対するデータ端子
TD_0～TD_7	34, 63, 33, 62, 32, 31, 60, 30	入　力	送信パラレル・データ用のデータ入力端子
TPAR	29	入　力	送信パラレル・データに伴う奇数パリティ入力端子
TEOF	59	入　力	送信データの最後を表す信号を入力する端子で，この端子を“H”状態にして入力されたデータの送信が終わるとCRCが送信される
$\overline{TEM}$	1	出　力	2ワードFIFOに，データを入力できるスペースがあることを示す信号端子
TSTB	36	入　力	2ワードFIFOに，データを入力するためのポジティブ・エッジ・トリガのストローブ信号
TRET	64	出　力	衝突が起こり，エラーのあったパケットを再送信しなければならないことを表す信号端子
TPOK	35	出　力	パケットの送信準備ができていることを表す．しかし，この信号は，常に送信の成功を意味するとはかぎらない．なぜなら16回の衝突の後やパリティ・エラー，アンダフロー・エラーのときも“H”状態になるので
RD_0～RD_7	4, 39, 5, 6, 41, 7, 42, 8	出　力	受信パラレル・データ用出力端子
RPAR	9	出　力	受信パラレル・データに伴う奇数パリティの出力端子
REOF	43	出　力	受信データの最後を表す出力端子で，受信に成功したときのみ出力される

端 子 名	ピン番号	入 出 力	機　　　　能
$\overline{ROEN}$	38	入　力	パラレル・データ端子の3ステート・イネーブルの入力端子
RRDY	2	出　力	6ワードFIFOの出力準備ができたことを表す出力端子
RSTB	3	入　力	ホスト・システムに6ワードFIFOから受信データを出力するためのポジティブ・エッジ・トリガのストローブ信号の入力端子
RDIS	37	出　力	アドレス不一致，パケット長エラー，オーバフロー・エラー，CRC不一致などが起こり受信を中断したことを表す信号の出力端子
RCKN	55	入　力	この信号は受信用のビット・クロックの入力端子．〔RxD〕のストローブ信号に使用される
RxD	25	入　力	受信シリアル・バイナリ・データの入力端子
TCKN	26	入　力	送信クロックの入力端子．〔TxD〕のストローブ信号に使用される
TEN	28	出　力	エンコード・イネーブル信号の出力端子で，TxDと同タイミングで出力される
TxD	27	出　力	送信シリアル・バイナリ・データを出力する端子
XCD	57	入　力	キャリア検出信号で，送信時には送信不可信号として，また受信時には受信要求信号として用いられる信号の入力端子
XCOL	56	入　力	同軸ケーブル上で衝突が起こったことを表す信号入力端子
LBC	58	出　力	外部からコントロールできるラッチの出力端子で，エンコーダ/デコーダをループ・パック・モードにするために使用される
PRST	23	出　力	タイプ・フィールドが“0900H”のパケットを受信したことを表す信号の出力端子で，遠隔リセットなどをする際に用いられる
$\overline{RINT}$	22	出　力	RECEIVE MASKSレジスタによって決められたインタラプト・コンディションになったことを表す信号の出力端子
$\overline{TINT}$	21	出　力	TRANSMIT MASKSレジスタによって決められたインタラプト・コンディションになったことを表す信号の出力端子
$\overline{RST}$	53	入　力	リセット信号入力端子．“L”にするとリセット状態になる
TM	24	出　力	外部からコントロール可能なラッチの出力端子

LAN Controller

■ ピン接続

Pin	Signal		Pin	Signal
1	ET_2 →	COM9026	40	← $\overline{POR}$
2	CA →		39	V_{CC}
3	ET_1 →		38	← R_x
4	$TEST_2$ →		37	→ $\overline{T_x}$
5	$TEST_1$ →		36	→ $\overline{DSYNC}$
6	$\overline{DWR}$ →		35	→ A_8
7	$R/\overline{W}$ →		34	← IDDAT
8	$\overline{IOREQ}$ →		33	→ $\overline{IDLD}$
9	$\overline{MREQ}$ →		32	→ A_9
10	AS →		31	→ A_{10}
11	REQ ←		30	← $\overline{ECHO}$
12	WAIT ←		29	→ INTR
13	$\overline{AIE}$ ←		28	↔ AD_0
14	$\overline{ADIE}$ ←		27	↔ AD_1
15	$\overline{L}$ ←		26	↔ AD_2
16	$\overline{OE}$ ←		25	↔ AD_3
17	$\overline{WE}$ ←		24	↔ AD_4
18	$\overline{ILE}$ ←		23	↔ AD_5
19	CLK →		22	↔ AD_6
20	GND		21	↔ AD_7

■ 特　徴

・2．5Mビットの伝送速度をもつ，ARCNET　LAN用コントローラ
・改良形トークン・パシング・プロトコルをサポート
・ネットワークへのノードの追加，削除時の自己再構築機能をもつ
・種々の長さのデータ・パケットを扱うことが可能
・16ビットのCRCチェックおよび生成を行う
・ネットワークの負荷の増加とともにシステム効率が増大
・ネットワークあたり255までのノードをサポート
・命令の終わりでプロセッサへの割り込みをかけることが可能
・外部の1Kまたは2KのRAMバッファと接続可能
・ブロードキャスト・メッセージ送信機能がある

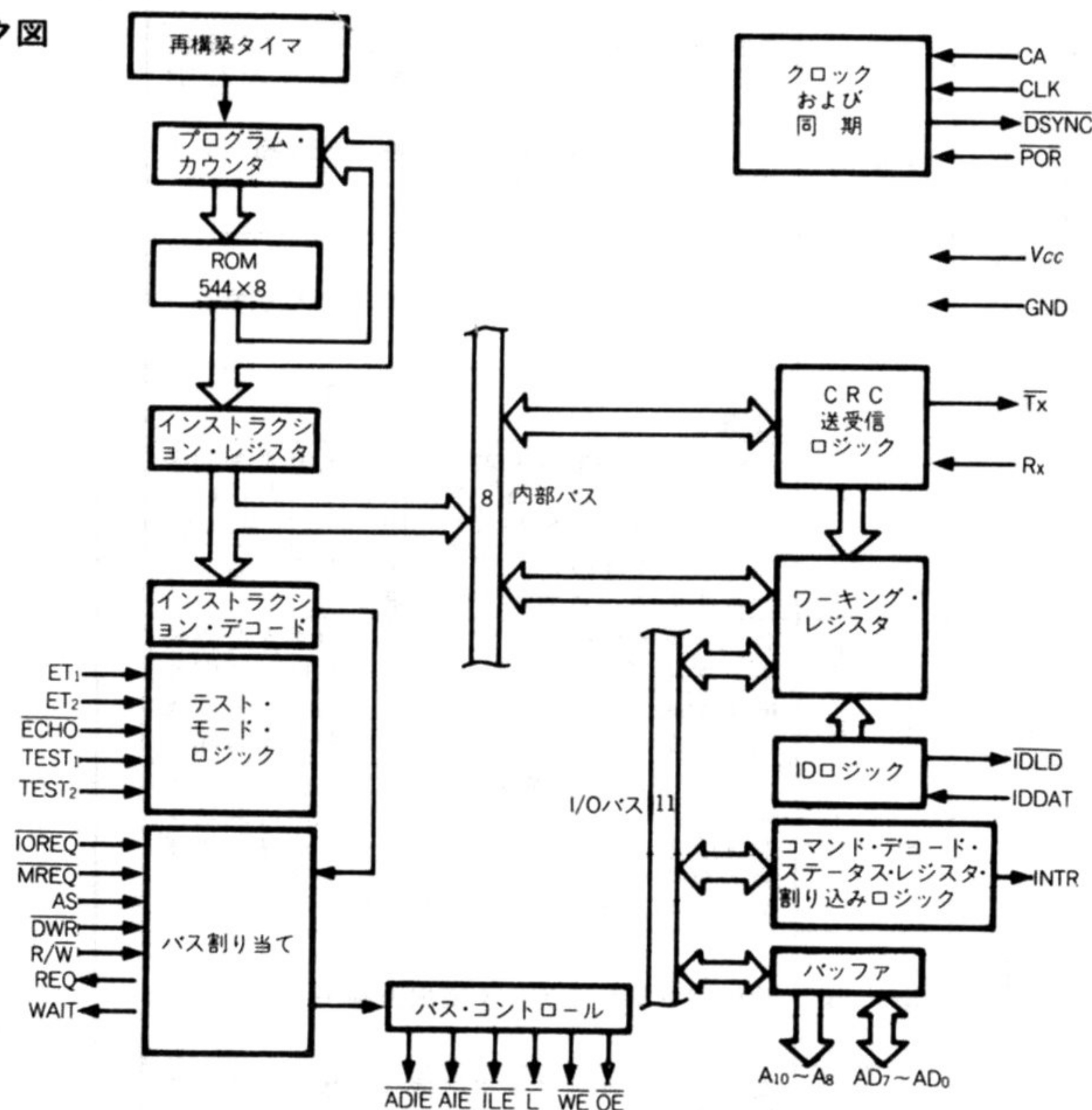
■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～8.0	V
入力電圧	V_{IN}	−0.3～8.0	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−55～150	℃

■ DC特性

（T_a＝0～70℃, V_{CC}＝5V±5%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝2.0mA	0.5	V
V_{OH}		2.4*	V
I_{IL}		±10	μA
C_{IN}		20	pF

■ **端子機能**

端 子 名	ピン番号	入 出 力	機　　　能
A_{10}, A_9, A_8	31, 32, 35	出　力	RAM バッファ・アドレスの上位 3 ビット
AD_7〜AD_0	21〜28	入出力	RAM バッファ・アドレスの低位の 8 ビットであり，COM9026に対しての 8 ビット・データ経路となる
$\overline{IOREQ}$	8	入　力	この入力信号はプロセッサがステータスの情報を受けとったり，命令を出したりするためにデータ・バスの使用を要求されていることを示す
$\overline{MREQ}$	9	入　力	RAMバッファに対してデータを転送するためにデータ・バスの使用を要求していることを示す
R/$\overline{W}$	7	入　力	この入力信号が“H”レベルにあるときは，読み出しサイクルとなることを意味する
AS	10	入　力	COM9026はこの信号を使って $\overline{IOREQ}$, $\overline{MREQ}$ および R/$\overline{W}$ 入力の状態をサンプルする
REQ	11	出　力	プロセッサのI/Oあるいはメモリ・サイクルがサンプルされたということが確認される
WAIT	12	出　力	プロセッサのアクセス・サイクルの始めにおいてCOM9026によってこの信号が出力されると，データがすぐに転送する状態にないことが示される
$\overline{DWR}$	6	入　力	書き込みサイクルのための有効データがプロセッサのデータ・バス上にあるということが知らされる
INTR	29	出　力	割り込みがかかったときに出される
$\overline{ILE}$	18	出　力	$\overline{ADIE}$ と共に，インターフェースのアドレス/データ・バス上でプロセッサのアドレス/データ・バスを開閉する
$\overline{ADIE}$	14	出　力	AS あるいは $\overline{ILE}$ によって捕らえられたプロセッサのアドレス/データ・バスはインターフェース・アドレス/データ・バス上にイネーブルされる

端 子 名	ピン番号	入 出 力	機　　　能
$\overline{AIE}$	13	出　力	プロセッサの上位の三つのアドレス・ビットをインターフェースのアドレス・バス上にのせることが可能となる
$\overline{L}$	15	出　力	この出力信号によってインターフェースのアドレス/データ・バスがラッチされる
$\overline{WE}$	17	出　力	外部 RAM バッファへの書き込みパルスとして用いられる
$\overline{OE}$	16	出　力	RAM バッファ出力データがインターフェース・アドレス/データ・バス上にイネーブルされる
$\overline{IDLD}$	33	出　力	ID スイッチによって選択された値を外部シフトレジスタに同期としてロードする
IDDAT	34	入　力	外部 ID シフトレジスタからのシリアル化された出力
ET_2, ET_1	1， 3	入　力	COM9026によって使われているタイム・アウト持続時間を規定している
$\overline{Tx}$	37	出　力	CABLE TRANSCEIVER へのシリアル転送データ
Rx	38	入　力	CABLE TRANSCEIVER からのシリアル受信データ
$TEST_2$, $TEST_1$	4， 5	入　力	テスト端子
$\overline{ECHO}$	30	入　力	“L”のときには254バイト以下の長さのすべてのメッセージを再転送する
CLK	19	入　力	クロック入力
CA	2	入　力	マイクロコード化されたシーケンスの動作を制御するのに用いられる
$\overline{DSYNC}$	36	出　力	クロック・ジェネレータ制御用出力
$\overline{POR}$	40	入　力	パワー・オン・リセット信号

SONIC™-T

■ ピン番号

注）BMODE＝0の場合のピン配置

（ナショナルセミコンダクター(NSC)／NEC／インテル型バスに対応）

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～+7.0	V
入力電圧	V_{IN}	−0.5～V_{CC}+0.5	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−65～+150	℃

■ DC特性

（T_a＝0～70℃，V_{CC}＝5 V±5％）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝8 mA	0.5	V
V_{OH}	I_{IL}＝8 mA	3.0*	V
I_{OL}	V_{OUT}＝0，V_{CC}	±10	μA
I_{IL}	V_{IN}＝0，V_{CC}	±1	μA

■ 特　徴

- 32ビットおよび16ビット高速システムに対応した第2世代イーサネット・コントローラ
  —独立した各々32ビットのアドレスおよびデータ・バス
- 高速2サイクルの中断可能なDMA
- リンク・リスト・バッファ管理による高い柔軟性
- 二つの独立した32バイトFIFO
- すべての標準マイクロプロセッサとコンパチブルなバス
- ビッグ/リトル・エンディアン・フォーマットをサポート
- IEEE802.3 ENDEC内蔵
- ツイスト・ペア・インターフェース内蔵
- 16個までの物理/マルチキャスト・アドレス，あるいはそのいずれかに対する完全なアドレス・フィルタリング
- 32ビット汎用タイマ
- 全二重ループバック診断
- 802.3レイヤ管理規格をサポートする完全なネットワーク管理機能
- ブルッジおよびリピータ・アプリケーションのサポート内蔵

■ ブロック図

■ 端子機能

端子名	ピン番号	入出力	機　　能
EXT	93	入 力	外部 ENDEC セレクト
AUI/TP#	109	入 力	AUI/ツイストペア・インターフェースの選択端子
TXOd+, TXO+ TXO−, TXOd−	137, 135 136, 134	出 力	ツイストペア送信出力
RXI+, RXI−	131, 132	入 力	ツイストペア受信入力
TXLED#	116	出 力	データ送信中
RXLED#	117	出 力	受信データ検出
COLED#	118	出 力	コリジョン信号出力
POLED#	119	出 力	リンク・パルスまたはパケット受信検出
LINKLED#	120	出 力	完全リンク検出
LNKDIS#	106	入 力	リンク・ディスエーブル
LOWSQL	88	入 力	ロウ・スケルチ・セレクト
OSCIN	113	入 力	水晶または外部発振器入力
OSCOUT	114	入出力	水晶振動子フィードバック出力
RX+	127	入 力	トランシーバ受信データ正(AUI 受信+)
RX−	126	入 力	トランシーバ受信データ負(AUI 受信−)
TX+	123	出 力	トランシーバ送信データ正(AUI 送信+)
TX−	122	出 力	トランシーバ送信データ負(AUI 送信−)
CD+	129	入 力	トランシーバからのコリジョン検出正(AUI コリジョン+)
CD−	128	入 力	トランシーバからのコリジョン検出負(AUI コリジョン−)
TXD/ EXUSR3	104	出 力	MAC ユニットからのシリアル NRZ 出力 拡張ユーザ出力
LBK/ EXUSR2	103	出 力	ENDEC ループバックがプログラムされたことを示す 拡張ユーザ出力
TXE	105	出 力	送信イネーブルを示す出力信号
RXC_0/ RXC_1/ EXUSR1	99	出 力 入 力 出 力	内部 ENDEC からの受信クロック出力(EXT=0) 外部 ENDEC からの受信クロック入力(EXT=1) 拡張ユーザ出力
RXD_0/ RXD_1/ EXUSR0	98	出 力 入 力 出 力	内部 ENDEC からの受信データ出力(EXT=0) 外部 ENDEC からの受信データ入力(EXT=1) 拡張ユーザ出力
TXC_0/ TXC_1/ STERM#	102	出 力 入 力 出 力	内部 ENDEC からの送信クロック出力(EXT=0) 外部 ENDEC からの送信クロック入力(EXT=1) 拡張ユーザ出力
CRS_0/ CRS_1	100	出 力 入 力	内部 ENDEC からのキャリア検知出力(EXT=0) 外部 ENDEC からのキャリア検知入力(EXT=1)
COL_0/ COL_1	97	出 力 入 力	内部 ENDEC からのコリジョン検出出力(EXT=0) 外部 ENDEC からのコリジョン検出入力(EXT=1)
PCOMP#	87	出 力	受信パケットの圧縮を示す信号
PREJ#	94	入 力	受信パケットのリジェクト指示
BMODE	89	入 力	バス・モード選択信号

端子名	ピン番号	入出力	機　　能
D31-D0	41〜80	入出力	双方向データ・バス
A31-A1	2〜40	入出力	アドレス・バス
RA5-RA0	81〜86	入出力	内部レジスタへのアクセス用アドレス・バス
RESET#	90	入 力	ハードウェア・リセット入力
S2-S0	155〜157	出 力	バス・ステータス
BSCK	143	入 力	バス・クロック
CS#	145	入 力	チップ・セレクト
SAS#	146	入 力	スレーブ・アドレス・ストローブ(レジスタ・アドレス信号ラッチ)
DS#	159	出 力	データ・ストローブ
BRT#	140	出 力	バス・エラー訂正時のバス・リトライ信号
ECS#	160	出 力	アーリ・サイクル開始信号
MREQ#	144	入 力	共有バッファ RAM アクセス時のメモリ要求信号
SMACK#	147	出 力	スレーブおよびメモリ・アクノリッジ
USR1, 0	95, 96	入出力	ユーザ・セット1, 0

バス・インターフェース端子（モトローラ型, BMODE=1）

端子名	ピン番号	入出力	機　　能
AS#	1	出 力	アドレス・ストローブ
MR/W#	158	出 力	メモリ・リード/ライト・ストローブ
INT#	152	出 力	割り込み信号
BR#	151	出 力	バス獲得要求
BG#	142	入 力	バス許可(制御権獲得信号入力)
BGACK#	150	出 力	バス許可アクノリッジ
SR/W#	141	入 力	内部レジスタへのリード/ライト信号
DSACK0# DSACK1#	149 148	入出力	データおよびサイズ・アクノリッジ信号

バス・インターフェース端子（NSC/NEC/インテル型, BMODE=0）

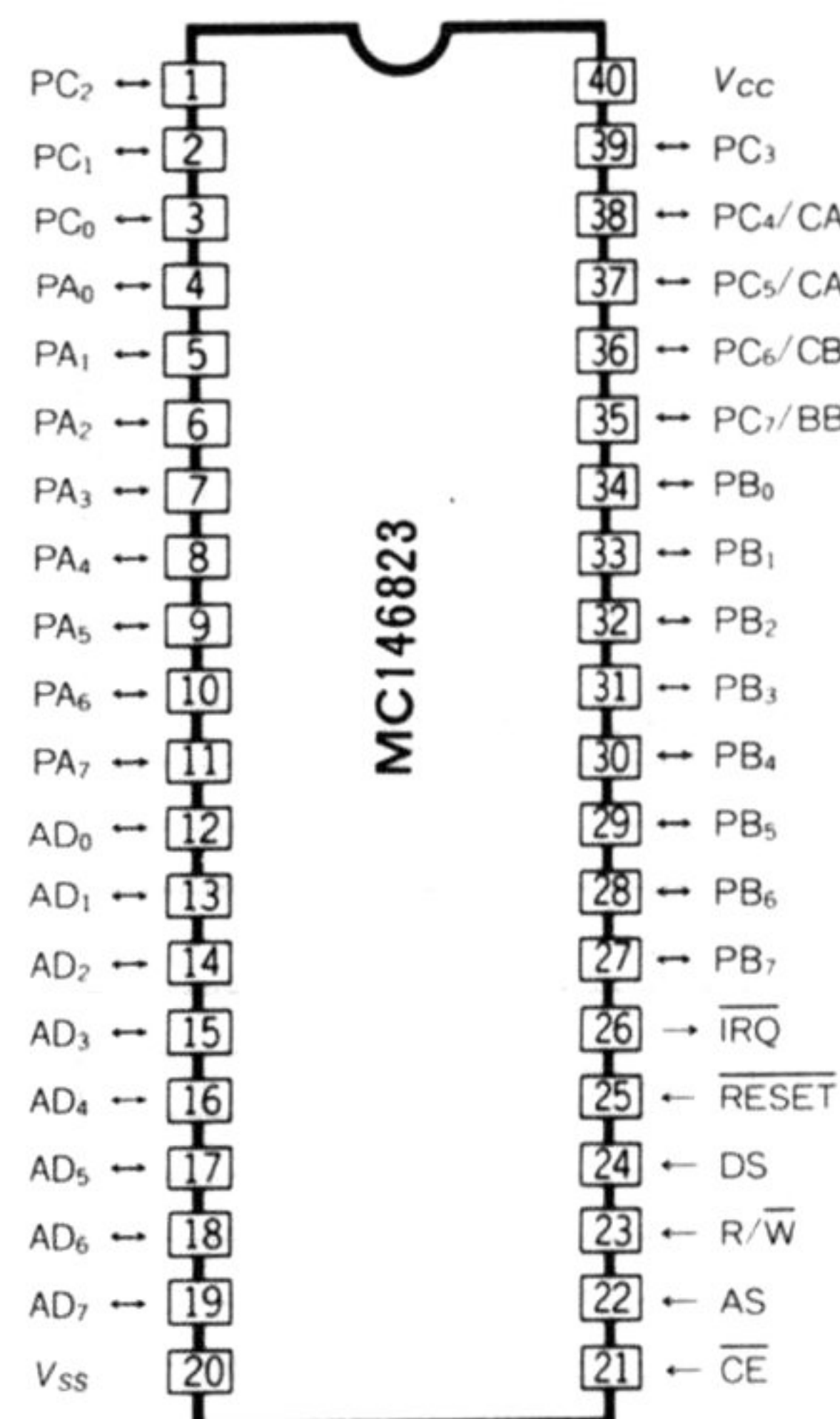
端子名	ピン番号	入出力	機　　能
ADS# MW/R#	1 158	出 力 出 力	アドレス・ストローブ データ方向を示すアドレス・リード/ライト・ストローブ
INT	152	出 力	割り込み信号
HOLD	151	出 力	ホールド・リクエスト
HLDA	142	入 力	ホールド・アクノリッジ
SW/R#	141	入 力	内部レジスタへのリード/ライト信号
RDY_i#	149	入 力	レディ入力
RDY_o#	148	出 力	レディ出力

注）○○#は$\overline{○○}$を示す

CPI (Parallel Interface)

■ ピン接続

MC146823

ピン	信号	ピン	信号
1	PC_2	40	V_{CC}
2	PC_1	39	PC_3
3	PC_0	38	PC_4/CA_1
4	PA_0	37	PC_5/CA_2
5	PA_1	36	PC_6/CB_1
6	PA_2	35	PC_7/BB_2
7	PA_3	34	PB_0
8	PA_4	33	PB_1
9	PA_5	32	PB_2
10	PA_6	31	PB_3
11	PA_7	30	PB_4
12	AD_0	29	PB_5
13	AD_1	28	PB_6
14	AD_2	27	PB_7
15	AD_3	26	$\overline{IRQ}$
16	AD_4	25	$\overline{RESET}$
17	AD_5	24	DS
18	AD_6	23	$R/\overline{W}$
19	AD_7	22	AS
20	V_{SS}	21	$\overline{CE}$

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜8.0	V
入力電圧	V_{IN}	−0.5〜V_{CC}+0.5	V
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−55〜150	℃

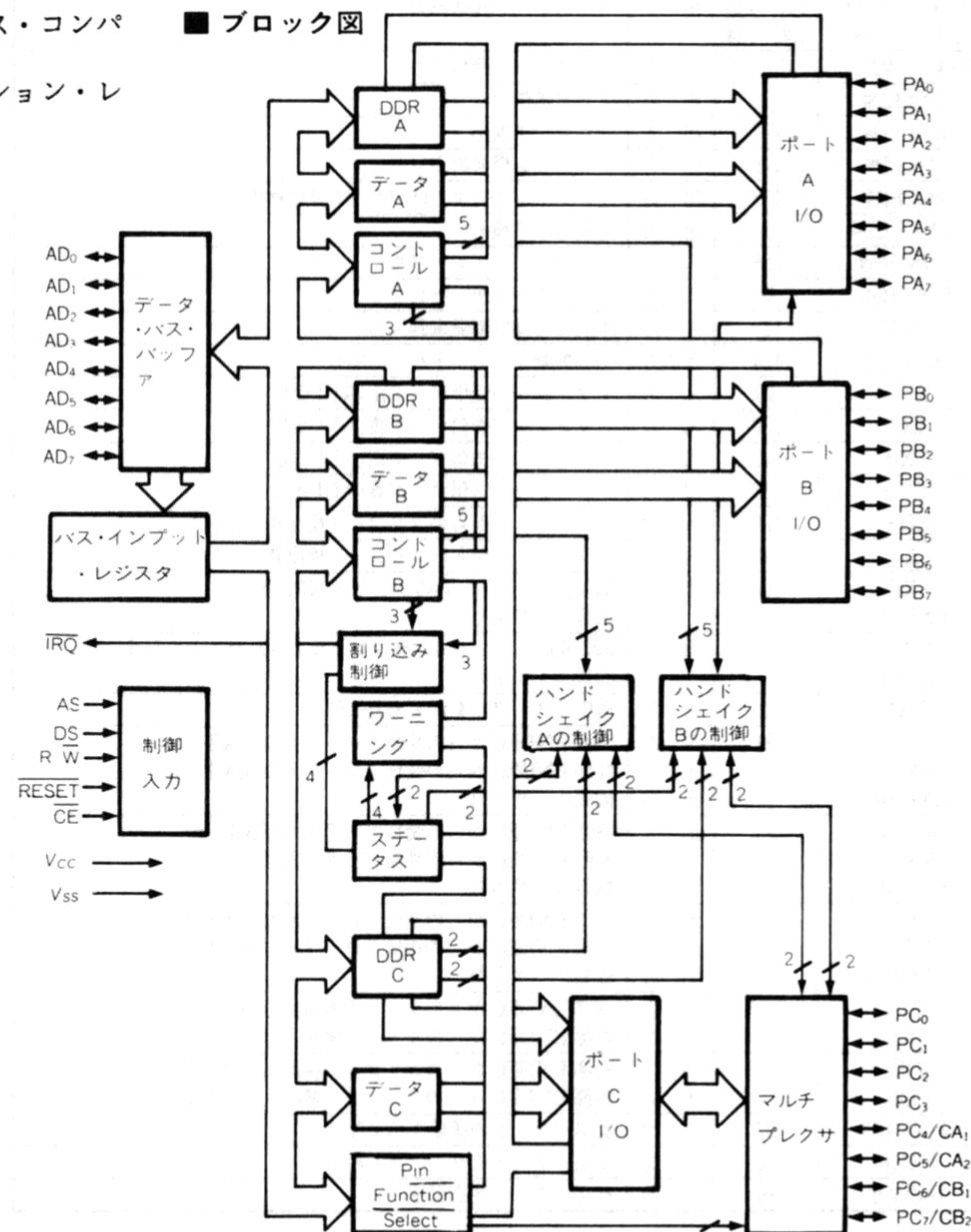
■ DC特性

(T_a=0〜70℃, V_{CC}=5V±10%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		V_{CC}−2.0*	V
V_{OL}	I_{OL}=0.8mA	0.4	V
V_{OH}	I_{OH}=0.2mA	4.1*	V
I_{OL}	ハイ・インピーダンス・リーク	±10	μA
I_{IL}		±1	μA

■ 特　徴

- ２４本の独立にプログラマブルなＩ／Ｏポートをもつ
- 各種ＣＰＵに外部回路なしで接続できるＭＯＴＥＬ回路を内蔵
- ６８００系やその他のマルチプレクスバス・コンパチブル
- ポートＡ，Ｂ，Ｃ用のデータ・ディレクション・レジスタを内蔵
- ポートＣの４本のＩ／Ｏポートは，割り込み入力，インプット・バイト・ラッチ，パルス出力，ハンドシェイク動作制御ピンとして使用可能

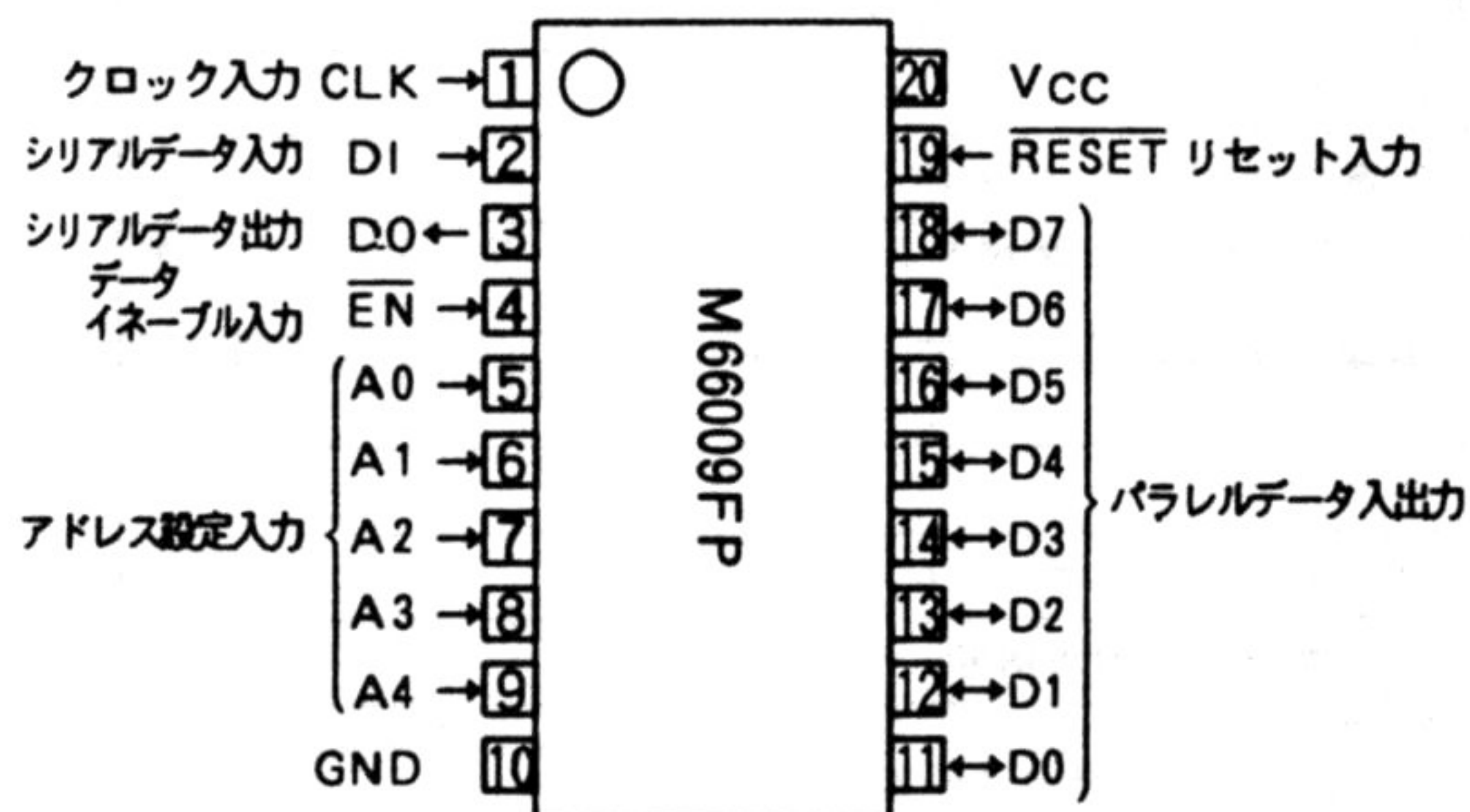
■ ブロック図

■端子機能

端 子 名	名　　称	ピン番号	入 出 力	機　　能
AD_0～AD_7	アドレス/データ・バス0～7	12～19	入出力	双方向の多重化されたアドレス/データ・バス
AS	アドレス・ストローブ	22	入　力	ASの立ち下がりで，バス上のアドレスAD_0～AD_3が，内部にラッチされる
DS	データ・ストローブ	24	入　力	68系CPUのイネーブル信号に相当し，ほかのCPUと接続する場合には，$\overline{RD}$（リード）として使用されるタイミング信号入力
$R/\overline{W}$	リード/ライト	23	入　力	データ・バス上のリード/ライト方向を制御する．68系の$R/\overline{W}$信号または，ほかのCPUの$\overline{WR}$(ライト）を接続する
$\overline{CE}$	チップ・イネーブル	21	入　力	チップ選択信号
$\overline{RESET}$	リセット	25	入　力	リセット信号．アクティブ“L”で，内部レジスタ，ポートがリセットされる
$\overline{IRQ}$	割り込み要求	26	出　力	オープン・ドレイン，アクティブ“L”の割り込み要求信号
PA_0～PA_7	ポートA	4～11	入出力	端子ごとに入力あるいは出力としてプログラムできるI/Oポート．データ・ディレクション・レジスタを“1”にすると出力に，“0”にすると入力に設定される
PB_0～PB_7	ポートB	34～27	入出力	端子ごとに入力あるいは出力としてプログラムできるI/Oポート．データ・ディレクション・レジスタを“1”にすると出力に，“0”にすると入力に設定される
PC_0～PC_3	ポートC	3～1，39	入出力	
PC_4/CA_1, PC_5/CA_2	ポートC/ハンドシェイク	38 37	入出力	汎用ポートまたはポートAのハンドシェイク信号として使用できる．ポートとしての機能はPC_0～PC_3と同等
PC_6/CB_1, PC_7/CB_2	ポートC/ハンドシェイク	36 35	入出力	汎用ポートまたはポートBのハンドシェイク信号として使用できる．ポートとしての機能はPC_0～PC_3と同等
V_{SS}	グラウンド	20	—	グラウンド
V_{CC}	電源	40	—	電源

I/O Expander

■ ピン接続

M66009FP

機能	信号	ピン	ピン	信号	機能
クロック入力	CLK →	1	20	Vcc	
シリアルデータ入力	DI →	2	19	← $\overline{RESET}$	リセット入力
シリアルデータ出力	DO ←	3	18	↔ D7	パラレルデータ入出力
データイネーブル入力	$\overline{EN}$ →	4	17	↔ D6	パラレルデータ入出力
アドレス設定入力	A0 →	5	16	↔ D5	パラレルデータ入出力
アドレス設定入力	A1 →	6	15	↔ D4	パラレルデータ入出力
アドレス設定入力	A2 →	7	14	↔ D3	パラレルデータ入出力
アドレス設定入力	A3 →	8	13	↔ D2	パラレルデータ入出力
アドレス設定入力	A4 →	9	12	↔ D1	パラレルデータ入出力
	GND	10	11	↔ D0	パラレルデータ入出力

■ 特　徴

- ８ビット・データの直列－並列変換、並列－直列変換機能を持つＩ／Ｏエキスパンダ
- アドレス設定用入力５ビット装備
- マイコンとはEN, CLK, DI, DOの４本で接続可能
- ビット単位で入出力設定可能
- リセット、ＥＮ、ＣＬＫはシュミット入力
- マイコンの入出力ポート拡張等に利用可能

■ ブロック図

A0 (5)　A1 (6)　A2 (7)　A3 (8)　A4 (9)

アドレス一致検出回路

$\overline{EN}$ (4)　CLK (1)

クロック制御回路

アドレスチェック回路

ACK発生回路

DI (2)

直列入力用シフトレジスタ(8ビット)

出力ラッチ(8ビット)

$\overline{RESET}$ (19)

直列出力用シフトレジスタ(9ビット)

DO (3)

(11) D0　(12) D1　(13) D2　(14) D3　(15) D4　(16) D5　(17) D6　(18) D7

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜V_{CC}+0.5	V
消費電力	P_D	0.5	W
動作温度	T_{OPR}	20〜75	℃
保存温度	T_{STG}	−60〜150	℃

■ DC 特性

（T_a＝−20〜75℃,　V_{CC}＝5 V±10 %）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝4 mA	0.4	V
V_{OH}	I_{OH}＝2 mA	3.0*	V
I_{OFL}	V_{OUT}＝0〜V_{CC}	±10	μA
I_{IL}	V_{IN}＝0〜V_{CC}	±5	μA

■端子機能

端子名	名　称	ピン番号	入出力	機　能
$\overline{\text{RESET}}$	リセット入力	19	入　力	“L”レベルでM66009の内部状態が初期化される.
$\overline{\text{EN}}$	データ・イネーブル入力	4	入　力	“L”レベルでM66009がアクセス可能となる.
CLK	シリアル・クロック入力	1	入　力	マイコンからDI端子に送られてきたシリアル・データは，CLKの立ち上がりエッジでM66009のシフトレジスタに取り込まれる．DO端子からは，CLKの立ち下がりエッジに同期してシリアル・データが出力される．DO端子は，シリアル・データ出力時以外の期間は“H”になっている.
DI	シリアル・データ入力	2	入　力	
DO	シリアル・データ出力	3	出　力	
A0～A4	アドレス設定用入力	5～9	入　力	*Vcc*あるいはGNDに接続することにより，固有のアドレスを設定する．本端子によって設定されたアドレスと，マイコンからシリアル・データによって送られてきたアドレスが一致していた場合にのみ，所定の動作を実行する．*Vcc*に接続されている端子は“1”，GNDに接続されている端子は“0”に対応する.
D0～D7	パラレル・データ入出力	11～18	入出力	パラレル・データ出入力用の端子であり，プル・ダウン抵抗内蔵Pチャネル・オープン・ドレイン出力となっているため，“L”出力状態になっている端子が入力端子として機能する.
Vcc	正電源端子	20	—	正電源（5V）
GND	接地端子	10	—	接地（0V）

■機能概要

M66009は，データの直列-並列および並列-直列変換機能をもつ，アドレス設定可能な半導体集積回路.

マイコンとは，$\overline{\text{EN}}$，CLK，DI，DOの4本の信号線でデータの送受信を行う.

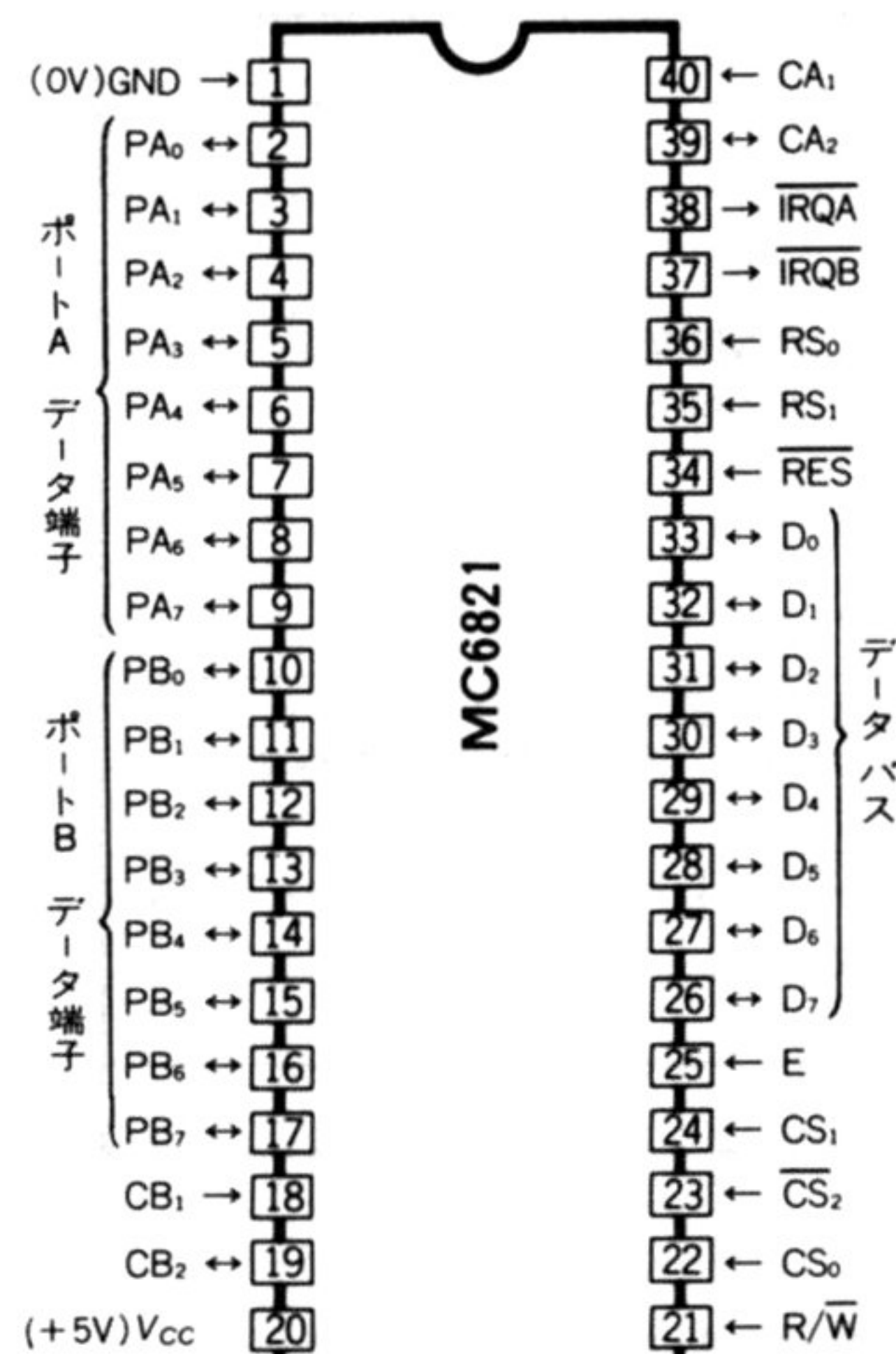
アドレス設定用入力を5ビットもち，これらの入力端子を*Vcc*あるいはGNDに接続することにより，32通りのうちの任意のアドレスに設定可能．マイコンからのシリアル・データを受信したM66009は，データ中のアドレス・データとアドレス設定入力によるアドレスの比較を行い，アドレスが一致している場合にのみ，与えられた所定のコマンドを実行する.

直列入力-並列出力動作については，受信した16ビットの直列入力のうち，下位8ビットを並列変換してD_0～D_7端子に並列出力する．上位8ビットはアドレスおよびコマンド・ビットとして処理する.

並列入力-直列出力動作については，D_0～D_7端子状態8ビットに，アクノリッジ・ビット1ビットを先頭付加して9ビットの直列出力を行う.

■入出力データ論理

DI端子から入力されたシリアル・データは，論理反転されてD_0～D_7のパラレル出力となり，D_0～D_7のパラレル入力データは，同一論理でDO端子からシリアル出力される．したがって，入力に設定したいI/O端子に対しては，DI入力データを“H”にする必要がある.

PIA〔Peripheral Interface Adapter〕

■ ピン接続

MC6821

機能	信号	ピン	ピン	信号	機能
	(0V)GND →	1	40	← CA_1	
ポートAデータ端子	PA_0 ↔	2	39	↔ CA_2	
ポートAデータ端子	PA_1 ↔	3	38	→ $\overline{IRQA}$	
ポートAデータ端子	PA_2 ↔	4	37	→ $\overline{IRQB}$	
ポートAデータ端子	PA_3 ↔	5	36	← RS_0	
ポートAデータ端子	PA_4 ↔	6	35	← RS_1	
ポートAデータ端子	PA_5 ↔	7	34	← $\overline{RES}$	
ポートAデータ端子	PA_6 ↔	8	33	↔ D_0	データバス
ポートAデータ端子	PA_7 ↔	9	32	↔ D_1	データバス
ポートBデータ端子	PB_0 ↔	10	31	↔ D_2	データバス
ポートBデータ端子	PB_1 ↔	11	30	↔ D_3	データバス
ポートBデータ端子	PB_2 ↔	12	29	↔ D_4	データバス
ポートBデータ端子	PB_3 ↔	13	28	↔ D_5	データバス
ポートBデータ端子	PB_4 ↔	14	27	↔ D_6	データバス
ポートBデータ端子	PB_5 ↔	15	26	↔ D_7	データバス
ポートBデータ端子	PB_6 ↔	16	25	← E	
ポートBデータ端子	PB_7 ↔	17	24	← CS_1	
	CB_1 →	18	23	← $\overline{CS_2}$	
	CB_2 ↔	19	22	← CS_0	
	(+5V)V_{CC}	20	21	← $R/\overline{W}$	

■ 特　徴

・６８系ＣＰＵに適合
・ＴＴＬコンパチブルな電気特性
・周辺とのインターフェース・ポートを２組もち，それぞれに８ビットの双方向データ線と２本の制御線がある
・ＣＰＵ側から機能をプログラムできる
・ハードウェア・レベルでの自動的ハンドシェイクを行うことが可能

■ ブロック図

$\overline{RES}$　E　$R/\overline{W}$　RS_1　RS_0　$\overline{CS_2}$　CS_1　CS_0
D_0～D_7
チップ・セレクト リード/ライト コントロール
バス入力レジスタ (BIR)
データ・バス・バッファ (DBB)
コントロール・レジスタB (CRB)
アウトプット・レジスタB (ORB)
アウトプット・レジスタA (ORA)
コントロール・レジスタA (CRA)
インタラプト・ステータス・コントロールB
データ・ディレクション・レジスタB (DDRB)*
周辺インターフェースB
周辺インターフェースA
データ・ディレクション・レジスタA (DDRA)*
インタラプト・ステータス・コントロールA
CB_2　CB_1
ポートB制御端子
PB_0～PB_7
PA_0～PA_7
CA_2　CA_1
ポートA制御端子
ポートB
ポートA

(＊)ディレクション：方向

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～+7.0	V
入力電圧	V_{IN}	−0.3～+7.0	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−55～+150	℃

■ DC特性

項目	max/min*	単位
V_{IL}	0.8	V
V_{IH}	2.0*	V
V_{OL}	0.4	V
V_{OH}	2.4*	V

■ 端子機能

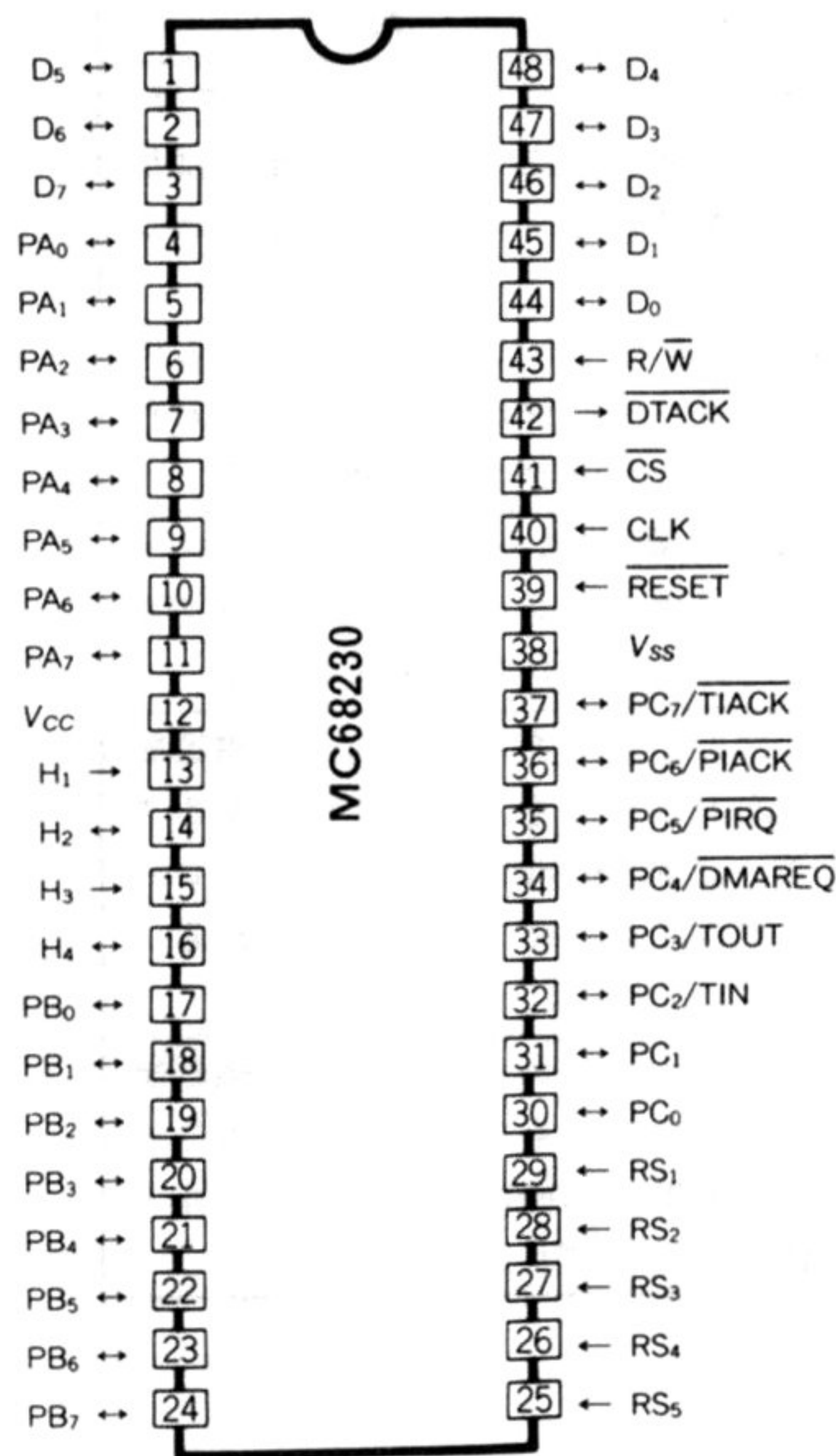
端 子 名	ピン番号	入 出 力	機　　能
D_0～D_7	33～26	入出力	双方向性データ・バス(D_0～D_7). データ・バス出力ドライバは3ステート出力
E	25	入　力	PIAのすべての信号は, このパルスの立ち上がり, あるいは立ち下がりに同期する
$R/\overline{W}$	21	入　力	データ・バス上のデータ転送方向を制御するため, 通常のCPUから出力される$R/\overline{W}$信号を入力
$\overline{RES}$	34	入　力	$\overline{RES}$が"L"になると, PIAのすべてのレジスタは0にクリアされる. $\overline{RES}$はパワーオン・リセットとして使用する
CS_0, CS_1, $\overline{CS_2}$	22, 24, 23	入　力	PIAを選択するためには, CS_0とCS_1を"H"レベル, $\overline{CS_2}$を"L"レベルにする. データ転送は$R/\overline{W}$信号とEパルスによって実行される
RS_0, RS_1	36, 35	入　力	PIA内部の六つのレジスタを選択するために使われる. これら2本の入力ラインは, PIA内部のコントロール・レジスタとの組み合わせによって特定のレジスタを選択する
$\overline{IRQA}$, $\overline{IRQB}$	38, 37	出　力	直接あるいは割り込み優先順位決定回路を通して, MPUの$\overline{IRQ}$へつながれ, 割り込み動作を起動する. これらの出力はオープン・ドレインである
PA_0～PA_7	2～9	入出力	ペリフェラル・データ・バス・ライン. 端子ごとに入力あるいは出力としてプログラムすることができる. このバスを出力とするためには, データ・ディレクション・レジスタの対応するビットの内容を"1"にセットする. またバスを入力するためには, データ・ディレクション・レジスタの対応するビットの内容を0にリセットすることによってなされる

端 子 名	ピン番号	入 出 力	機　　能
PB_0～PB_7	10～17	入出力	ポートB側のペリフェラル・データ・バスは, PA_0～PA_7と同様の方法で, 入力あるいは出力のいずれの動作にもプログラムすることができる. PB_0～PB_7は3ステート出力になっているので, ペリフェラル・バスが入力として使われるとき, ハイインピーダンス状態となる
CA_1, CB_1	40, 18	入　力	入出力機器から割り込みに対応してコントロール・レジスタのインタラプト・フラグをセットするための割り込み要求入力端子
CA_2	39	入出力	割り込み入力として, あるいは入出力機器制御のための出力としても, プログラムすることができる. この信号の機能はコントロール・レジスタAによってプログラムされる
CB_2	19	入出力	割り込み入力として, あるいは入出力機器制御のための出力としてもプログラムすることができる. この信号の機能はコントロール・レジスタBによってプログラムされる

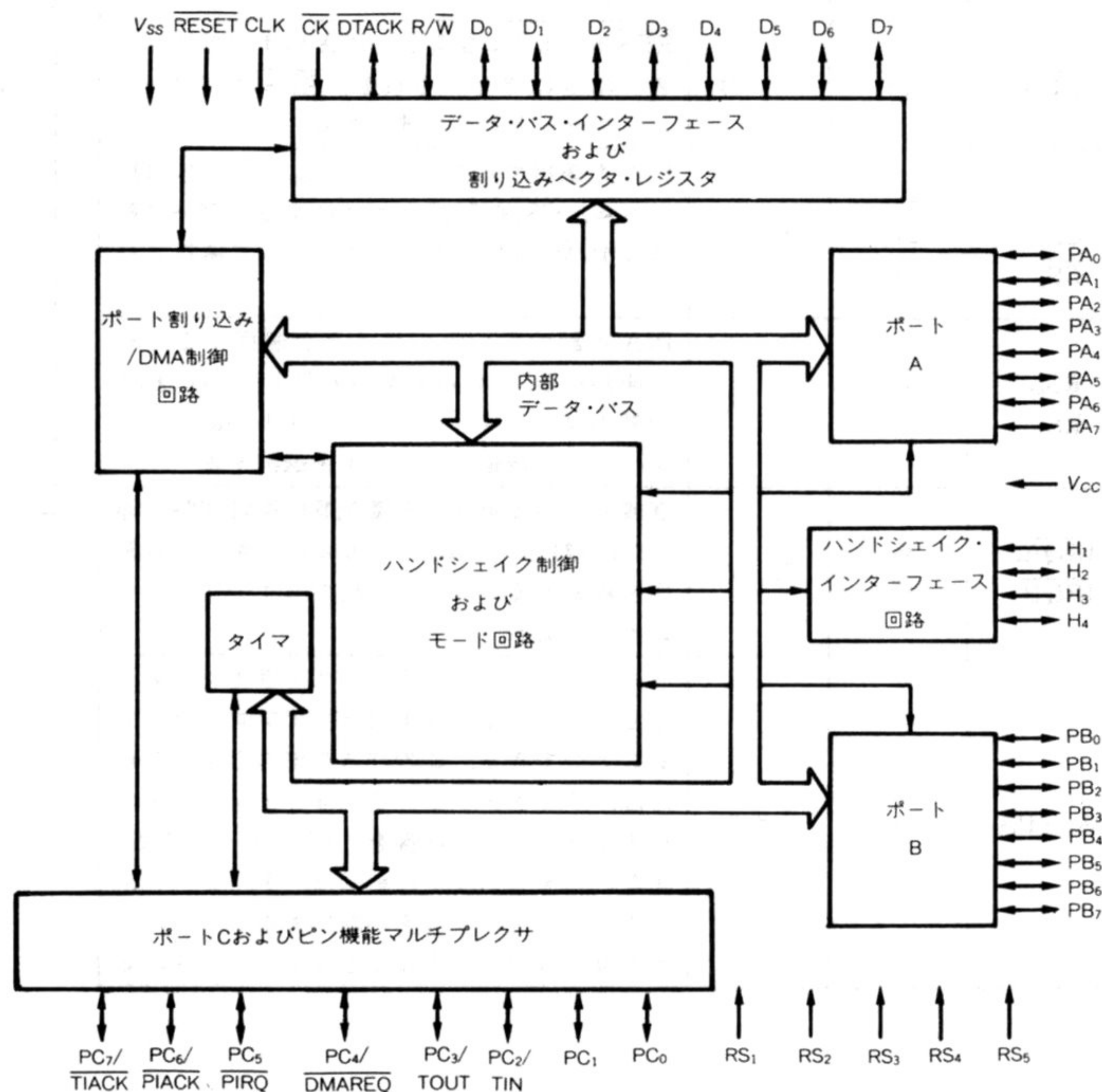
PIT (Parallel Interface/Timer)

■ ピン接続

MC68230

信号	方向	ピン	ピン	方向	信号
D_5	↔	1	48	↔	D_4
D_6	↔	2	47	↔	D_3
D_7	↔	3	46	↔	D_2
PA_0	↔	4	45	↔	D_1
PA_1	↔	5	44	↔	D_0
PA_2	↔	6	43	←	$R/\overline{W}$
PA_3	↔	7	42	→	$\overline{DTACK}$
PA_4	↔	8	41	←	$\overline{CS}$
PA_5	↔	9	40	←	CLK
PA_6	↔	10	39	←	$\overline{RESET}$
PA_7	↔	11	38		V_{SS}
V_{CC}		12	37	↔	$PC_7/\overline{TIACK}$
H_1	→	13	36	↔	$PC_6/\overline{PIACK}$
H_2	↔	14	35	↔	$PC_5/\overline{PIRQ}$
H_3	→	15	34	↔	$PC_4/\overline{DMAREQ}$
H_4	↔	16	33	↔	PC_3/TOUT
PB_0	↔	17	32	↔	PC_2/TIN
PB_1	↔	18	31	↔	PC_1
PB_2	↔	19	30	↔	PC_0
PB_3	↔	20	29	←	RS_1
PB_4	↔	21	28	←	RS_2
PB_5	↔	22	27	←	RS_3
PB_6	↔	23	26	←	RS_4
PB_7	↔	24	25	←	RS_5

■ 特　徴

- 多目的ダブルバッファ・パラレル・インターフェースとタイマを内蔵
- ６８０００バス・コンパチブル
- ３種類のポート・モード
  - ビットＩ／Ｏ
  - 単方向８ビット，１６ビット
  - 双方向８ビット，１６ビット
- タイマはシステム・クロックまたは外部クロックでの動作が可能
- ２４ビット・プログラマブル・タイマ内蔵
- ソフトウェア・プログラマブル・タイマ・モード
- ハンドシェイク・オプション選択可能
- 割り込みベクタ発生ロジック内蔵
- 独立したポート／タイマ割り込み要求
- レジスタはリード／ライトでき，直接アクセス可能

■ ブロック図

V_{SS} $\overline{RESET}$ CLK $\overline{CK}$ $\overline{DTACK}$ $R/\overline{W}$ D_0 D_1 D_2 D_3 D_4 D_5 D_6 D_7

データ・バス・インターフェース
および
割り込みベクタ・レジスタ

ポート割り込み
/DMA制御
回路

内部
データ・バス

ポート
A

PA_0 PA_1 PA_2 PA_3 PA_4 PA_5 PA_6 PA_7

V_{CC}

ハンドシェイク制御
および
モード回路

ハンドシェイク・
インターフェース
回路

H_1 H_2 H_3 H_4

タイマ

ポート
B

PB_0 PB_1 PB_2 PB_3 PB_4 PB_5 PB_6 PB_7

ポートCおよびピン機能マルチプレクサ

$PC_7/\overline{TIACK}$ $PC_6/\overline{PIACK}$ $PC_5/\overline{PIRQ}$ $PC_4/\overline{DMAREQ}$ PC_3/TOUT PC_2/TIN PC_1 PC_0 RS_1 RS_2 RS_3 RS_4 RS_5

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜7.0	V
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−55〜150	℃

■ DC特性

(T_a＝0〜70℃，V_{CC}＝5.0V±5%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝2.4mA	0.5	V
V_{OH}	I_{OH}＝100μA	2.4*	V
I_{OL}	V_{OUT}＝0.4〜2.4	20	μA
I_{IL}	V_{IN}＝0〜V_{CC}	10	μA
C_{IN}		15	pF

■端子機能

端子名	名　称	ピン番号	入出力	機　能
D_0～D_7	双方向データ・バス	1～3，44～48	入出力	データ転送を行う8ビットの双方向データ・バス
RS_1～RS_5	レジスタ・セレクト	25～29	入　力	アクティブ“H”のハイ・インピーダンス入力で，25個のレジスタ中のどのレジスタがアドレスされるかを決定する
$R/\overline{W}$	リード/ライト入力	43	入　力	ハイ・インピーダンスのリード/ライト入力信号で，バス・サイクルがリード・サイクル（“H”）であるかライト・サイクル（“L”）であるかを示す
$\overline{CS}$	チップ・セレクト入力	41	入　力	ハイ・インピーダンス入力でバス・サイクルに対して内部レジスタを選択する．バス・マスタのアドレス・ストローブとデータ・ストローブ（上位または下位）は，適切なアドレス・ビットと共にチップ・セレクト信号を作る回路に含まれなければならない
$\overline{DTACK}$	データ転送アクノリッジ出力	42	出　力	アクティブ“L”出力で，バス・サイクルの完了を知らせる．リードまたは割り込みアクノリッジ・サイクル中，データ・バス上にデータが出力された後，$\overline{DTACK}$ は PI/T によってアサートされる．ライト・サイクル中は $\overline{DTACK}$ はデータが受け付けられた後にアサートされる
$\overline{RESET}$	リセット入力	39	入　力	$\overline{RESET}$ はハイ・インピーダンス入力ですべての内部機能をイニシャライズする
CLK	クロック入力	40	入　力	クロック入力信号
PA_0～PA_7，PB_0～PB_7	ポートA，ポートB	4～11，17～24	入出力	ポートAとポートBは8ビット・ポートで，特定のモードでは16ビット・ポートとなる．ポートはハンドシェイク・ピン H_1～H_4 と関連して制御される
H_1～H_4	ハンドシェイク信号（I/Oはモード，サブ・モードによって決まる）	13, 15，(H_1,H_3) 14, 16 (H_2,H_4)	入　力 入出力	ハンドシェイク信号 H_1～H_4 は多目的信号で，動作モードによってインターロック・ハンドシェイク，パルス・ハンドシェイク，割り込み入力（データ転送には無関係），汎用I/Oなどの信号となる
PC_0～PC_7	オルタネイト・ファンクション・ポートC	30～37	入出力	このポートは，8本の汎用I/O信号（PC_0～PC_7）として使えるほか，6本の特別な機能をもつピン2本の汎用I/O信号（PC_0～PC_7）の組み合わせとしても使われる．各々のピンの入力あるいは出力の決定は，ポートCデータ方向レジスタで行う

Printer Interface

■ ピン接続

ピン	信号	方向	ピン	信号	方向
1	X_1	→	40	V_{CC}	
2	X_2	→	39	A_1	←
3	CLK	←	38	A_0	←
4	DCLK	←	37	P_0	↔
5	RST	←	36	P_1	↔
6	$\overline{IOW}$	→	35	P_2	↔
7	$\overline{IOR}$	→	34	P_3	↔
8	DIR	←	33	P_4	↔
9	D_0	↔	32	P_5	↔
10	D_1	↔	31	P_6	↔
11	D_2	↔	30	P_7	↔
12	D_3	↔	29	$\overline{ERROR}$	←
13	D_4	↔	28	SLCT	←
14	D_5	↔	27	PE	←
15	D_6	↔	26	ACK	←
16	D_7	↔	25	BUSY	←
17	IRQ	↔	24	$\overline{STROB}$	→
18	$\overline{CS_1}$	→	23	$\overline{AUTOFD}$	→
19	$\overline{CS_2}$	→	22	$\overline{INIT}$	→
20	GND		21	$\overline{SLCT}$	→

COM82C11

■ 特　徴

・セントロニクス仕様準拠でプログラマブルなパラレル・プリンタ・インターフェース
・ユーザが制御可能な割り込み信号出力をもつ
・プリンタ・インターフェース端子を直接ドライブ可能な電流供給能力をもつ
・発振回路を内蔵し，1.5MHzから20MHzの周波数まで発振可能
・シリアル通信のボーレート・クロックおよびディスプレイ・インターフェースのドット・クロックに利用できる信号出力端子をもつ

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	$-0.3\sim7.0$	V
入力電圧	V_{IN}	$-0.3\sim V_{CC}+0.3$	V
動作温度	T_{OPR}	$0\sim70$	℃
保存温度	T_{STG}	$-65\sim150$	℃

■ DC特性

（$T_a=0\sim70$℃，$V_{CC}=5V\pm5\%$）

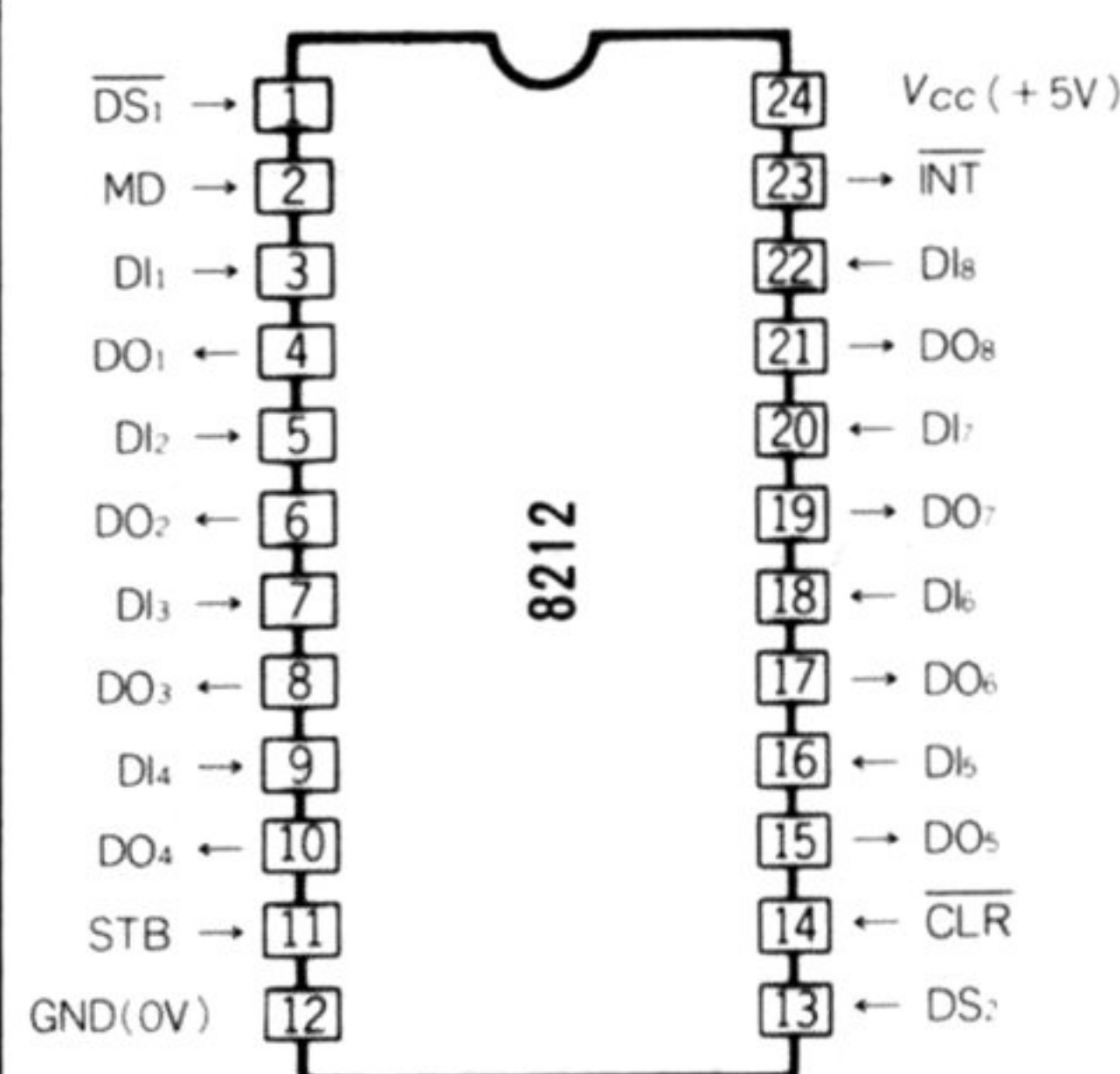
記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}		0.5	V
V_{OH}		2.4*	V
I_{OL}			
I_{IL}	$V_{IN}=0\sim V_{CC}$	±10	μA
C_{IN}		50	pF

■ ブロック図

■ **端子機能**

端子名	名　　称	ピン番号	入出力	機　　　能
X_1, X_2	クリスタル端子	1, 2	入　力	水晶振動子接続端子
CLK	クロック出力	3	出　力	水晶と同じ周波数のバッファ・クロック
DCLK	クロック分周出力	4	出　力	3ピンのI/Oの周波数のバッファ・クロック
RST	リセット	5	出　力	アクティブ“H”のリセット端子
$\overline{IOW}$	I/Oライト	6	入　力	“L”信号入力でCPUはPAIにデータまたはコントロール・ワードを書き込むことができる
$\overline{IOR}$	I/Oリード	7	入　力	“L”信号入力で，CPUにデータ，コントロール・ワードまたはプリンタ・ステータス信号を送ることができる
DIR	ディレクション	8	出　力	CPUとPAIのデータ・バス間のデータの流れの方向を示す
D_0～D_7	データ・バス	9～16	入出力	双方向8ビット・データ・バスで，システムのデータ・バスに接続する
IRQ	割り込み要求	17	入出力	割り込み要求出力信号端子であり，$\overline{ACK}$信号入力がアクティブ“L”になったときに発生する
$\overline{CS_1}$, $\overline{CS_2}$	チップ・セレクト	18, 19	入　力	$\overline{CS_1}$かつ$\overline{CS_2}$の入力が“L”信号のときCPUとの通信が可能となる
$\overline{SLCT}$	プリンタ・セレクト	21	出　力	アクティブ“L”信号が出力されたとき，プリンタは選択される
$\overline{INIT}$	イニシエート	22	出　力	アクティブ“L”信号が出力されたとき，プリンタ・バッファがクリアされる
$\overline{AUTOFD}$	オート・フード	23	出　力	“L”信号出力のとき，プリンタは印字後1行自動的にフィードする
$\overline{STROB}$	データ・ストローブ	24	出　力	“L”信号が出力されたとき，プリンタはデータをプリンタ・データ・バスのP_0～P_7から読み込む
BUSY	ビジィ・ステート	25	入　力	プリンタからの入力信号で，この信号が“H”のときはプリンタはデータを受け取ることはできない
ACK	アクノリッジ	26	入　力	プリンタからの入力信号で，この信号が“L”のとき，プリンタはすでにデータを読み込み，次のデータを受ける用意ができている
PE	ペーパ・エンド	27	入　力	この信号が“H”のときは，プリンタは紙切れを起こしている
SLCT	プリンタ・セレクト・ステータス	28	入　力	この端子は，プリンタの電源にダウンしない限り“H”である
$\overline{ERROR}$	エラー・ステータス	29	入　力	プリンタからのエラー状態入力信号
P_7～P_0	プリンタ・データ・バス	30～37	入出力	CPUのライト・データ・コマンドで，プリンタにデータを送る
A_0～A_1	アドレス	38, 39	入　力	これらのアドレス信号は，$\overline{IOR}$，$\overline{IOW}$，$\overline{CS_1}$，$\overline{CS_2}$と関連して五つのコマンドのひとつを選択する

IOP (Input/Output Port)

■ ピン接続

■ 特　徴

- 並列8ビット・データ，レジスタおよびバッファ
- 割り込み発生用サービス・リクエスト・フリップフロップ内蔵
- 入力ロード電流が小さい，最大0．25mA
- 3ステート出力
- 出力シンク電流　15mA
- 3．65V以上のVohを保障している
- クリア端子機能付き
- マイクロコンピュータ・システムにバッファ・ラッチ，マルチプレサとして応用できる
- システム全体のパッケージ数を減らすのに効果的

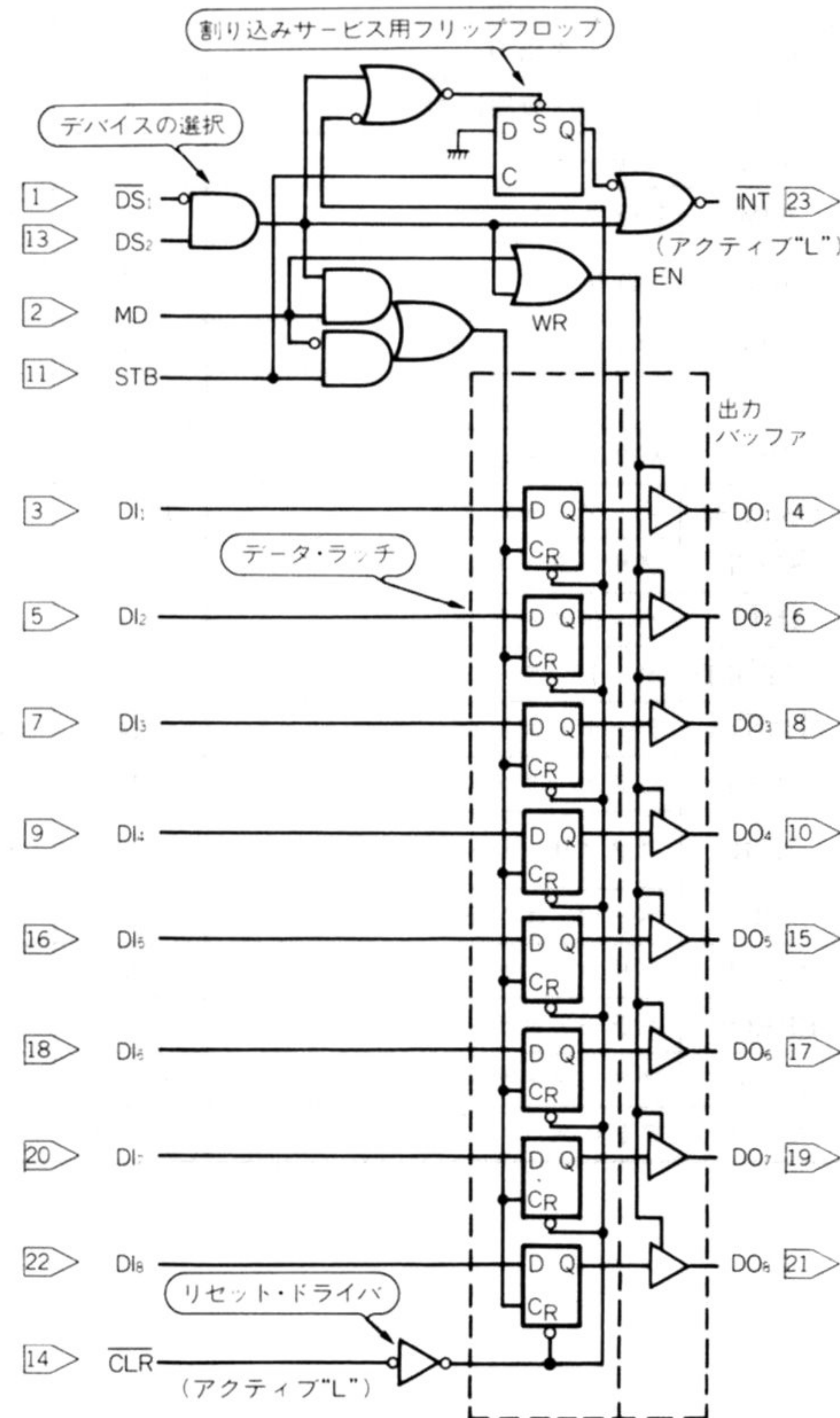
■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～+7.0	V
入力電圧	V_{IN}	−0.5～+5.5	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−65～+150	℃

■ AC特性

(T_a＝0 ～＋75℃，V_{CC}＝＋5V±5%)

記号	項　目	min	max	単位
t_{PW}	パルス幅	30		ns
t_{PD}	データ出力遅延		30	ns
t_{WE}	ライト・イネーブル出力遅延		40	ns
t_{SET}	データ・セットアップ	15		ns
t_H	データ保持	20		ns
t_R	リセット出力遅延		40	ns
t_S	セット出力遅延		30	ns
t_E	出力イネーブル ディセーブル		45	ns
t_C	クリア出力遅延		55	ns

■端子機能

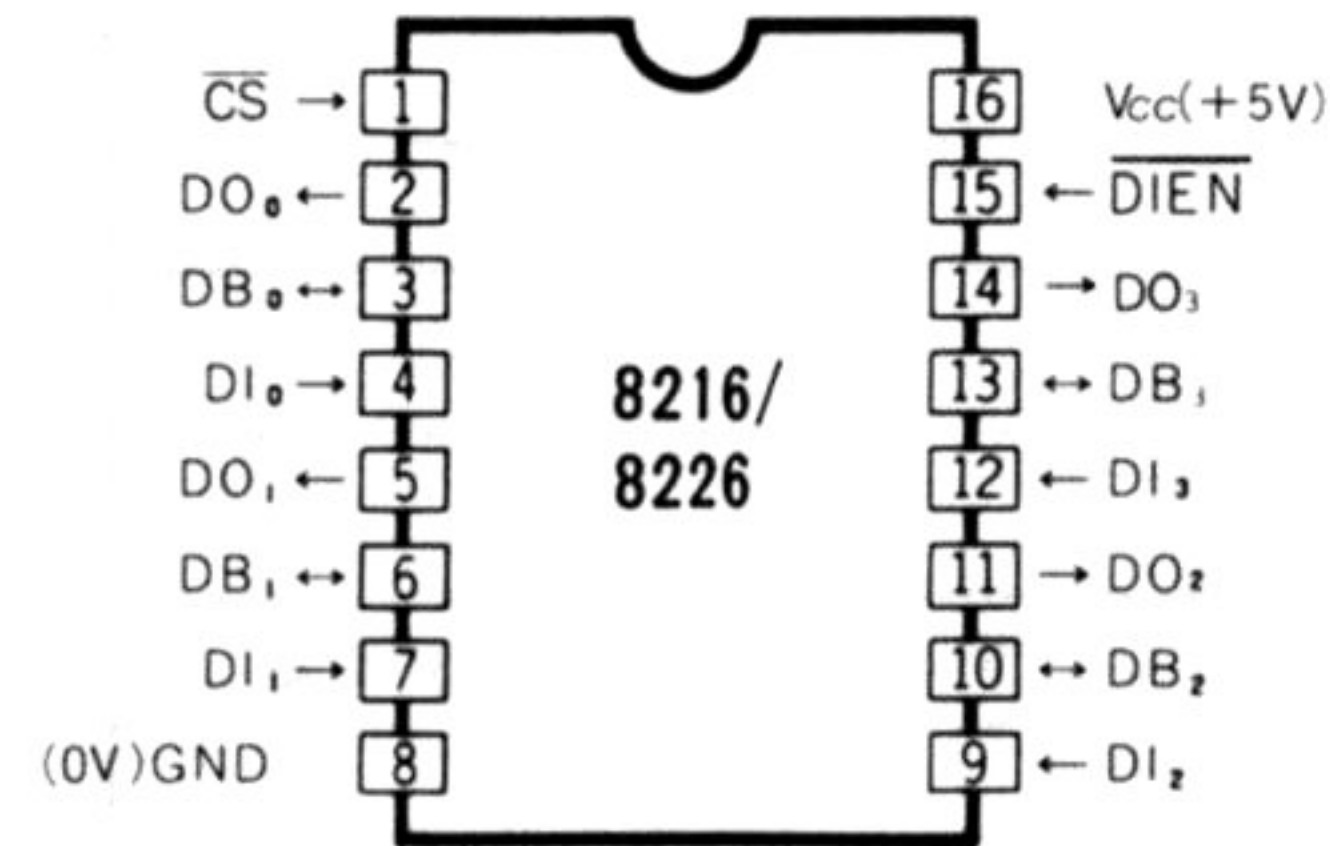
端子名	名称	ピン番号	入出力	機能
$\overline{DS_1}$, DS_2	デバイス・セレクト	1，13	入力	素子選択．$\overline{DS_1}$が“L”，DS_2が“H”のとき選択される
MD	モード	2	入力	出力バッファの状態制御
DI_1～DI_8	データ・イン	3，5，7，9 16，18，20，22	入力	データ入力
DO_1～DO_8	データ・アウト	4，6，8，10 15，17，19，21	出力	ラッチ・データ出力
STB	ストローブ	11	入力	データ・ラッチへのクロック信号．サービス・リクエスト・フリップフロップをリセットする
$\overline{CLR}$	クリア	14	入力	ラッチ回路のクリア信号．“L”でクリアされる
$\overline{INT}$	インタラプト	23	出力	割り込み発生信号．“L”アクティブで8214に接続できる

■DC特性

(T_a＝0℃～＋75℃，V_{CC}＝＋5V±5%)

記号	項目	測定条件	min	typ	max	単位
I_F	ACK, DS_2, CR, DI_1～DI_8入力	V_F＝0.45V			−0.25	mA
I_F	MD入力	V_F＝0.45V			−0.75	mA
I_F	DS_1入力	V_F＝0.45V			−1.0	mA
V_{IL}	入力“L”電圧				0.85	V
V_{IH}	入力“H”電圧		2.0			V
V_{OL}	出力“L”電圧	I_{OL}＝15mA			0.45	V
V_{OH}	出力“H”電圧	I_{OH}＝−1mA	3.65	4.0		V
I_{SC}	短絡時出力電流	V_O＝0V	−15		−75	mA
I_O	出力リーク電流 (ハイ・インピーダンス状態)	V_O＝0.45V/5.25V			20	μA

OB (Input/Output Buffer)

■ ピン接続

8216/8226

ピン	信号	ピン	信号
1	$\overline{CS}$ →	16	Vcc(+5V)
2	DO_0 ←	15	← $\overline{DIEN}$
3	DB_0 ↔	14	→ DO_3
4	DI_0 →	13	↔ DB_1
5	DO_1 ←	12	← DI_3
6	DB_1 ↔	11	→ DO_2
7	DI_1 →	10	↔ DB_2
8	(0V)GND	9	← DI_2

■ 特　徴

- 8ビットCPUのデータ・バス・バッファ・ドライバとして利用できる
- 低入力電流，高出力電流でシステム・バス・ドライバとして高い能力をもっている

■ 最大定格

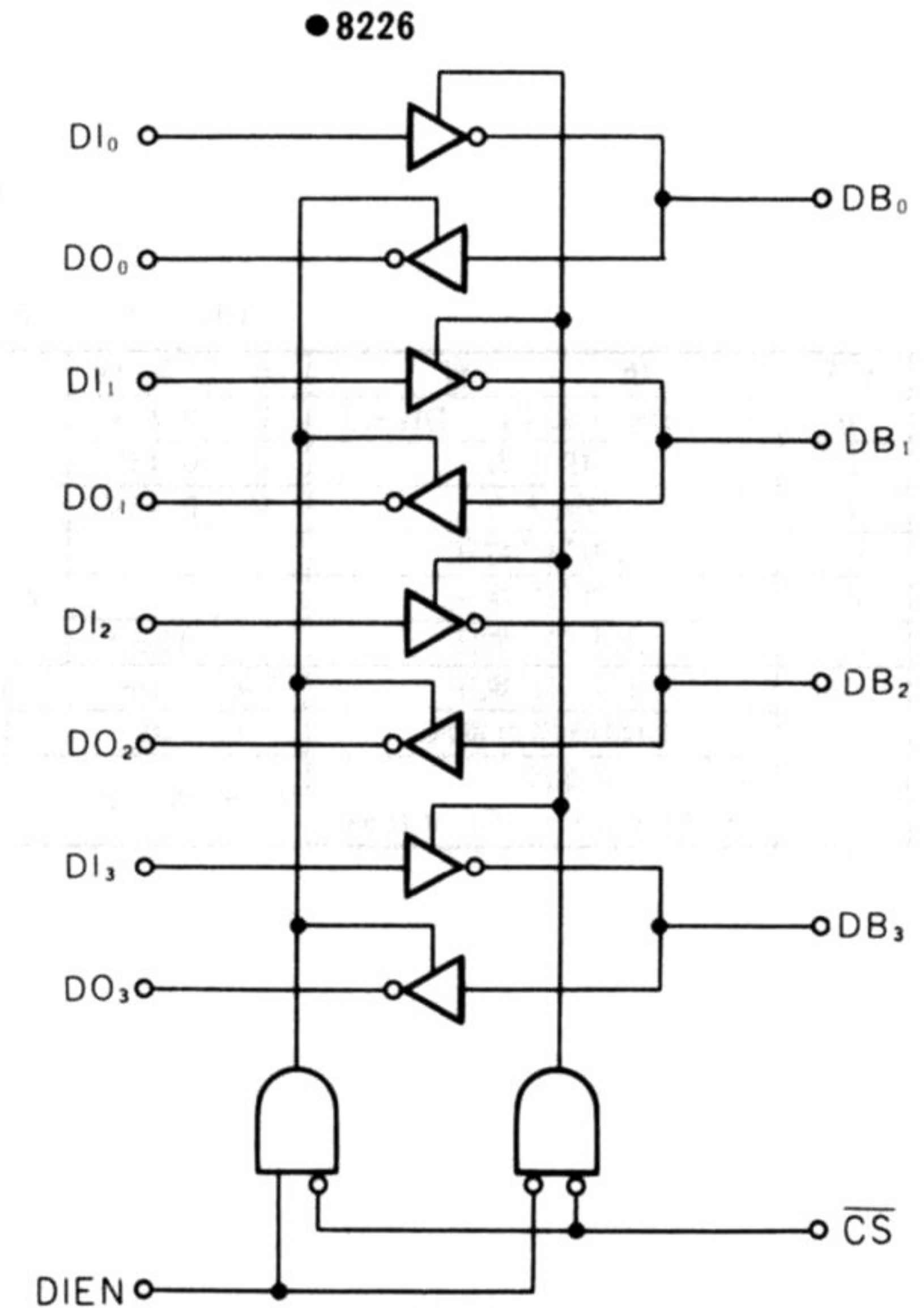
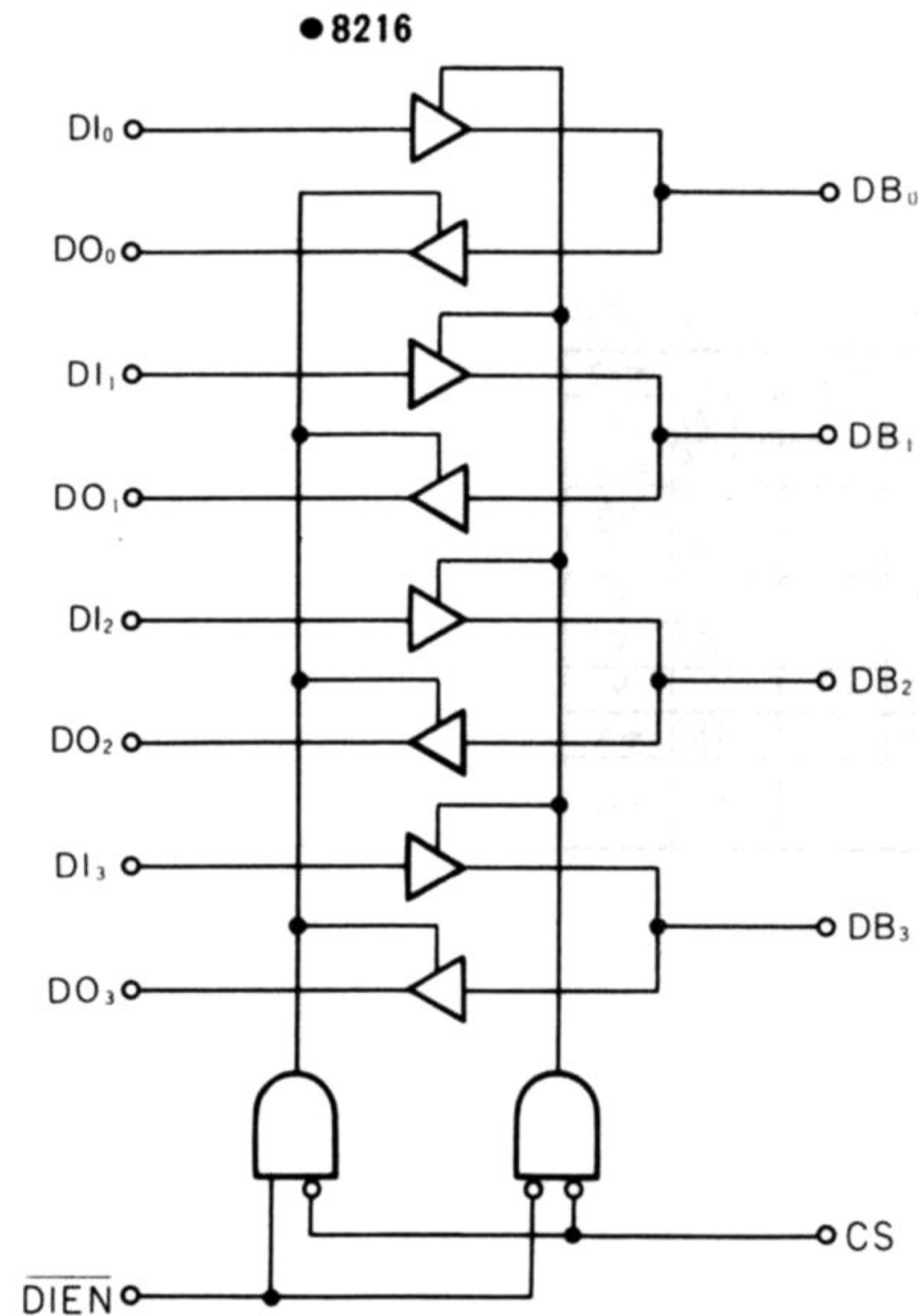
項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜+7.0	V
入力電圧	V_{IN}	−1.0〜+5.5	V
動作温度	T_{OPR}	0〜+70	℃
保存温度	T_{STG}	−65〜+150	℃

■ ブロック図

●8216

DI_0, DO_0, DB_0, DI_1, DO_1, DB_1, DI_2, DO_2, DB_2, DI_3, DO_3, DB_3, CS, $\overline{DIEN}$

●8226

DI_0, DO_0, DB_0, DI_1, DO_1, DB_1, DI_2, DO_2, DB_2, DI_3, DO_3, DB_3, $\overline{CS}$, DIEN

■端子機能

端子名	名称	ピン番号	入出力	機能
$DB_0 \sim DB_3$	双方向データ・バス	3, 6, 10, 13	入出力	双方向バス接続端子
$DI_0 \sim DI_3$	データ・イン	4, 7, 9, 12	入力	バス・バッファへの入力
$DO_0 \sim DO_3$	データ・アウト	2, 5, 11, 14	出力	バス・バッファの出力
$\overline{DIEN}$	データ・イン・イネーブル	15	入力	データの流れをコントロールする
$\overline{CS}$	チップ・セレクト	1	入力	チップ・セレクト．“H”のとき出力ドライバはハイ・インピーダンスになる

■ DC特性

記号	測定条件	min	typ	max	単位
I_{F1}	$V_F=0.45$		−0.15	−0.5	mA
I_{F2}	$V_F=0.45$		−0.08	−0.25	mA
I_{R1}	$V_R=5.25V$			20	μA
I_{R2}	$V_R=5.25V$			10	μA
V_C	$I_C=-5mA$			−1	V
V_{IL}				0.95	V
V_{IH}		2.0			V
$\|I_O\|$	$V_O=0.45V$			20	μA
	$V_O=5.25V$			100	μA
I_{CC}			95	130	mA
			85	120	mA
V_{OL1}	DO Outputs $I_{OL}=15mA$ DB Outputs $I_{OL}=25mA$		0.3	0.45	V
V_{OL2}	DB Outputs $I_{OL}=50mA$		0.5	0.6	V
	DO Outputs $I_{OH}=-1mA$		0.5	0.6	V
V_{OH1}	DB Outputs $I_{OH}=-10mA$	3.65	4.0		V
V_{OH2}	DB Outputs $I_{OH}=-10mA$	2.4	3.0		V
I_{OS}	DO Outputs $V_O \cong 0V$	−15	−35	−65	mA
	DB Outputs $V_{CC} \cong 5.0V$	−30	−75	−120	mA

IE〔I/O Expander〕

■ ピン接続

P_{50} ↔ 1		24	V_{CC}
P_{40} ↔ 2		23 ↔	P_{51}
P_{41} ↔ 3		22 ↔	P_{52}
P_{42} ↔ 4		21 ↔	P_{53}
P_{43} ↔ 5		20 ↔	P_{60}
$\overline{CS}$ → 6	MBL 8243	19 ↔	P_{61}
PROG → 7		18 ↔	P_{62}
P_{23} ↔ 8		17 ↔	P_{63}
P_{22} ↔ 9		16 ↔	P_{73}
P_{21} ↔ 10		15 ↔	P_{72}
P_{20} ↔ 11		14 ↔	P_{71}
GND 12		13 ↔	P_{70}

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～7.0	V
入力電圧	V_{IN}	−0.3～7.0	V
消費電力	P_D	1	W
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−55～+150	℃

■ DC特性

(T_a＝0～+70℃，V_{CC}＝5V±10%)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝5mA	0.45	V
V_{OH}	I_{OH}＝240μA	2.4*	V
I_{IL}	V_{IN}＝0～V_{CC}	±10	μA

■ 特　徴

・８ビット・ワンチップ・マイコンのＩ／Ｏポート増設用エキスパンダ
・８０４８シリーズのマイコンと直接接続可能
・ＣＰＵとは４ビットのインタフェース・ポートとストローブ信号で接続可能
・４ビット双方向Ｉ／Ｏポート×４
・ポートの内容と直接演算（ＡＮＤ，ＯＲ）可能
・パワーオン・リセット回路内蔵

■ ブロック図

■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{CS}$	チップ・セレクト	6	入力	$\overline{CS}$端子は，TTLコンパチブルでハイ・インピーダンス入力のチップ・セレクト端子．“L”レベル入力で選択される
PROG	ストローブ	7	入力	ストローブ入力端子．PROG端子への立ち下がり（ ）入力で，P_{20}～P_{23}に入力された命令コードとアドレス・コードを取り込む．そして，PROG端子への立ち上がり（ ）入力で，P_{20}～P_{23}で送受されるデータが有効となる
P_{23}～P_{20}	ポート2	8～11	入出力	4ビットの双方向性ポートで，8048シリーズ・マイクロコンピュータとのインターフェース・ポート．ストローブ入力(PROG)の立ち下がりで命令コードとアドレス・コードが有効となり，ストローブ入力の立ち上がりでデータの送受が行われる．このポートは，入力命令を実行しているときを除いて，ハイ・インピーダンス状態を維持する
GND	グラウンド	12	—	グラウンド
P_{40}～P_{43}	ポート4	2～5	入出力	4ビットの双方向性入力/出力(I/O)ポート．8048シリーズ・マイクロコンピュータの拡張I/Oポートとして使われる．4ビットの四つのポートは，ポート4，5，6および7として，マイクロコンピュータの命令でアドレスされる． 8048シリーズ・マイクロコンピュータから入力命令を受け取ると，指定されたポート・データが，ポート2を介してマイクロコンピュータに転送される．入力命令が実行されたポートは，その後3ステート状態となる．一方，出力命令の場合は，ストローブ入力(PROG)の立ち上がりでインターフェース・ポート（ポート2）のデータが取り込まれ指定されたポートにラッチ出力される．また，ポートにラッチ出力されているデータとの演算命令も用意されており，この場合は，ストローブ入力(PROG)の立ち上がりで取り込まれたポート2のデータと，指定されたポートの出力データとの間で演算が行われ，その結果が指定されたポートにラッチ出力される
P_{50}，P_{51}～P_{53}	ポート5	1，23～21	入出力	
P_{60}～P_{63}	ポート6	20～17	入出力	
P_{70}～P_{73}	ポート7	16～13	入出力	
V_{CC}	電源	24	—	＋5V電源

PPI〔Programmable Peripheral Interface〕

■ ピン接続

8255A

ポート	信号	ピン	ピン	信号	ポート
ポートA	PA_3 ↔	1	40	↔ PA_4	ポートA
ポートA	PA_2 ↔	2	39	↔ PA_5	ポートA
ポートA	PA_1 ↔	3	38	↔ PA_6	ポートA
ポートA	PA_0 ↔	4	37	↔ PA_7	ポートA
	$\overline{RD}$ →	5	36	← $\overline{WR}$	
	$\overline{CS}$ →	6	35	← RESET	
	(0V)GND	7	34	↔ D_0	データ・バス
	A_1 →	8	33	↔ D_1	データ・バス
	A_0 →	9	32	↔ D_2	データ・バス
ポートC	PC_7 ↔	10	31	↔ D_3	データ・バス
ポートC	PC_6 ↔	11	30	↔ D_4	データ・バス
ポートC	PC_5 ↔	12	29	↔ D_5	データ・バス
ポートC	PC_4 ↔	13	28	↔ D_6	データ・バス
ポートC	PC_0 ↔	14	27	↔ D_7	データ・バス
ポートC	PC_1 ↔	15	26	V_{CC}(+5V)	
ポートC	PC_2 ↔	16	25	↔ PB_7	ポートB
ポートC	PC_3 ↔	17	24	↔ PB_6	ポートB
ポートB	PB_0 ↔	18	23	↔ PB_5	ポートB
ポートB	PB_1 ↔	19	22	↔ PB_4	ポートB
ポートB	PB_2 ↔	20	21	↔ PB_3	ポートB

■ 特　徴

・８０８０系（８２５５Ａ），８０８５系（８２５５Ａ－５）に適合
・ＴＴＬコンパチブル
・２４本のプログラマブル可能なＩ／Ｏ端子をもつ
・Ａ，Ｂ二つのポートをそれぞれ三つのモードで使用可能（モード２はポートＡのみで可能）
　　モード０；制御信号なしの入出力ポート
　　モード１；制御信号つきの入出力ポート
　　モード２；制御信号付き，双方向の入出力ポート

■ 最大定格

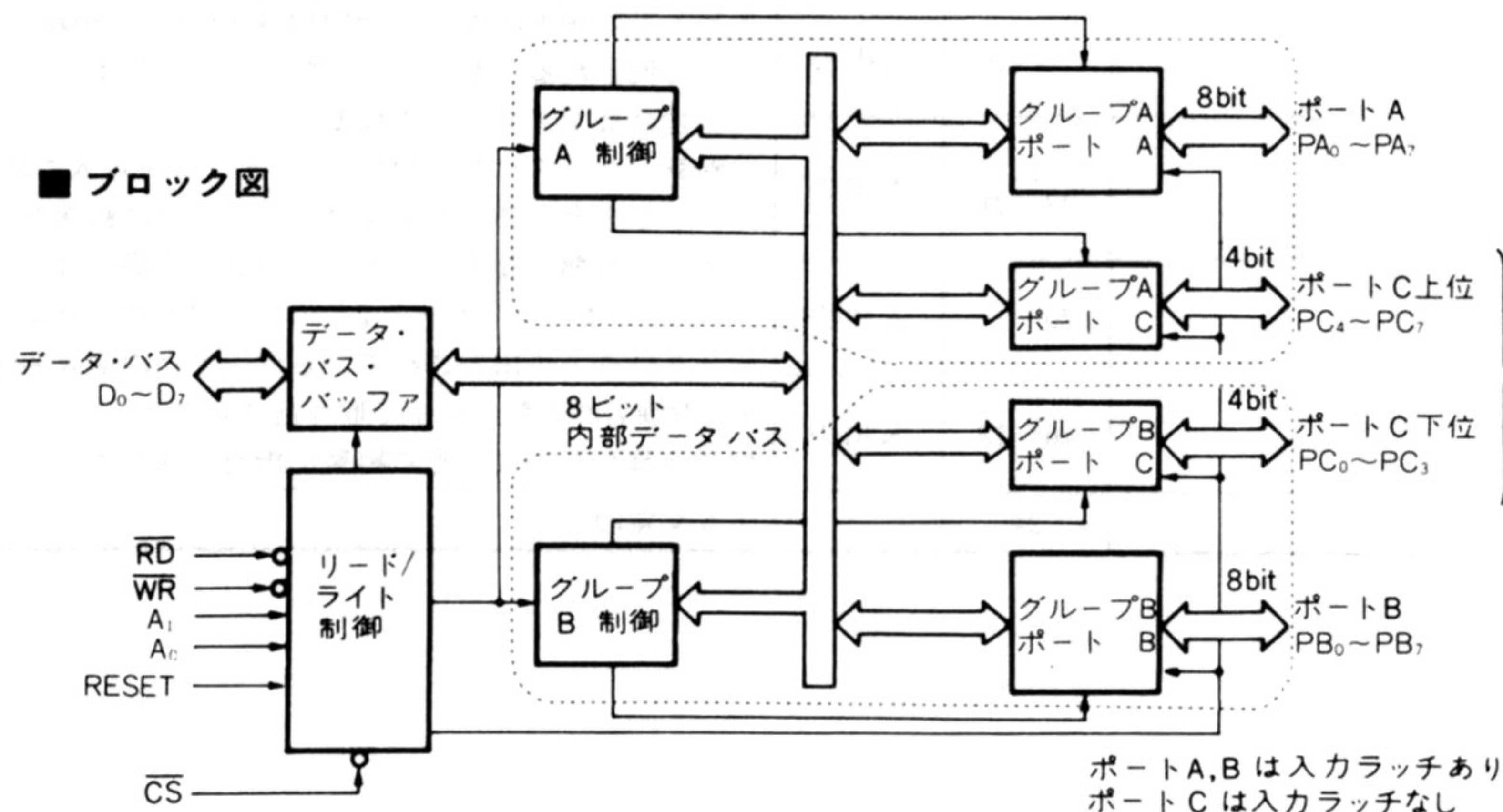
項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～+7.0	V
入力電圧	V_{IN}	−0.5～+7.0	V
消費電力	P_D	1	W
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−65～+150	℃

■ DC特性

項　目	max/min*	単位
V_{IL}	0.8	V
V_{IH}	2.0*	V
V_{OL}	0.45	V
V_{OH}	2.4*	V
I_{CC}	120	mA

■ ブロック図

データ・バス D_0～D_7
データ・バス・バッファ
8ビット 内部データバス
$\overline{RD}$
$\overline{WR}$
A_1
A_0
RESET
$\overline{CS}$
リード/ライト制御
グループA制御
グループB制御
グループAポートA　8bit　ポートA PA_0～PA_7
グループAポートC　4bit　ポートC上位 PC_4～PC_7
グループBポートC　4bit　ポートC下位 PC_0～PC_3
グループBポートB　8bit　ポートB PB_0～PB_7

ポートA,Bは入力ラッチあり
ポートCは入力ラッチなし

ポートA，Bがモード0以外のモードで使われると，ポートC端子の一部がポートA，B用の制御端子となる．
制御端子として使われていないポートC端子は，独立したI/Oポートとして使用することができる

■ 端子機能

端子名	ピン番号	入出力	機能
$D_0 \sim D_7$	27～34	3ステート入出力	8ビットの3ステート双方向性データ・バス．MPUとのデータ転送時に使用される．またPPIに対するコントロール・ワード，PPIからのステータス情報の転送にも使用される
$PA_0 \sim PA_7$	1～4，40～37	3ステート入出力	8ビット入出力ポートA．ソフトウェアによってモード設定および入出力の設定を行う．ポートAは出力ラッチ・バッファおよび入力ラッチをもっている
$PB_0 \sim PB_7$	18～25	3ステート入出力	8ビット入出力ポートB．ソフトウェアによってモード設定および入出力の設定を行う．ポートBは出力ラッチ・バッファおよび入力ラッチをもっている
$PC_0 \sim PC_7$	14～17，13～10	3ステート入出力	8ビット入出力ポートC．ソフトウェアによってモード設定および入出力の設定を行う．ポートCはモード・コントロールによって2個の4ビット・ポートに分割でき，さらに，ポートA，ポートBのコントロール信号としても使用される．この場合には，$PC_0 \sim PC_2$の3ビットをポートB用へ，$PC_3 \sim PC_7$の5ビットをポートA用に使用する
$\overline{CS}$	6	入力	チップ・セレクト入力．"L"レベルでPPIとMPUとのデータ転送が可能となり，"H"レベルではデータ・バスがハイ・インピーダンス状態になり，プロセッサからのコントロールは無視される
$\overline{RD}$	5	入力	リード信号．"L"でポートに入力されているデータをMPUに転送する
$\overline{WR}$	36	入力	ライト信号．"L"でMPUからPPIにデータあるいはコントロール・ワードを書き込む
A_0，A_1	9，8	入力	ポートA，B，Cおよびコントロール・レジスタの選択に使用する．通常はアドレス・バスの下位2ビットに接続する
RESET	35	入力	"H"でコントロール・レジスタを含む全内部レジスタをクリアする．また全ポート（ポートA，B，C）はモード0のインプット・モード（ハイ・インピーダンス）になる

■モード選択とポートC端子の定義

ポートA，ポートBのモードによって，下記のようにポートC端子が特殊用途用に自動的に設定される．

●ポートAが，モード1，入力のとき

PC_3	INTR(A)	出力
PC_4	$\overline{STB(A)}$	入力
PC_5	IBF(A)	出力

●ポートAが，モード1，出力のとき

PC_3	INTR(A)	出力
PC_6	$\overline{ACK(A)}$	入力
PC_7	$\overline{OBF(A)}$	出力

●ポートAが，モード2のとき

PC_3	INTR(A)	出力
PC_4	$\overline{STB(A)}$	入力
PC_5	IBF(A)	出力
PC_6	$\overline{ACK(A)}$	入力
PC_7	$\overline{OBF(A)}$	出力

●ポートBが，モード1，入力のとき

PC_0	INTR(B)	出力
PC_1	IBF(B)	出力
PC_2	$\overline{STB(B)}$	入力

●ポートBが，モード1，出力のとき

PC_0	INTR(B)	出力
PC_1	$\overline{OBF(B)}$	出力
PC_2	$\overline{ACK(B)}$	入力

ポートCの下位3ビットは，制御用に使われる端子がない場合，通常の書き込み操作によってアクセスできる．上位5ビットについては，制御用に使われる端子を含まないときは書き込み操作でアクセスできるが，含むときは制御用に使われずに残った端子に対してビット制御ワードによりアクセスすることができる．

制御用に使用されていない端子で，入力ポート用に設定された端子はすべてつねに読み出しが可能である．

PPI (Programmable Peripheral Interface)

■ ピン接続

MB89363

■ 特 徴

- 3ポートのプログラマブルI／O（8255相当）を2対内蔵
- 8ビットの並列入出力ポートを6ポートもつ
- 3種類の動作モードをもつ
  - モード0；制御信号なしの入出力ポート
  - モード1；制御信号つきの入出力ポート
  - モード2；制御信号付き，双方向の入出力ポート
- プログラムにより機能，動作モードの設定が可能

■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.3	V
動作温度	T_{OPR}	−40〜85	℃
保存温度	T_{STG}	−55〜150	℃

■ DC特性

（T_a＝−40〜85℃，V_{CC}＝5V±10%）

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝2.5mA	0.4	V
V_{OH}	I_{OH}＝2.5mA	3.0*	V
I_{OL}	V_{OUT}＝0〜V_{CC}	±10	μA
I_{IL}	V_{IN}＝0〜V_{CC}	±10	μA
C_{IN}		20	pF

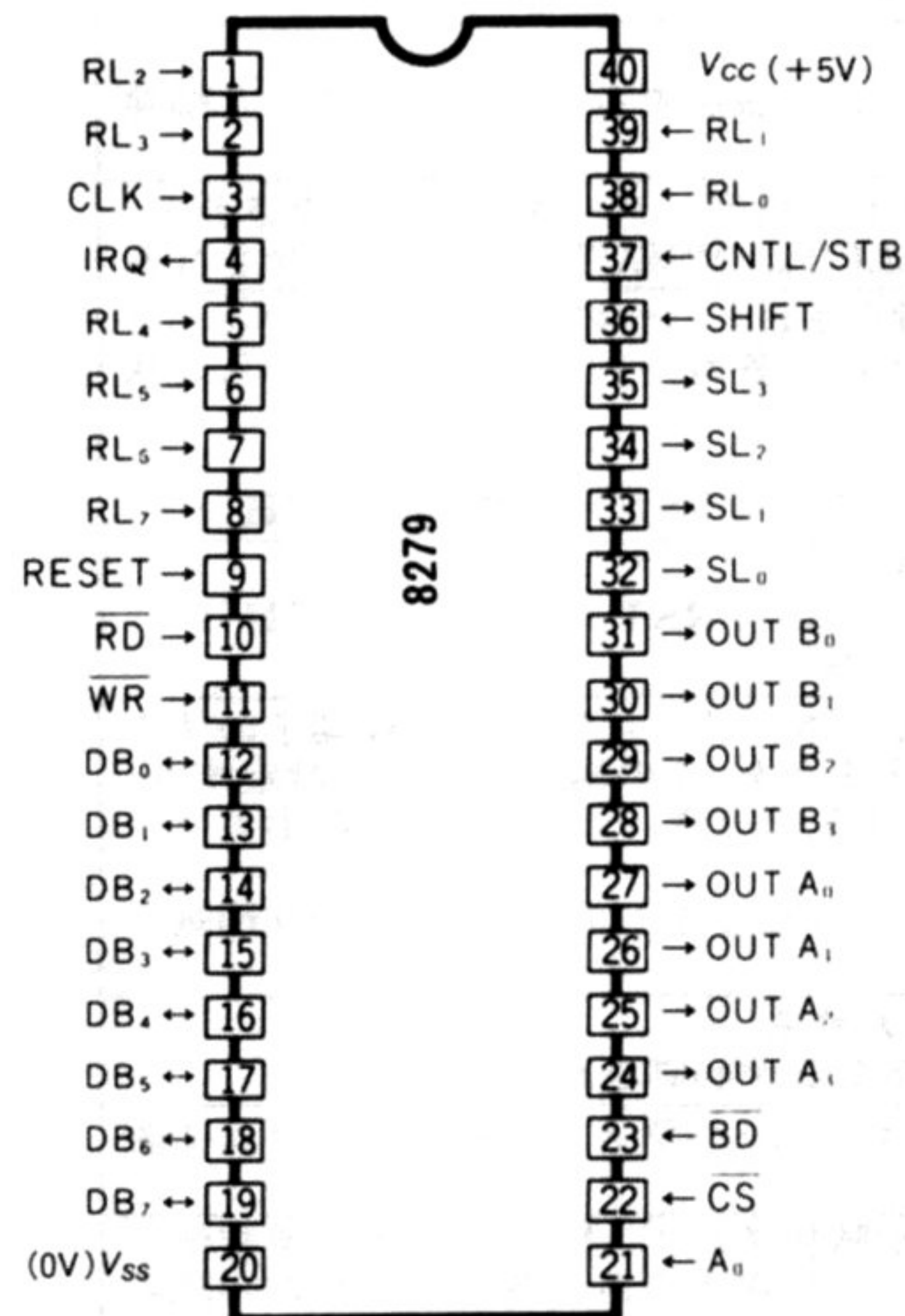
■端子機能

端子名	名　　称	ピン番号	入出力	機　　　能
P_{30}～P_{37}	ポート3各ビット	1～4， 77～80	入出力	8ビット汎用入出力ポート． グループ2に含まれて，コントロール・パラメータをプログラムで設定することによって，3種類の動作モードが選定できる
$\overline{W}$	ライト	5	入　力	"L"レベル信号によって，コントロール・パラメータ，ポート出力データの書き込みがなされる．パラメータ，ポート・データの区別，選定は$\overline{CS_1}$，$\overline{CS_2}$，$RSLCT_0$，$RSLCT_1$信号によりなされる
RST	初期設定リセット	6	入　力	入力端子で，リセット信号により，MB89363は初期状態に設定され，二つの各コントロール・パラメータに初期値9B（16進）が自動的に設定される．初期状態とは，各ポートともモード0の入力状態で，全ポート端子は，"H"レベルに保たれている． アクティブ信号レベルは，RH カ $\overline{RL}$ 信号により選択される． RH/$\overline{RL}$＝"0"；$\overline{RST}$（アクティブ"L"）　RH/$\overline{RL}$＝"1"；RST（アクティブ"H"）
RH/$\overline{RL}$	リセット/アクティブ・レベル選択	9	入　力	RST端子をアクティブ"H"か，アクティブ"L"に設定する． RH/$\overline{RL}$＝"0"；$\overline{RST}$（アクティブ"L"）　RH/$\overline{RL}$＝"1"；RST（アクティブ"H"） ただし，RH/$\overline{RL}$は常にV_{CC}かGNDかのどちらかに固定しておく
OUS/$\overline{INS}$	ポート0，3リード値選択	11	入　力	ポート0，3が出力中の状態で，ポート0，3の値をリードするとき，ポート0，3の外部端子の値を直接読み出すか，ポート0，3の出力用ラッチの値を直接読み出すかを，この端子によって設定する． OUS/$\overline{INS}$＝"0"；ポート0，3出力中，ポート0，3をリードしたとき，ポート0，3の出力ラッチの値を読み出す． OUS/$\overline{INS}$＝"1"；ポート0，3出力中，ポート0，3をリードしたとき，ポート0，3の外部端子の値を読み出す
DB_0～DB_7	双方向データ・バス	12～19	入出力	8ビットの双方向データ・バスでMPUとのデータ交信に使われる． $\overline{CS_1}$，$\overline{CS_2}$，$\overline{R}$，$\overline{W}$信号によってバス信号の開閉，データ方向などが制御される
P_{00}～P_{07}	ポート0各ビット	20～23， 25～28	入出力	8ビット汎用入出力ポート．グループ0に含まれて，コントロール・パラメータをプログラムで設定することによって，3種類の動作モードが選定できる
$\overline{CS_1}$， $\overline{CS_2}$	素子選択	29， 75	入　力	この端子に"L"レベルの信号が入力されると，DB_0～DB_7が解放されてMPUとのデータ交信が可能になる．コントロール・パラメータの書き込み，各ポートへの書き込み，各ポートからの読み出しなどがなされる． $\overline{CS_1}$＝"0"；I/O_1を選択する．$\overline{CS_2}$＝"0"；I/O_2を選択する． $\overline{CS_1}$＝"0"，$\overline{CS_2}$＝"0"として同時選択することは禁止されている
$RSLCT_0$， $RSLCT_1$	アクセス対象選択	31，32	入　力	MPUとデータ転送の際，$\overline{CS_1}$，$\overline{CS_2}$とこの信号によって，パラメータ，ポートの区別，選択がなされる
P_{20}～P_{27}	ポート2各ビット	34～40， 43	入出力	グループ0，1の各動作機能，モードによって，汎用入出力ポート，ハンドシェイク制御端子，ステータス・データ・ビット用入力端子として使われる
P_{10}～P_{17}	ポート1各ビット	44～51	入出力	8ビット汎用入出力ポート． グループ1に含まれて，コントロール・パラメータをプログラムで設定することによって，2種類の動作モードが選定できる
P_{40}～P_{47}	ポート4各ビット	54～61	入出力	8ビット汎用入出力ポート． グループ3に含まれて，コントロール・パラメータをプログラムで設定することによって，2種類の動作モードが選定できる
P_{50}～P_{57}	ポート5各ビット	62， 65～71	入出力	グループ2，3の各動作機能，モードによって汎用入出力ポート，ハンドシェイク制御端子，ステータス・データ・ビット用入力端子として使われる
R	リード	76	入　力	"L"レベル信号によって，各ポートのデータが読み出される．ポートの種類は，$\overline{CS_1}$，$\overline{CS_2}$，$RSLCT_0$，$RSLCT_1$信号により選定される

PKDI (Programmable Keyboard/Display Interface)

■ ピン接続

8279

ピン	信号		ピン	信号
1	RL₂ →		40	V_{CC} (+5V)
2	RL₃ →		39	← RL₁
3	CLK →		38	← RL₀
4	IRQ ←		37	← CNTL/STB
5	RL₄ →		36	← SHIFT
6	RL₅ →		35	→ SL₃
7	RL₆ →		34	→ SL₂
8	RL₇ →		33	→ SL₁
9	RESET →		32	→ SL₀
10	$\overline{RD}$ →		31	→ OUT B₀
11	$\overline{WR}$ →		30	→ OUT B₁
12	DB₀ ↔		29	→ OUT B₂
13	DB₁ ↔		28	→ OUT B₃
14	DB₂ ↔		27	→ OUT A₀
15	DB₃ ↔		26	→ OUT A₁
16	DB₄ ↔		25	→ OUT A₂
17	DB₅ ↔		24	→ OUT A₃
18	DB₆ ↔		23	← $\overline{BD}$
19	DB₇ ↔		22	← $\overline{CS}$
20	(0V) V_{SS}		21	← A₀

■ 特　徴

- ８０８５Ａファミリのキーボードと表示素子の制御を行う
- ６４接点キーボード・マトリクスの制御ができる
- 表示は８桁２個または１６桁の数字表示，１６桁の数字表示（もしくはそれ以下）ができる
- 左右どちらからも書き込み可能な１６バイトの表示用ＲＡＭをもっている
- ＣＰＵからプログラマブルに各種のモードが設定できる
- キー入力で割り込みを発生させることができる
- ＣＰＵの負担を減らし，入出力を必要とするアプリケーションが容易に構成できる

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜+7.0	V
入力電圧	V_{IN}	−0.5〜+7.0	V
動作温度	T_{OPR}	0〜+70	℃
保存温度	T_{STG}	−65〜+125	℃

■ ブロック図

CLK　RESET　DB₀₋₇　RD　WR　CS　C/P　IRQ

データ・バッファ

I/O制御

FIFO/センサRAMステータス

内部データ・バス

表示アドレス・レジスタ

表示RAM

制御とタイミング・レジスタ

8×8 FIFO/センサRAM

キーボード・デバイス制御

タイミングと制御

表示レジスタ

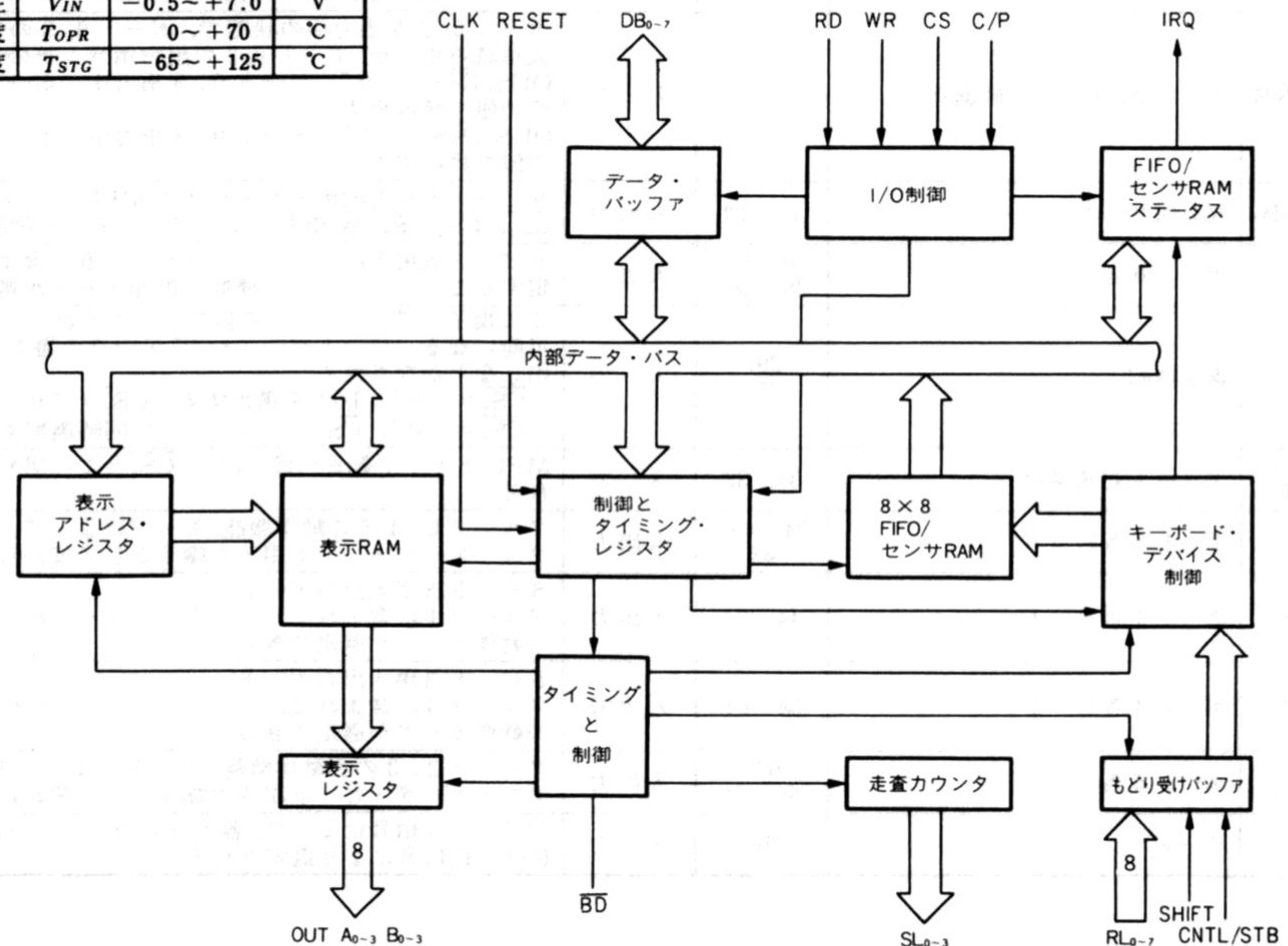
走査カウンタ

もどり受けバッファ

8　OUT A₀₋₃ B₀₋₃

$\overline{BD}$

SL₀₋₃

8　RL₀₋₇　SHIFT　CNTL/STB

■ DC特性

〔T_a=0〜+70℃, V_{CC}=+5V±5%, V_{CC}=+5V±10%(8279-5)〕

項目	測定条件	min	max	単位
V_{IL1}		−0.5	1.4	V
V_{IL2}		−0.5	0.8	V
V_{IH1}		2.2		V
V_{IH2}		2.0		V
V_{OL}	(注１)		0.45	V
V_{OH1}	(注２)	3.5		V
V_{OH2}		2.4		V
I_{IL1}	$V_{IN}=V_{CC}$		+10	μA
	V_{IN}=0V		−100	μA
I_{IL2}	$V_{IN}=V_{CC}$〜0V		±10	μA
I_{OFL}	$V_{OUT}=V_{CC}$〜0V		±10	μA

(注1) 8279, I_{OL}=1.6mA ; 8279-5, I_{OL}=2.2mA

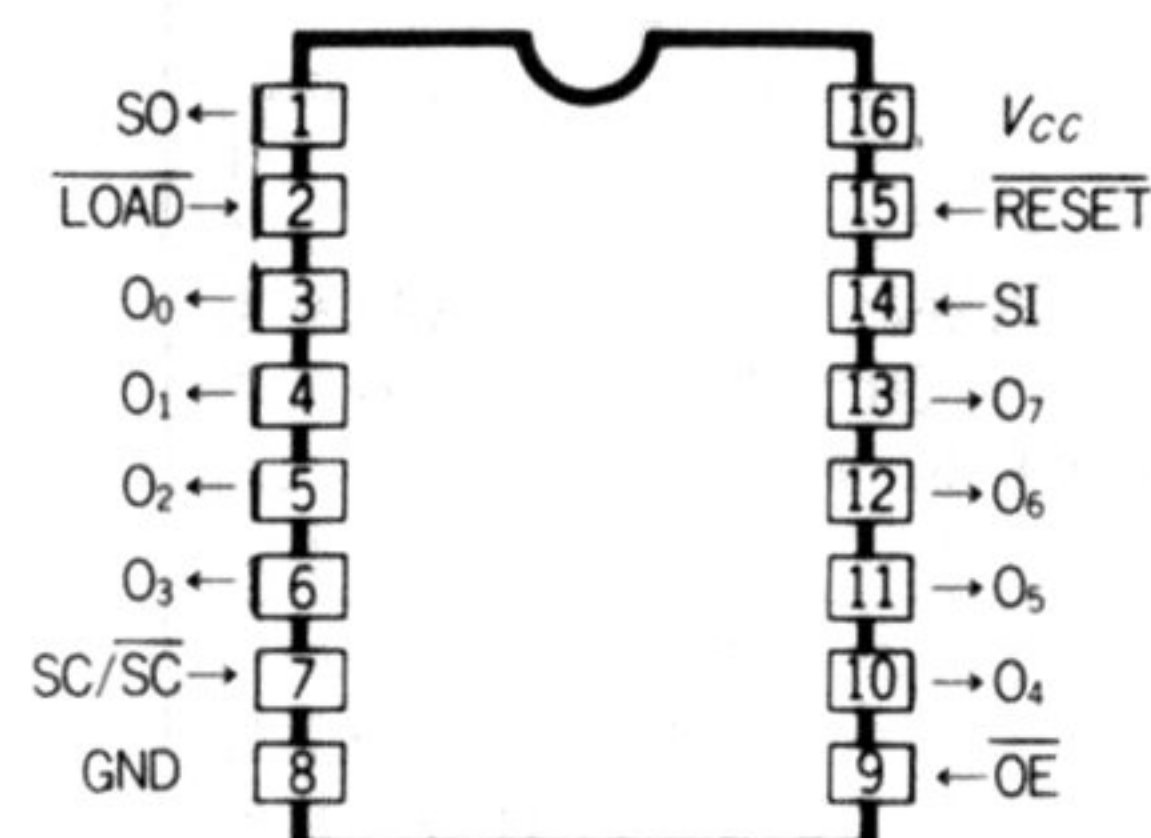
(注2) 8279, I_{OH}=−100μA ; 8279-5, I_{OH}=−400μA

■ 端子機能

端子名	ピン番号	入出力	機能
DB_0~DB_7	12~19	入出力	双方向性のデータ・バスで，コマンドとデータの転送は，このラインを通して行われる
CLK	3	入力	内部タイミングを発生させるために使用されるシステムからのクロック信号
RESET	9	入力	この端子を"H"レベルにすることによってリセットされる．リセットに続いて以下のモードにセットされる． (1) 16×8ビット表示，左置数 (2) エンコード走査キーボード，2キー・ロックアウト． クロックのプリスケール値は31にセットされる
$\overline{CS}$	22	入力	チップ・セレクト入力で，この端子を"L"レベルにすることによって，読み出し/書き込み操作をイネーブルにする
A_0	21	入力	コマンド/データ制御入力で，この端子を"H"レベルにすると，コマンドまたはステータスとして解釈され，"L"レベルにするとデータとして解釈される
$\overline{RD}$	10	入力	読み出しストローブ信号で，"L"レベルにすることによって，データ・バス・バッファをイネーブルにし，内部のデータを読み出すのに使われる
$\overline{WR}$	11	入力	書き込みストローブ信号で，"L"レベルにすることによって，データ・バス・バッファをイネーブルにし，システム・バスからのデータを書き込むのに使われる
IRQ	4	出力	割り込み要求信号で，キーボード・モードにおいては，FIFO/センサRAMに有効データがあるとき"H"レベルになる．この割り込み要求ラインはFIFO/センサRAMを読むごとに"L"になるが，有効なデータが残っていると再び"H"に戻る．センサ・モードの場合，センサの変化を検出したときはいつでも，割り込み要求ラインが，"H"になる
SL_0~SL_3	32~35	出力	キー・スイッチ，またはセンサ・マトリクスと表示ディジットを走査するのに使用される走査出力信号．これらのラインは，エンコードまたはデコードのどちらかが使用可能

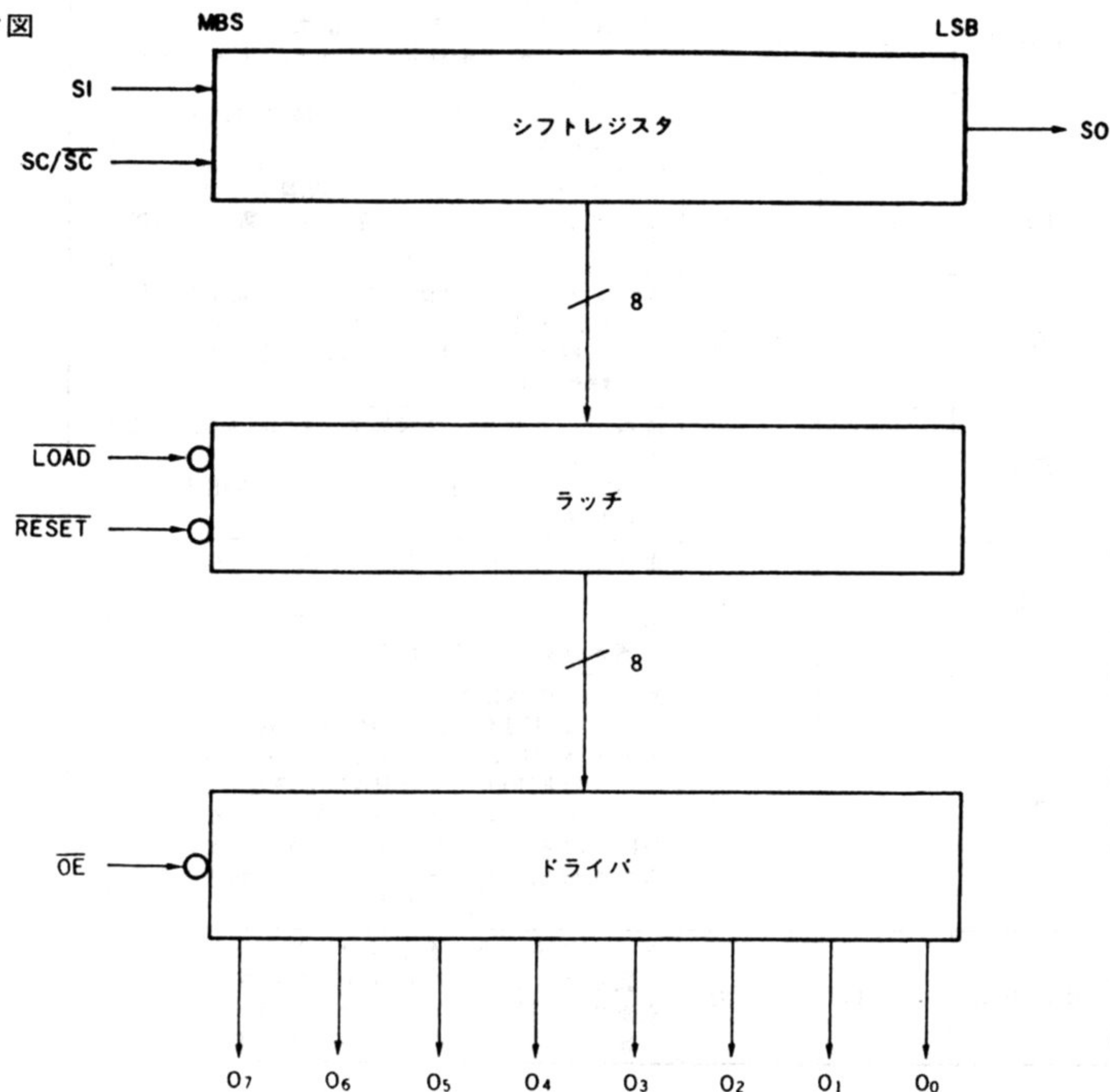
端子名	ピン番号	入出力	機能
RL_0~RL_7	38，39，1，2，5~8	入力	リターン・ライン入力で，キー・スイッチまたはセンサ・マトリックスを通して走査ラインに接続される．内部にプルアップ抵抗をもっており，スイッチが閉じて，"L"になるまで"H"レベルを保持する．また，ストローブ入力モードにおいては，8ビットの入力となる
SHIFT	36	入力	キーボード・モードにおいて，押されたキーの位置情報に加えて，キー入力データの上位から2ビット目のデータとなり，FIFOに格納されるシフト入力．内部にプルアップ抵抗をもっており，スイッチが押されて"L"になるまで"H"レベルを保持する
CNTL/STB	37	入力	キーボード・モードにおいては，押されたキーの位置情報に加えて，キー入力データの最上位ビットのデータとなり，FIFOに格納されるコントロール入力．ストローブ入力モードにおいては，リターン・ラインのデータをFIFOに格納するストローブ入力となる（立ち上がりエッジ）．内部にプルアップ抵抗をもっており，スイッチが押されて"L"になるまで，"H"レベルを保持する
$OUTA_0$~A_3	27~24	出力	これらの二つのポートは，16×4ビット表示用リフレッシュ・レジスタとして使用される出力端子．これらの出力データは，時分割表示として使用するために，走査ライン（SL_0~SL_3）と同期化されている．また，4ビット・ポートは，それぞれ独立にブランキングすることもできる．これらの二つのポートは，一つの8ビット・ポートとしても使用することができる
$OUTB_0$~B_3	31~28	出力	（同上）
$\overline{BD}$	23	出力	表示をブランキングするために使用する出力端子．ディジットを切り替えている間，またはブランキング・コマンドによって表示をブランクする

OE (Output Expander)

■ ピン接続

注）MB88307A の場合は SC 端子，
MB88309A の場合は $\overline{SC}$ 端子．

■ 特　徴

・シリアル・パラレル変換機能を持つ出力ポート拡張用ＬＳＩ
・９本の中耐圧（最大+15V）出力ポート内蔵
・シリアル・インターフェース内蔵で１チップ・マイコンに接続可能
・カスケード接続により８本単位で出力ポートが拡張可能
・ＬＥＤを直接ドライブ可能
・出力ポートはN-MOSオープン・ドレイン出力
・データ取り込み方式
　MB88307A：シフト・クロックの立ち上がりエッジ
　MB88309A：シフト・クロックの立ち下がりエッジ

■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	GND−0.3~7.0	V
入力電圧	V_{IN}	GND−0.3~V_{CC}+0.3	V
消費電力	P_D	0.2	W
動作温度	T_{OPR}	−40~85	℃
保存温度	T_{STG}	−55~150	℃

■ DC 特性

（T_a＝−40～85℃，V_{CC}＝3.0～5.5 V）

記号	測定条件	max/min*	単位
V_{IL}	f＝4 MHz	0.3× V_{CC}	V
V_{IH}	f＝4 MHz	0.7× V_{CC}	V
V_{OL}	I_{OL}＝5 mA	0.6	V
I_{OFL}	V_{OUT}＝0~15 V, N-chTr オフ	±10	μA
I_{IL}	V_{IN}＝0~ V_{CC}	±10	μA

■端子機能

端子名	ピン番号	入出力	機　　能
SO	1	出力	シリアル・データ出力端子. 中耐圧の NMOS オープン・ドレイン端子.
$\overline{\mathrm{LOAD}}$	2	入力	パラレル・データ・ラッチ信号制御端子. シフトレジスタからラッチへ，データ・ロード信号“L”でアクティブ“H”で保持（ヒステリシス入力）.
SC/$\overline{\mathrm{SC}}$	7	入力	シフト・クロック入力端子（ヒステリシス入力）. SC の立ち上がり（MB88307A の場合），または $\overline{\mathrm{SC}}$ の立ち下がり（MB88309A の場合）によって SI 端子へ入力されたデータ・ビットはシフトレジスタの MSB へ入力され，シフトレジスタの他のビットは LSB へ 1 ビット分シフトする．シフトレジスタの LSB は SO 端子へ出力される.
$\overline{\mathrm{OE}}$	9	入力	出力ポートの 3 ステート・コントロール入力端子. “L”で出力アクティブ，“H”でハイ・インピーダンスになる.
SI	14	入力	シリアル・データ入力端子.
$\overline{\mathrm{RESET}}$	15	入力	リセット入力端子（ヒステリシス入力）. “L”で出力ラッチは“H”に，出力はハイ・インピーダンスになる.
0_7〜0_0	13, 12, 11 10, 6, 5 4, 3	出力	出力ポート. 中耐圧の NMOS オープン・ドレイン端子.
V_{cc}	16	—	電源供給端子.
V_{ss}	8	—	GND 端子

I／O Expander

東芝

■ピン接続

GND	1	16	VDD
I/O-1	2	15	STB
I/O-2	3	14	CK
I/O-3	4	13	SI
I/O-4	5	12	SO
I/O-5	6	11	I/O-10
I/O-6	7	10	I/O-9
I/O-7	8	9	I/O-8

TC9173P／F

GND	1	16	VDD
OP-1	2	15	STB
OP-2	3	14	CK
OP-3	4	13	SI
OP-4	5	12	SO
OP-5	6	11	I/O-10
OP-6	7	10	I/O-9
OP-7	8	9	I/O-8

TC9174P／F

■特　徴

・10本のポート端子を持つI／Oエキスパンダ
・TC9173は入力／出力ポート拡張用
　TC9174は出力専用ポート拡張用
・1ビット単位で入力／出力の設定が可能
・各ポートはN-chオープンドレイン構造のドライバを内蔵（シンク電流　10mA Min）
・TC9174の出力ポートは高耐圧構造（耐圧　18V Min）
・TC9174では出力データをSO端子によりコントローラ側へ取り入れ可能
・各ポートの制御は4本のシリアル・バス・ラインで行う

■最大定格

項目	記号	定　格	単位
電源電圧	V_{DD}	-0.3〜+7.0	V
入力電圧	V_{IN}	-0.3〜V_{DD}+0.3	V
動作温度	T_{OPR}	-30〜+75	℃
保存温度	T_{STG}	-55〜+125	℃

■ DC 特性

TC9173　（Ta＝25℃，V_{DD}＝5V）

記号	測定条件	max/min*	単位
V_{IL}	I/Oﾎﾟｰﾄ	V_{DD}×0.3	V
V_{IH}	I/Oﾎﾟｰﾄ	V_{DD}×0.7*	V
V_{IL}	SI, CK, STB	標準2.0	V
V_{IH}	SI, CK, STB	標準3.0	V
I_{IL}	I/Oﾎﾟｰﾄ, V_{IL}＝0	−1.0	μA
I_{IH}	I/Oﾎﾟｰﾄ, V_{IH}＝5V	1.0	μA
I_{OL}	I/Oﾎﾟｰﾄ, V_{OL}＝1.0V	10.0*	mA

TC9174　（Ta＝25℃，V_{DD}＝5V）

記号	測定条件	max/min*	単位
V_{IL}	SI, CK, STB	標準2.0	V
V_{IH}	SI, CK, STB	標準3.0	V
I_{OL}	OUTﾎﾟｰﾄ, V_{OL}＝1.0V	10.0*	mA
I_{OH}	SO, V_{OH}＝4.0V	−1.0*	mA

■ブロック図

（注）端子名の（　）内の名称はTC9174P, TC9174F用

■端子機能

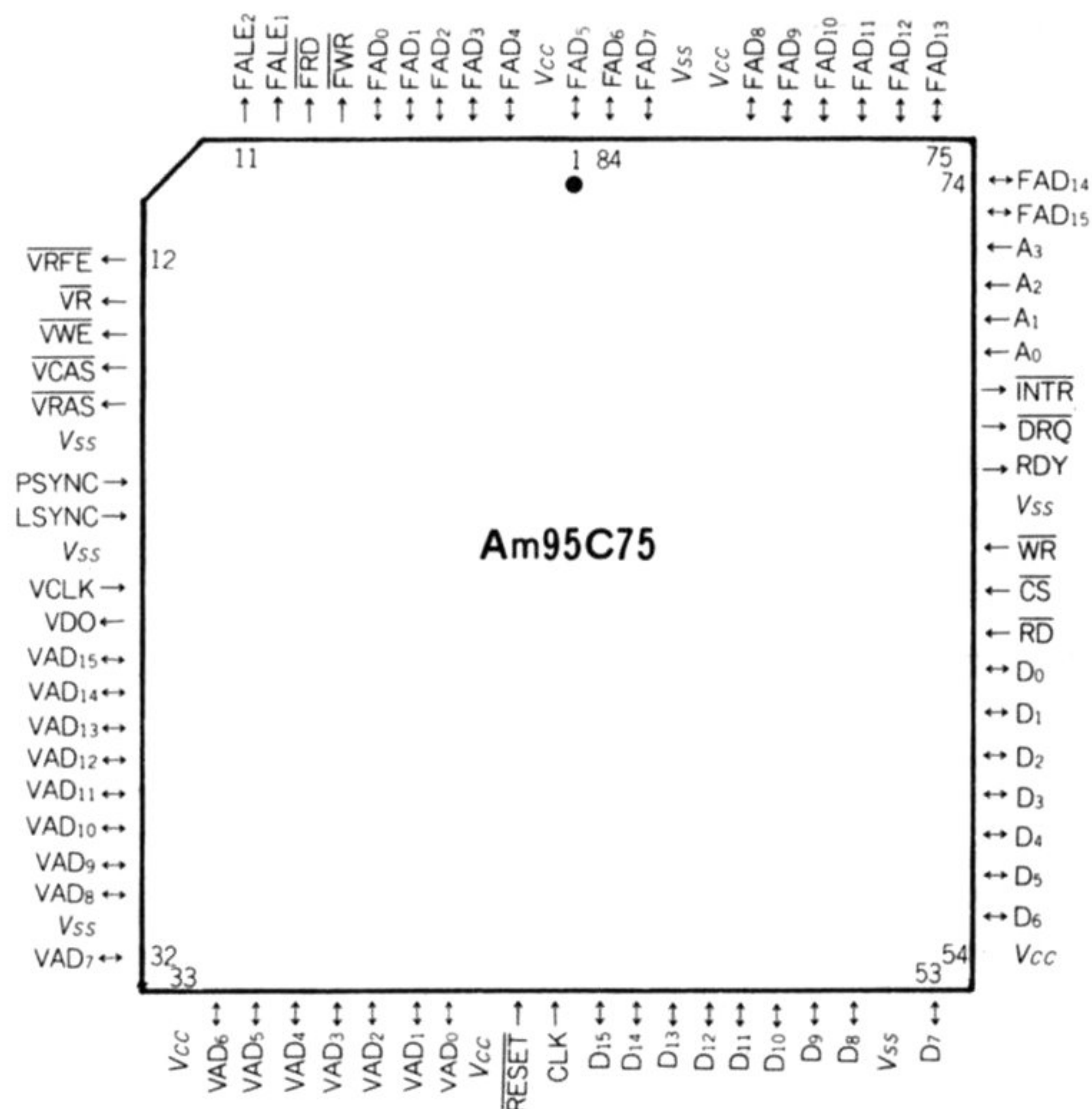
端子番号	記　号	端子名称	機能・動作説明	備　考
2	I/O-1 (OP-1)	TC9173P, TC9173F：汎用I/Oポート No.1～10 (　)内は TC9174P, TC9174F：汎用出力ポート No.1～10	TC9173P, TC9173F： 汎用I/Oポート プログラムにて、1ビット単位で、入力/出力の設定が可能です。 ● 入力時は、CMOS入力 ● 出力時は、N-chオープンドレイン出力（大電流駆動、シンク電流　10mA Min.）	I/O
3	I/O-2 (OP-2)			
4	I/O-3 (OP-3)			
5	I/O-4 (OP-4)			
6	I/O-5 (OP-5)			
7	I/O-6 (OP-6)		TC9174P, TC9174F： 汎用出力ポート 高耐圧·大電流駆動用N-chオープンドレイン出力 （シンク電流　10mA Min. 耐　　圧　18V Min.）	OP
8	I/O-7 (OP-7)			
9	I/O-8 (OP-8)			
10	I/O-9 (OP-9)			
11	I/O-10 (OP-10)			
12	SO	シリアル出力	シリアルI/Oポートのデータ出力ポートで、P-chオープンドレイン出力になっています。	VDD, SO
13	SI	シリアル入力	シリアルI/Oポートのデータ入力ポートで、シュミット入力になっています。	SI
14	CK	クロック信号入力	シリアルI/Oポートのクロック信号入力ポートで、シュミット入力になっています。	CK
15	STB	ストローブ信号入力	シリアルI/Oポートのストローブ信号入力ポートで、シュミット入力になっています。	STB
16	V_{DD}	電源印加端子	5V±10% を印加します。	—
1	GND			

Printer Controller

■ ピン接続

Am95C75

■ 特　徴

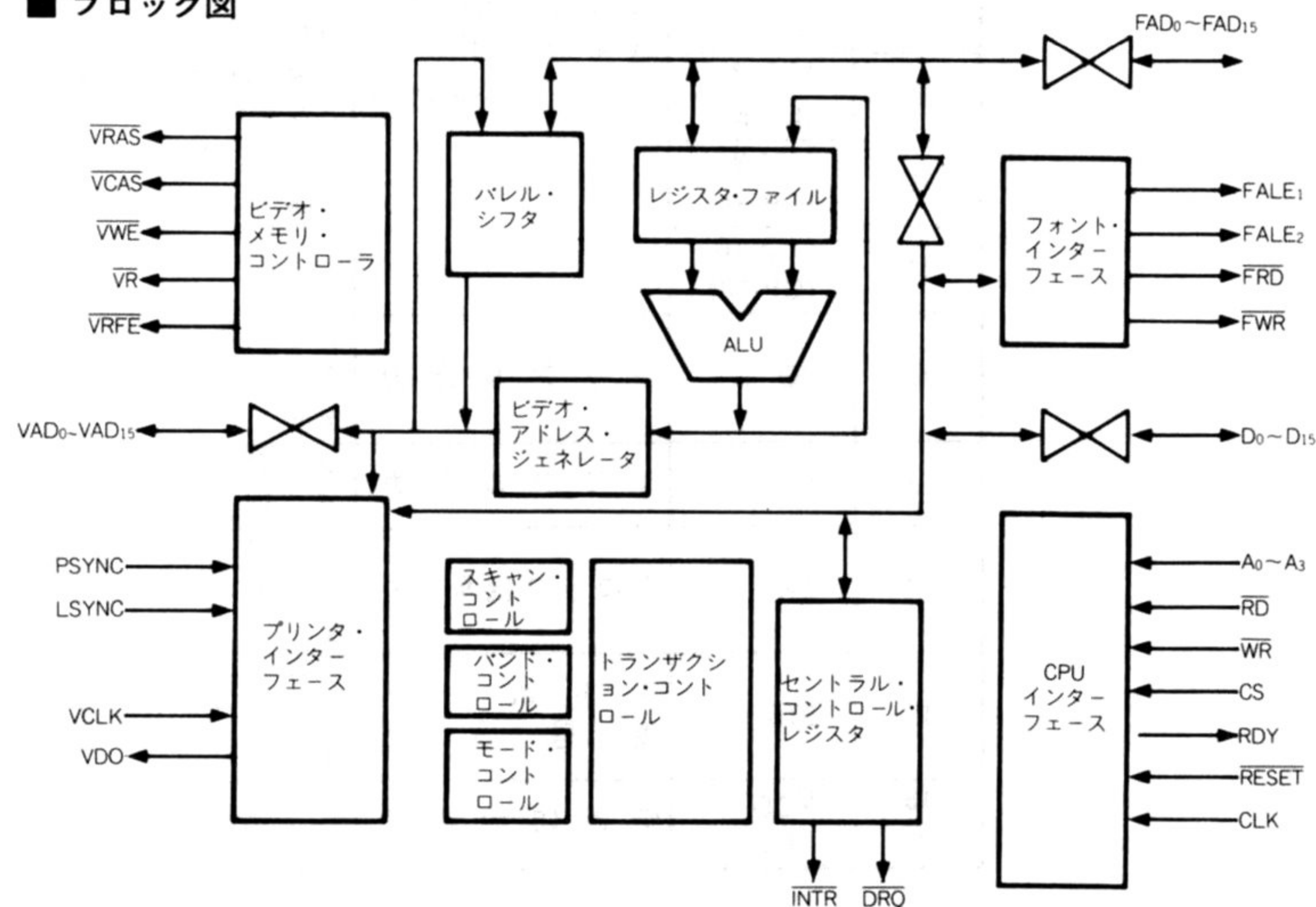
- ２０Ｍｂｐｓのテキストおよびグラフィックの混在プリントが可能なラスタ・プリンタ・コントローラ
- ホスト，フォント・メモリ，ビデオ・メモリと独立にデータの転送が可能なトリプル・バス・アーキテクチャを採用
- ２４ビットのアドレッシングが可能で，16K×16Kピクセル，16Mワード・フォント・メモリ・スペースを提供する
- プリンタ・ドライバとの同期または非同期のインターフェースが可能
- リフレッシュ機能をもったＤＲＡＭコントローラとの併用が可能

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.5〜V_{CC}+0.3	V
動作温度	T_{OPR}	−55〜125	°C
保存温度	T_{STG}	−65〜150	°C

■ DC特性

（T_a＝0〜70°C，V_{CC}＝5V±5%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.4*	V
V_{OL}	I_{OL}＝3.2μA	0.4	V
V_{OH}	I_{OH}＝250μA	2.4*	V
I_{OL}	V_{OUT}＝0.4〜V_{CC}	±10	μA
I_{IL}	V_{IN}＝0.4〜V_{CC}	±10	μA
C_{IN}		25	pF

■ ブロック図

■ 端子機能

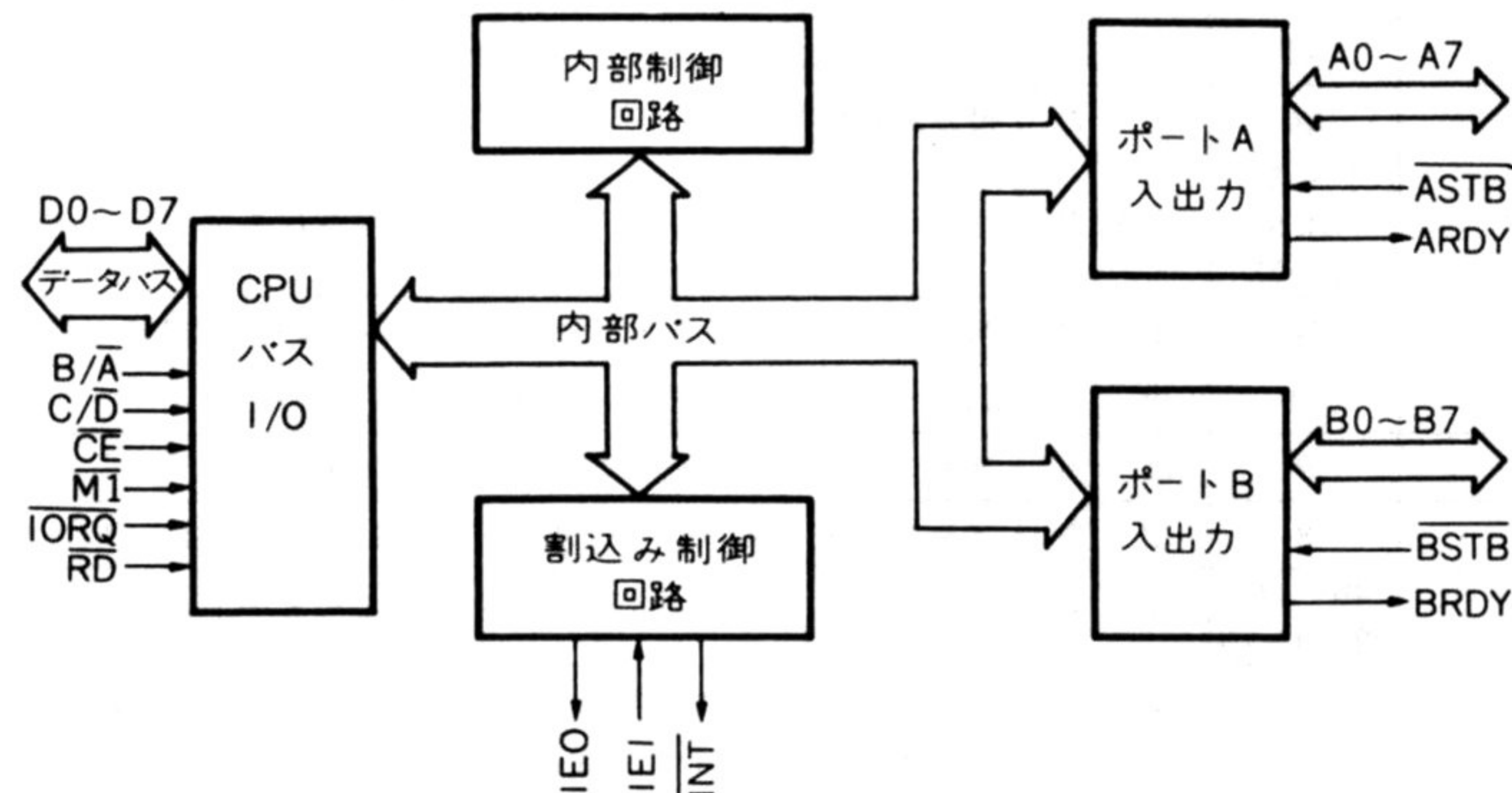
端子名	名　称	ピン番号	入出力	機　能
A_0～A_3	アドレス・バス	69～72	入　力	内部レジスタ選択用アドレス・バス
CLK	クロック	43	入　力	CPUとの同期をとるためのシステム・クロック入力
$\overline{\mathrm{CS}}$	チップ・セレクト	63	入　力	読み出し，書き込み時のチップ・セレクト
D_0～D_{15}	データ・バス	61～55, 53, 51～44	入出力	ホスト・システムとの接続用データ・バス
$\overline{\mathrm{DRQ}}$	DMAリクエスト	67	出　力	データ転送に必要なアドレス・データを受け入れ可のとき出力されるDMA要求
$\overline{\mathrm{INTR}}$	インタラプト	68	出　力	割り込み信号．CPUへの割り込み条件発生時に“L”となる
$\overline{\mathrm{RD}}$	リード	62	入　力	読み出し信号．“L”アクティブ
RDY	レディ	66	出　力	読み出し，書き込み準備がととのったことを示す．“H”アクティブ
$\overline{\mathrm{RESET}}$	リセット	42	入　力	リセット入力．4クロック・サイクル以上“L”のとき，内部はリセットされる
$\overline{\mathrm{WR}}$	ライト	64	入　力	書き込み信号．“L”アクティブ
FAD_0～FAD_{15}	フォント・アドレス/データ	7～3, 1, 84, 83, 80～73	入出力	フォント・メモリ・アクセス時に使用されるアドレス/データ・バス
$FALE_1$	FAラッチ・イネーブル1	10	出　力	24ビットのフォント・メモリ・アドレスの下位16ビットがバス上にあるとき“H”となる
$FALE_2$	FAラッチ・イネーブル2	11	出　力	24ビットのフォント・メモリ・アドレスの上位8ビットがバス上にあるとき“H”となる
$\overline{\mathrm{FRD}}$	フォント・リード	9	出　力	フォント・メモリからデータを読み出すときに“L”となる
$\overline{\mathrm{FWR}}$	フォント・ライト	8	出　力	フォント・メモリにデータを書き込むときに“L”となる
VAD_0～VAD_{15}	ビデオ・アドレス/データ	40～34, 32, 30～23	入出力	ビデオ・メモリ・アクセス時に使用されるアドレス/データ・バス
$\overline{\mathrm{VCAS}}$	ビデオ・カラム・ストローブ	15	出　力	ビデオ・メモリのカラム・アドレスがVAD_0～VAD_{15}上にあることを示すストローブ信号
$\overline{\mathrm{VR}}$	ビデオ・リード	13	出　力	ビデオ・メモリのデータを読み出すときに“L”となる．データをVAD_0～VAD_{15}上に出力することを促す
$\overline{\mathrm{VRAS}}$	ビデオ・ロー・ストローブ	16	出　力	ビデオ・メモリのロウ・アドレスがVAD_0～VAD_{15}上にあることを示すストローブ信号
$\overline{\mathrm{VREF}}$	ビデオ・リフレッシュ	12	出　力	ビデオ・メモリ・リフレッシュ動作の間“L”となる
$\overline{\mathrm{VWE}}$	ビデオ・ライト・イネーブル	14	出　力	ビデオ・メモリへの書き込み時に“L”となる．データがVAD_0～VAD_{15}上にあることを示す
LSYNC	ライン・シンク	19	入　力	スキャン・ライン・シーケンスのスタートに使用するライン同期信号
PSYNC	ページ・シンク	18	入　力	Y-マージン・コントロール・プロセスをスタートするのに使用するページ同期信号
VCLK	ビデオ・クロック	21	入　力	VDOのピクセル・データのシリアル伝送速度を決めるクロック
VDO	ビデオ・データ出力	22	出　力	シリアル・ピクセル・データ出力

PIO〔Parallel Input/Output Controller〕

■ピン接続

信号	ピン		ピン	信号
D_2 ↔	1	Z8420	40	↔ D_3
D_7 ↔	2		39	↔ D_4
D_6 ↔	3		38	↔ D_5
$\overline{CE}$ →	4		37	← $\overline{M1}$
$C/\overline{D}$ →	5		36	← $\overline{IORQ}$
$B/\overline{A}$ →	6		35	← $\overline{RD}$
PA_7 ↔	7		34	↔ PB_7
PA_6 ↔	8		33	↔ PB_6
PA_5 ↔	9		32	↔ PB_5
PA_4 ↔	10		31	↔ PB_4
(0V)GND	11		30	↔ PB_3
PA_3 ↔	12		29	↔ PB_2
PA_2 ↔	13		28	↔ PB_1
PA_1 ↔	14		27	↔ PB_0
PA_0 ↔	15		26	V_{CC}(+5V)
$\overline{ASTB}$ →	16		25	← CLK
$\overline{BSTB}$ →	17		24	← IEI
ARDY ←	18		23	→ $\overline{INT}$
D_0 ↔	19		22	→ IEO
D_1 ↔	20		21	→ BRDY

■特　徴

・TTLコンパチブルな電気的特性
・2組の周辺インターフェース・ポートをもち，それぞれが8ビットの双方向データ線と2本のハンドシェイク用制御線をもつ
・Z80のモード2割り込み用ベクトルを発生する
・デイジィ・チェーン式割り込み制御ロジックを内蔵
・四つのモードをもつ
　モード0；バイト出力モード
　モード1；バイト入力モード
　モード2；バイト双方向バス・モード（ポートAのみ可能）
　モード3；ビット制御モード
（注）PIOの割り込みを使用する時はモード2で使用しなくてはならない

■ブロック図

ポートA, Bのモードの可能な組み合わせ（○；可　×；不可）

ポートB＼ポートA	モード0	モード1	モード2	モード3
モード0	○	○	×	○
モード1	○	○	×	○
モード2	×	×	×	×
モード3	○	○	○	○

■最大定格

項　目	記号	定　格	単位
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−60～+150	℃
すべてのピン（対GND端子）		−0.3～+7.0	V

■DC特性

項目	max/min*	単位
V_{IL}	0.8	V
V_{IH}	2.0*	V
V_{OL}	0.4 /2mA	V
V_{OH}	2.4*/250μA	V
C_I	7	pF
C_O	10	pF

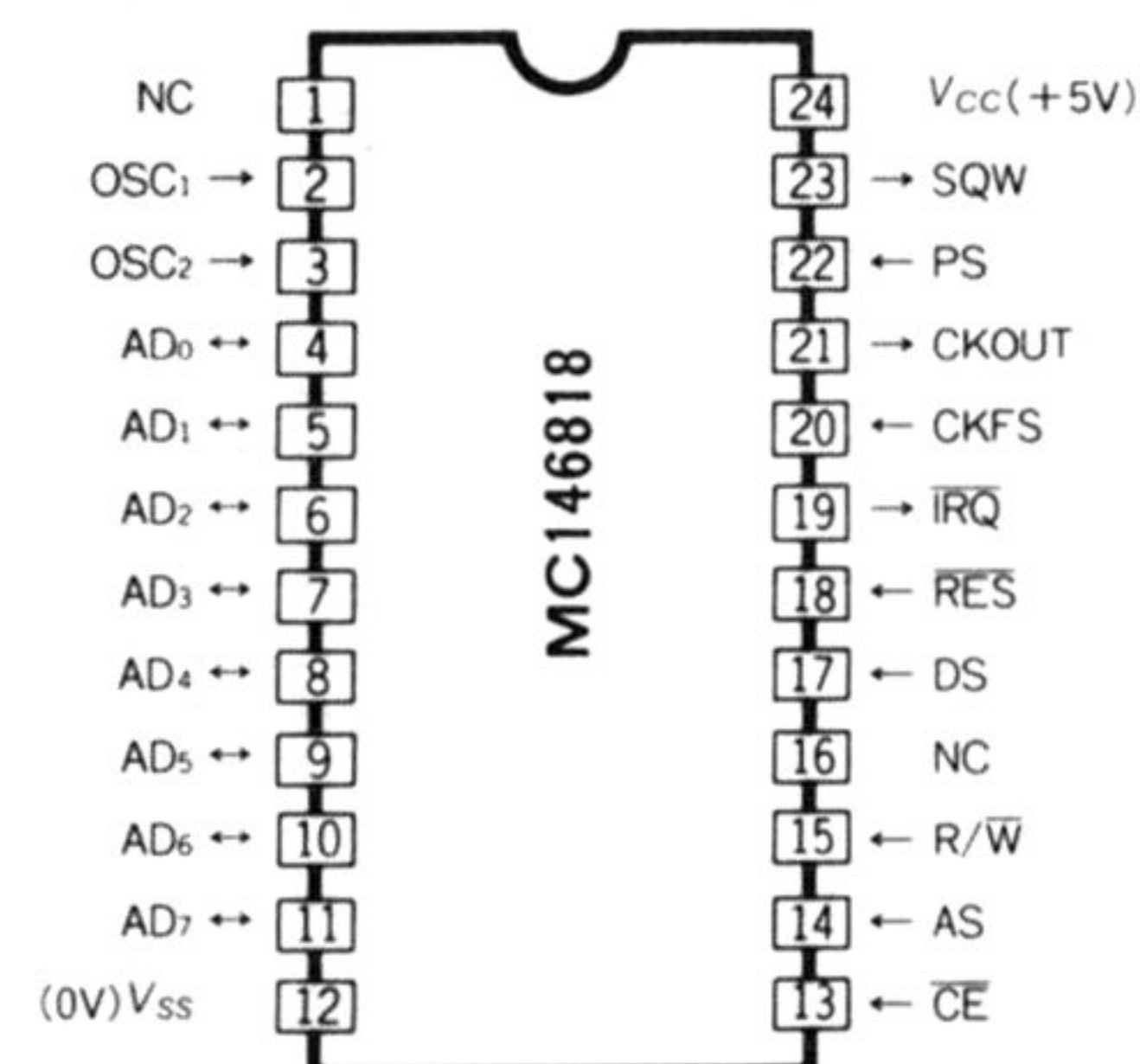
■CLK端子

項目	max/min*	単位
V_{ILC}	0.45	V
V_{IHC}	(V_{CC}−0.6)*	V
C_{CLK}	12	pF

■端子機能

端子名	ピン番号	入出力	機能
D_0～D_7	1～3, 19～20, 38～40	入出力 3ステート	8ビットの双方向性バス．MPUとPIO間でデータの転送を行う
$\overline{CE}$	4	入　力	チップ・イネーブル．MPUとPIOのアクセス時に使用．MPUがこのPIOを選択したときに“L”レベルになる
$C/\overline{D}$	5	入　力	コントロール/データ・セレクト．データ・バス上の信号が制御信号かデータかを指示
$B/\overline{A}$	6	入　力	ポートA/ポートB　セレクト．MPUとPIO間で信号を転送するときのPIOのポートを選択
PA_0～PA_7	7～10, 12～15	入出力 3ステート	ポートAバス．PIOのポートAと外部装置間でデータの転送を行う
$\overline{ASTB}$	16	入　力	ポートA　ストローブ・パルス．PIOのポートAと外部装置間のアクセス時に使用
$\overline{BSTB}$	17	入　力	ポートB　ストローブ・パルス．PIOのポートBと外部装置間のアクセス時に使用
ARDY	18	出　力	レジスタA　レディ．PIOのポートAと外部装置間のアクセス時に使用
$\overline{M1}$	37	入　力	マシン・サイクル1．$\overline{M1}$と$\overline{IORQ}$が共に“L”レベルのとき，MPUが割り込みアクノリッジ・サイクルを実行していることを示す

端子名	ピン番号	入出力	機能
IEI	24	入　力	割り込みイネーブル入力．IEO，$\overline{INT}$と共にデイジィ・チェーンの割り込み制御信号を形成する
$\overline{INT}$	23	出　力	割り込みリクエスト．MPUへの割り込み要求信号
IEO	22	出　力	割り込みイネーブル出力．IEI，$\overline{INT}$と共にデイジィ・チェーンの割り込み制御信号を形成する
$\overline{IORQ}$	36	入　力	入出力リクエスト．MPUとPIO間のアクセス時に使用．書き込みサイクル，読み出しサイクル時に，I/Oアドレスがアドレス上に乗っているときに“L”レベルになる
$\overline{RD}$	35	入　力	リード信号．MPUとPIO間のアクセス時に使用．転送の方向を制御する
PB_0～PB_7	27～34	入出力 3ステート	ポートB　バス．PIOのポートBと外部装置間でデータの転送を行う
CLK	25	入　力	システム・クロック．単相のクロック入力
BRDY	21	出　力	レジスタB　レディ．PIOのポートBと外部装置間のアクセス時に使用

RTC (Real Time Clock Plus RAM)

■ ピン接続

MC146818

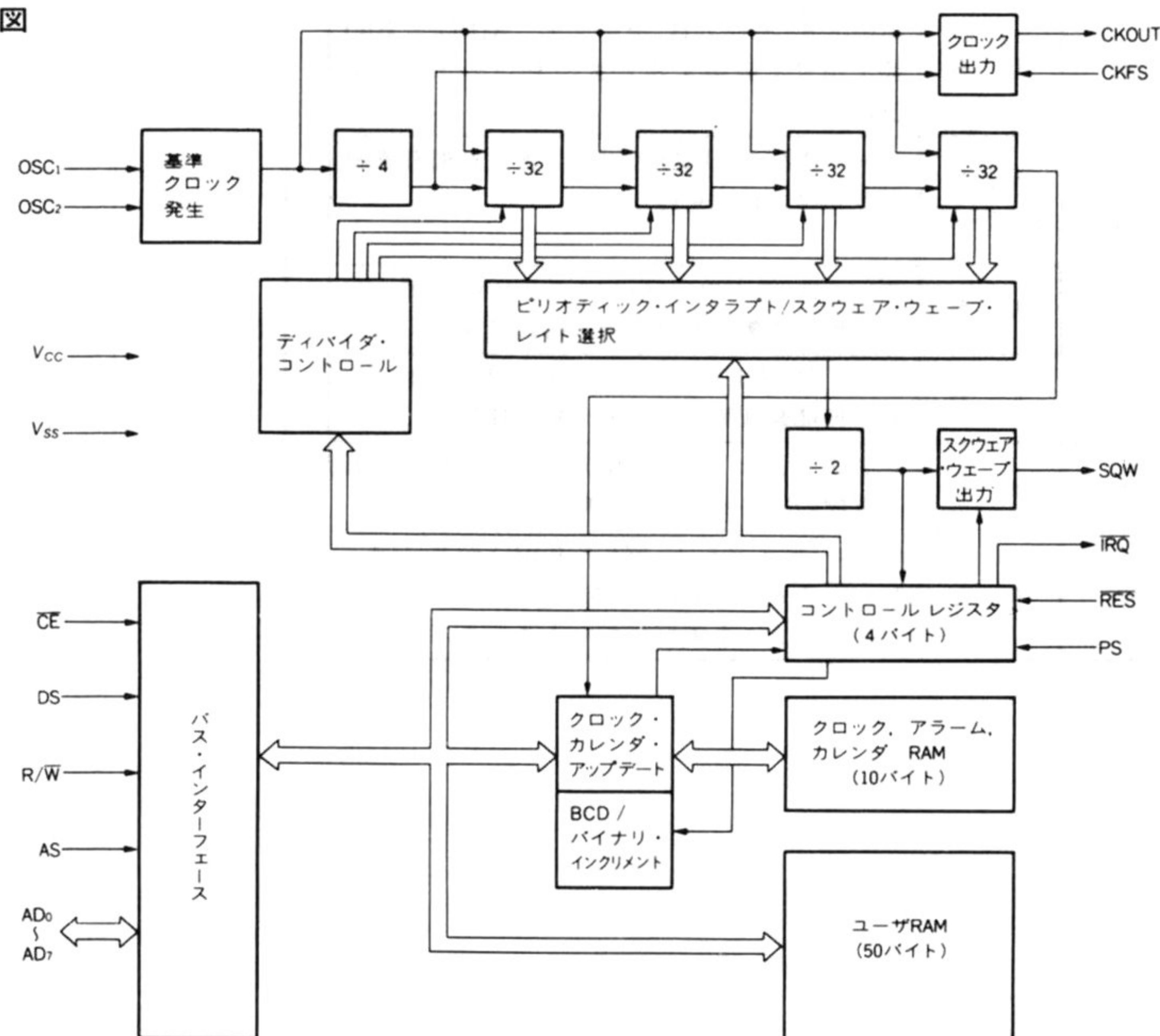
ピン	信号	ピン	信号
1	NC	24	V_{CC}(+5V)
2	OSC_1 →	23	→ SQW
3	OSC_2 →	22	← PS
4	AD_0 ↔	21	→ CKOUT
5	AD_1 ↔	20	← CKFS
6	AD_2 ↔	19	→ $\overline{IRQ}$
7	AD_3 ↔	18	← $\overline{RES}$
8	AD_4 ↔	17	← DS
9	AD_5 ↔	16	NC
10	AD_6 ↔	15	← $R/\overline{W}$
11	AD_7 ↔	14	← AS
12	(0V)V_{SS}	13	← $\overline{CE}$

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～+7.0	V
入力電圧	V_{IN}	−0.3～+7.0	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−55～+150	℃

■ 特　徴

- 時計，カレンダ機能，秒，分，時間，日付け，曜日，年月のカウント
- ６４バイトのアドレス空間を使用
  - クロック，アラーム，カレンダＲＡＭ：１０バイト
  - コントロール・レジスタ：４バイト
  - 汎用ユーザＲＡＭ：５０バイト
- ３種のインタラプト
  - ピリオディック・インタラプト
  - アラーム・インタラプト
  - アップデイト・エンディッド・インタラプト
- 方形波出力
- ３種の基準クロックを使用できる
  4.194304MHz, 1.048576MHz, 32.768kHz
- 時計，カレンダのバイナリ，ＢＣＤ表示切り替え可能
- ２４時間制／１２時間制の選択可能
- うるう年自動補正回路内蔵
- マルチプレクス・バスにより，６８０１／６３０１と直結可能
- ８０８５とのインターフェース回路内蔵
- バッテリ・バックアップ動作可能

■ ブロック図

■ 端子機能

端 子 名	ピン番号	入 出 力	機　　能
AD_0～AD_7	4～11	入出力	アドレス情報，またはデータ入出力のための双方向性データ・バス．データ・バスは3ステート出力バッファとなっており，データを出力する以外はハイ・インピーダンス状態
AS	14	入　力	マルチプレクス・アドレス・バスからアドレス情報を取り込むためのストローブ信号．アドレス情報は，ASの立ち下がりで取り込まれる
DS	17	入　力	この信号が“H”期間にデータが出力される．またこの信号の立ち下がりでデータが書き込まれる．80系の場合は$\overline{RD}$信号を入力
R/W	15	入　力	データ転送の方向を制御．CPUがデータをリードする場合，この信号を“H”にし，データを書き込むときこの信号を“L”にする．80系の場合$\overline{WR}$信号を入力する
$\overline{CE}$	13	入　力	CPUは$\overline{CE}$が“L”レベルのときのみアクセス可能．この信号は1サイクルの間“L”レベルが確定している必要がある
$\overline{IRQ}$	19	出　力	割り込みを要求する信号．この信号はコントロール・レジスタBのインタラプト・イネーブル・ビット(ビット4～6)がセットされているとき，ステータス・ビットに割り込み要因がセットされると“L”レベルになる
$\overline{RES}$	18	入　力	$\overline{RES}$が“L”レベルになると，内部レジスタおよびRAMへの書き込み/読み出しが禁止される．$\overline{RES}$はクロック・カレンダRAMの各機能には影響を与えない
PS	22	入　力	コントロール・レジスタDのVRTビットの制御に使用．PSが“L”レベルになるとVRTビットは“0”にクリアされる

端 子 名	ピン番号	入 出 力	機　　能
CKOUT	21	出　力	基準クロック信号を÷1または÷4だけ分周したクロックを出力
CKFS	20	入　力	CKOUTの出力信号分周の比率を指定する入力信号
SQW	23	出　力	内部分周回路で発生した方形波を出力する端子．コントロール・レジスタAのRS_0～RS_3ビットにより22段のうち15段の分周回路の出力を選択し，この端子より出力
OSC_1，OSC_2	2，3	入　力	水晶振動子または外部基準クロックを接続するための入力端子

■ バッテリ・バックアップ動作 DC特性

項　目		記号	測　定　条　件		min	typ	max	単位
電　源　電　圧		V_{CCL}			2.7		4.5	V
電源電圧	水晶発振	I_{CCL}*	$V_{CCL}=3.0V$ SQW:ディセーブル CKOUT:f_{osc}(無負荷)	4MHz			600	μA
				1MHz			350	
				32kHz		50	100	
	外部クロック			4MHz			500	
				1MHz			150	
				32kHz		30	70	
入力“H”レベル電圧		V_{IHL}	$V_{CCL}=2.7$～$3.5V$ $V_{CCL}=3.5$～$4.5V$	$\overline{CE}$,CKFS,PS	$0.7\times V_{CCL}$ 2.5		V_{CCL}	V
				$\overline{RES}$,$\overline{OSC_1}$	$0.8\times V_{CCL}$		V_{CCL}	V
入力“L”レベル電圧		V_{ILL}		CKFS,PS $\overline{RES}$,$\overline{OSC_1}$	−0.3		0.5	V
出力“H”レベル電圧		V_{OHL}	$I_{OH}=-800mA$	SQW,CKOUT	$0.8\times V_{CCL}$			V
出力“L”レベル電圧		V_{OLL}	$I_{OL}=800mA$	SQW,CKOUT IRQ			0.5	V

SRTC (Serial Real Time Clock)

■ピン接続

ピン	信号	ピン	信号
1	V_{BAT} →	16	V_{CC}
2	$\overline{POR}$ ↔	15	← TEST
3	$\overline{INT}$ ←	14	→ $XTAL_1$
4	SCK →	13	← $XTAL_2$
5	SDI →	12	← $\overline{PWRSW}$
6	SDO ←	11	→ NUC
7	CE →	10	→ $\overline{PSE}$
8	GND	9	→ PSE

■特　徴

- MC68HC68T1と同等機能を内蔵し、オペレーションを簡素化したリアル・タイム・クロック
- 自動閏年補正機能付きの完全なクロック
- ６４バイトのＲＡＭ内蔵
- 最小計時電圧は２．２Ｖ
- ＣＰＵ出力によって規則正しいパワー・アップ／ダウンを実行
- シリアル・インターフェース・オペレーション

■ブロック図

XTAL IN
XTAL OUT
オシレータ
32.768 kHz
15ビット・デバイダ
1 Hz
クロック ステータス／インタラプト＆コントロール・ロジック
$\overline{INT}$
TEST
SDO
SDI
SCK
CE
シリアル・インターフェース
32ビット・ラッチ
32ビット・カウンタ
32ビット・コンパレータ
6ビット秒 2ビット秒 6ビット分 5ビット時 カウンタ
32ビット・アラーム・ラッチ
64×8 RAM
$\overline{PWRSW}$
V_{BAT}
$\overline{POR}$
V_{DD}
V_{SS}
パワー・センス＆パワー・サプライ・コントロール・ロジック
PSE
$\overline{PSE}$

■最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜6.0	V
入力電圧	V_{IN}	−0.5〜V_{CC}+0.5	V
消費電力	P_D	0.5	W
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−65〜150	℃

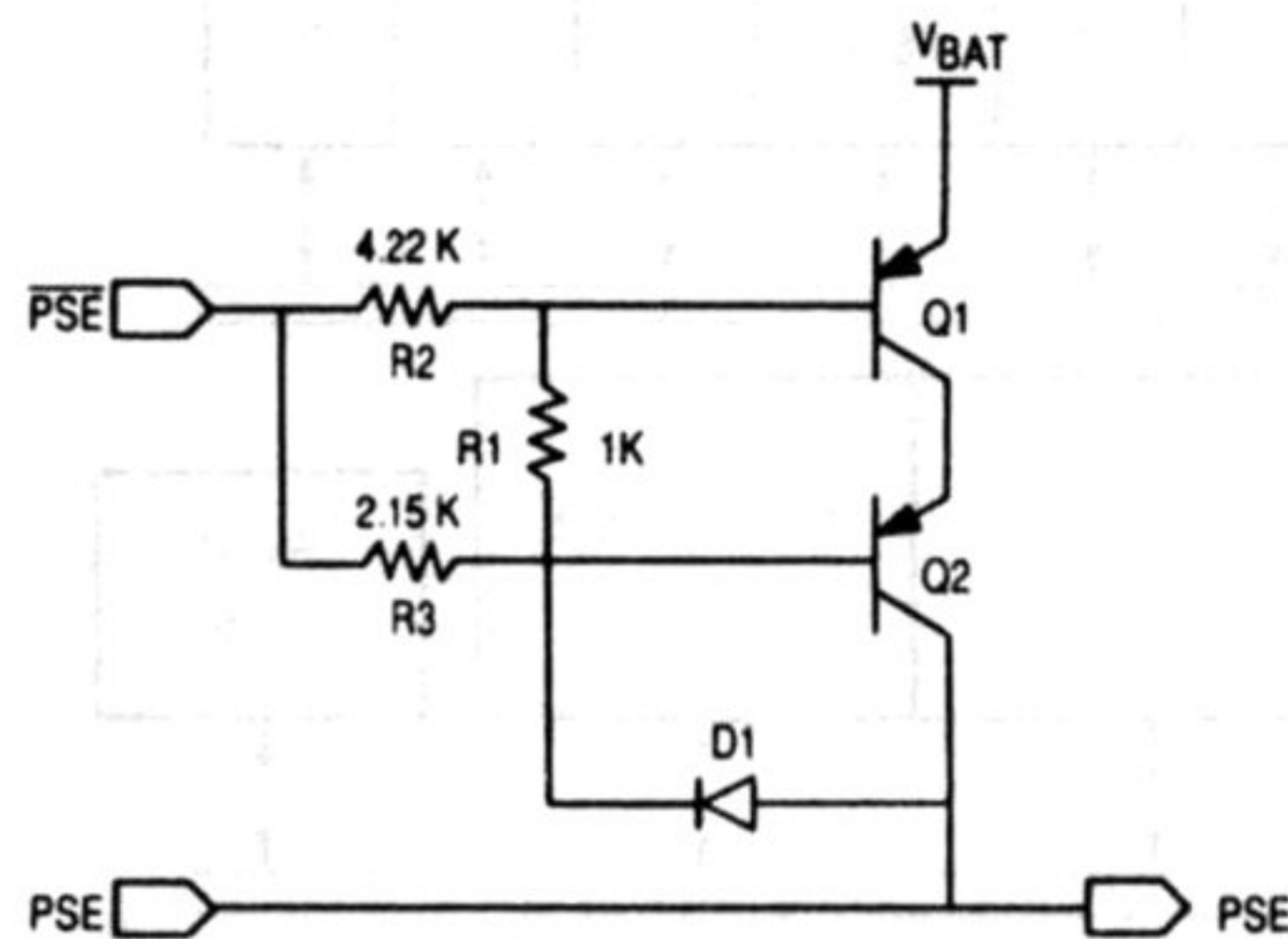
■DC特性

（T_a＝0〜70℃，V_{CC}＝5 V±10％）

記号	測定条件	max/min*	単位
V_{IL}		1.35	V
V_{IH}		4.2*	V
V_{OL}	I_{OL}＝20 μA	0.1	V
V_{OH}	I_{OH}＝20 μA	4.4*	V
I_{OFL}	V_{CC}＝5.5 V	±10	μA
I_{IL}	V_{CC}＝5.5 V	±10	μA
C_{IN}		20	pF

■端子機能

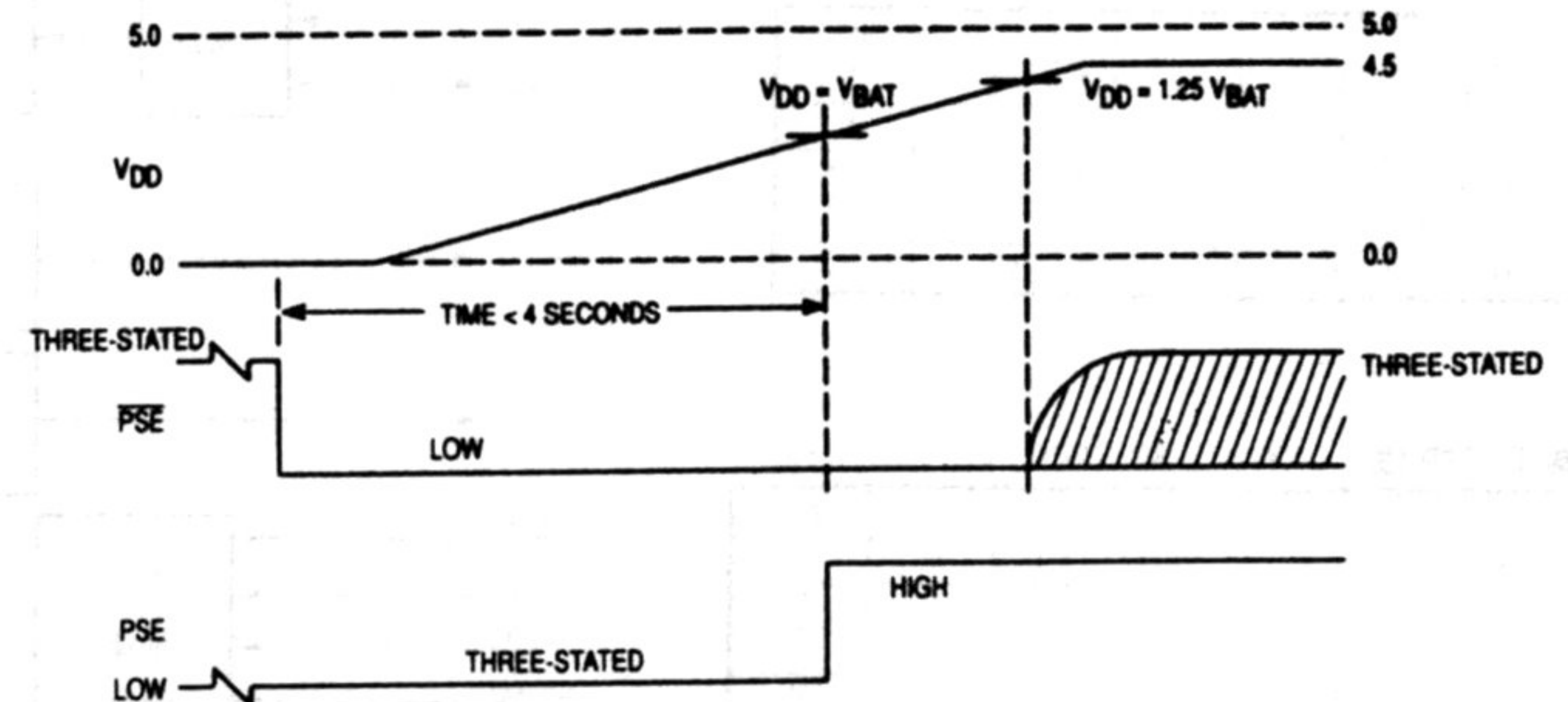
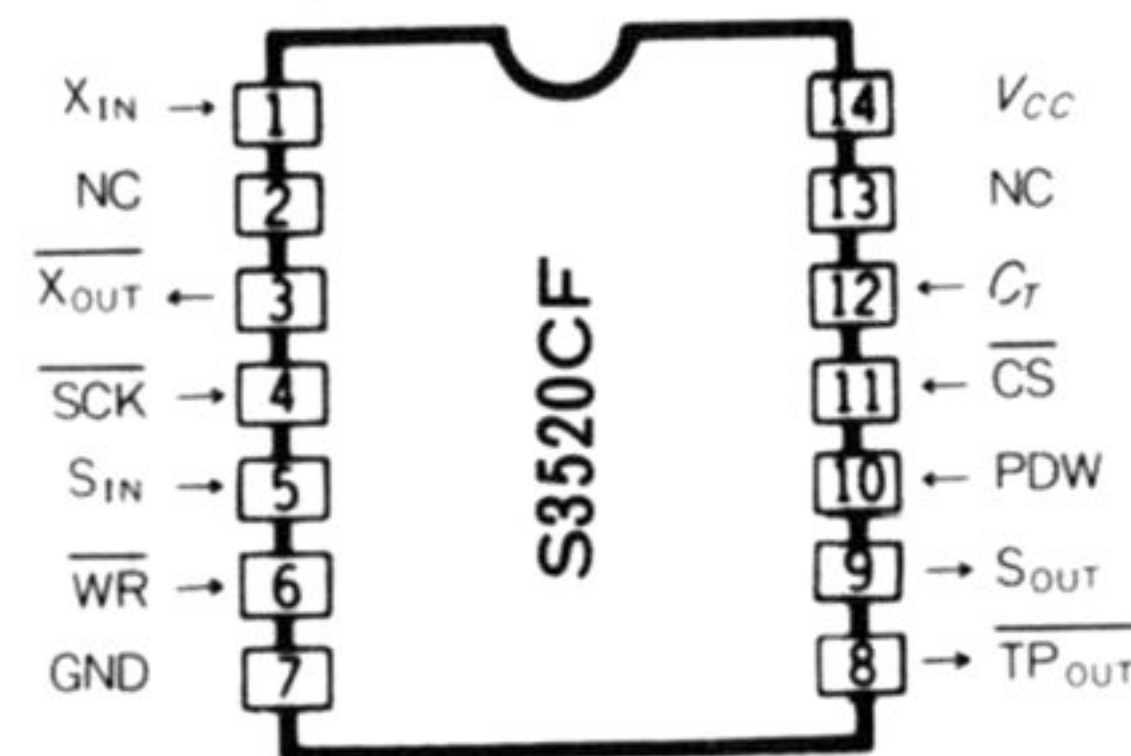
端子名	名　称	ピン番号	入出力	機　能
V_{BAT}	電池用端子	1	入　力	内蔵 RAM．発振器の電源端子．抵抗を介して電池に接続する．
POR	パワー・オン・リセット	2	入出力	外部の *RC* 回路網を使用して，内部のパワー・オン・リセット信号を発生する．
$\overline{INT}$	インタラプト	3	出　力	内部のステータス/インタラプト・レジスタがセットされると，Low 出力となる．
SCK	シリアル・クロック	4	入　力	内部インターフェース・ロジックにデータをシフト・イン，シフト・アウトするためのシリアル・ロック．
SDI	シリアル・データ入力	5	入　力	入力データは SCK の立ち上がりでシフトされ，立ち下がりでラッチされる．
SDO	シリアル・データ出力	6	出　力	出力データは，SCK の立ち上がりでシフトされ，立ち上がりでラッチされる．
CE	チップ・イネーブル	7	入　力	チップ・イネーブルが High のとき，インターフェース・ロジックへの入力が可能となる．CE 端子は内部でプル・ダウン（100k）されている．
PSE	電源イネーブル	9	出　力	システム電源制御用の出力端子．$V_{CC}-0.6V$ の出力で，10mA の駆動が可能．クロック・コントロール・レジスタのパワー・ダウン・ビットの制御によりネゲートされ，$V_{CC}>V_{BAT}$のときアサートされる．
$\overline{PSE}$	電源イネーブル	10	出　力	PSE のコンプリメンタリ出力．$V_{CC}>(1.25\times V_{BAT})$ のときネゲートされる．
NUC	未使用	11	出　力	テスト・モード時に，32kHz の出力となる．
$\overline{PWRSW}$	パワー・スイッチ	12	入　力	パワー・オン/オフ・スイッチ接続端子．シュミット・トリガ入力で，内部はプル・アップ(100k)されている．
$XTAL_1$ $XTAL_2$	クリスタル	13 14	入　力 出　力	32.768kHz クリスタル接続端子．
TEST	テスト・モード	15	入　力	High のとき，テスト・モードに入る．内部はプル・ダウン（20k）されている．

■インターフェース回路（PSE，$\overline{PSE}$ インターフェース

■パワー・アップ・シーケンス

RTC (Real Time Clock Plus RAM)

■ ピン接続

S3520CF

ピン	信号	ピン	信号
1	X_{IN} →	14	V_{CC}
2	NC	13	NC
3	$\overline{X_{OUT}}$ ←	12	← C_T
4	$\overline{SCK}$ →	11	← $\overline{CS}$
5	S_{IN} →	10	← PDW
6	$\overline{WR}$ →	9	→ S_{OUT}
7	GND	8	→ $\overline{TP_{OUT}}$

■ 特　徴

・５本のラインを使用し，ＣＰＵとシリアル・インターフェースが可能
・データはＢＣＤでシリアル出力
・時刻，カレンダはインクリメント方式で修正
・２０９９年までのオート・カレンダ内蔵
・ソフトウェアによる±３０秒補正機能内蔵
・３０×４ビットＳＲＡＭ内蔵
・基準周波数出力は，１Ｈｚ／１０２４Ｈｚの切り替えが可能
・広データ保持電圧範囲　2.0〜6.0Ｖ
・電源電圧変動に対し周波数安定度が良い
　±５ｐｐｍ

■ 最大定格

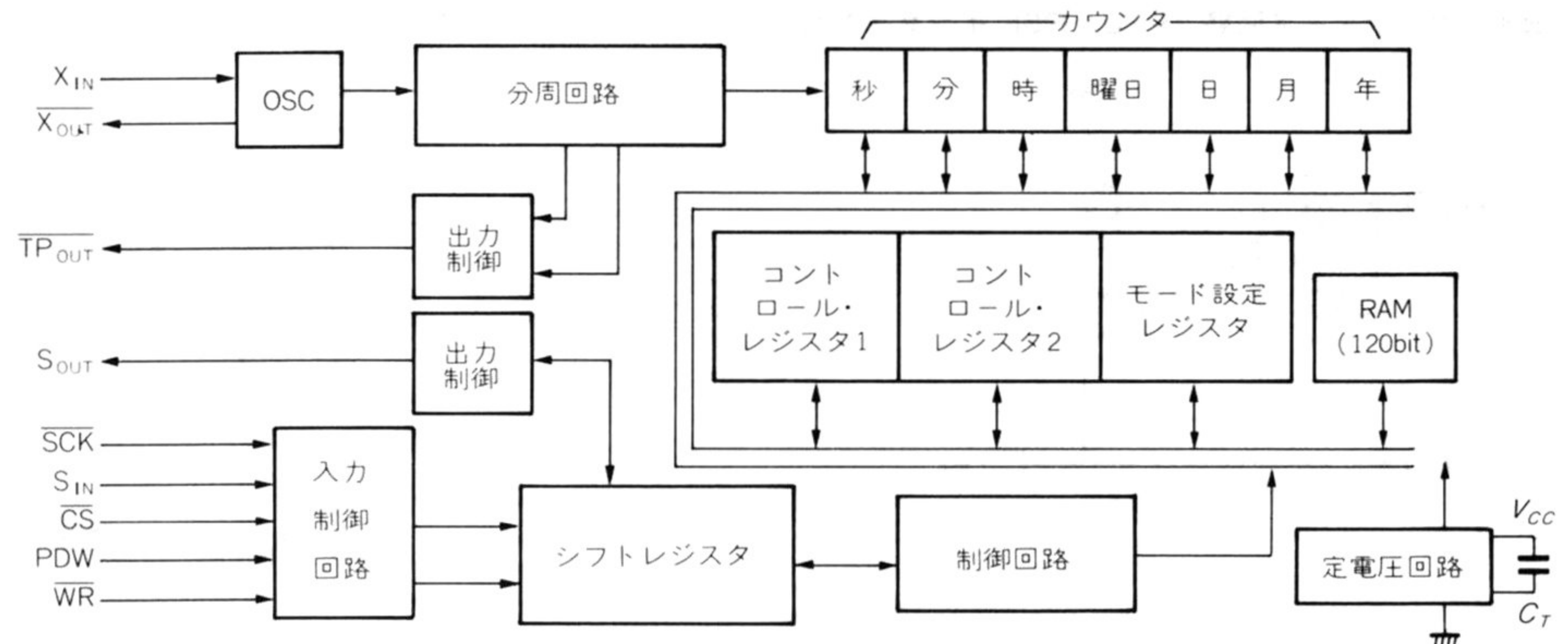
項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜6.5	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.3	V
消費電力	P_D	200	mW
動作温度	T_{OPR}	−30〜75	℃
保存温度	T_{STG}	−55〜125	℃

■ DC特性　（T_a＝−30〜75℃，V_{CC}＝5V±10%）

記号	測定条件	max/min*	単位
V_{IL}		0.2×V_{CC}	V
V_{IH}		0.8×V_{CC}*	V
V_{OL}	I_{OL}＝1.6mA	0.4	V
V_{OH}	I_{OH}＝400μA	2.4*	V
I_{OL}	V_{OUT}＝0, 5.5V	±2	μA
I_{IL}	V_{IN}＝0, 5.5V	±2	μA

■ ブロック図

カウンタ：秒　分　時　曜日　日　月　年

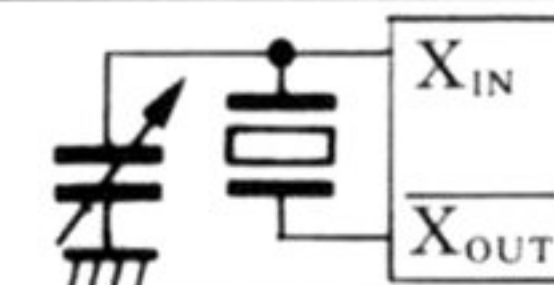
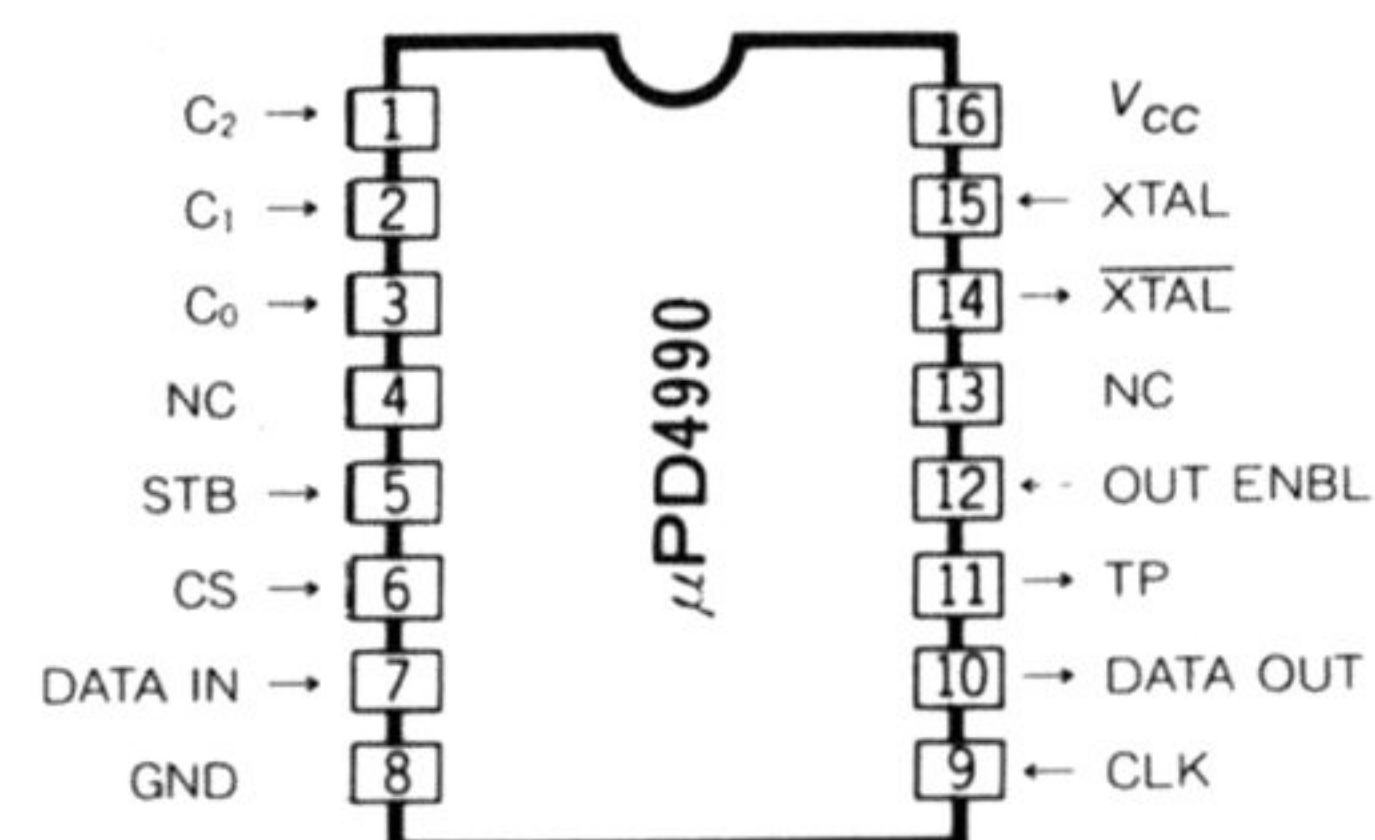
X_{IN} → OSC → 分周回路
$\overline{X_{OUT}}$ ← OSC
$\overline{TP_{OUT}}$ ← 出力制御
S_{OUT} ← 出力制御
$\overline{SCK}$, S_{IN}, $\overline{CS}$, PDW, $\overline{WR}$ → 入力制御回路 → シフトレジスタ ↔ 制御回路
コントロール・レジスタ1
コントロール・レジスタ2
モード設定レジスタ
RAM（120bit）
定電圧回路　V_{CC}　C_T

■端子機能

端子名	ピン番号	機能
X_{IN}	1	発振回路入力端子　接続例を右に示す
$\overline{X_{OUT}}$	3	発振回路出力端子
$\overline{SCK}$	4	シリアルI/Oの同期信号入力端子，8クロック/サイクル
S_{IN}	5	シリアル・アドレス/データ入力端子 カウンタのアドレスまたはレジスタ/RAMのアドレス/データを出力
S_{OUT}	9	シリアル・アドレス/データ出力端子 カウンタのアドレスまたはレジスタ/RAMのアドレス/データを出力
$\overline{WR}$	6	書き込み選択端子 $\overline{WR}$＝“L”：書き込み $\overline{WR}$＝“H”：読み出し
$\overline{CS}$	11	チップ・セレクト端子 $\overline{CS}$＝“L”：選択状態 $\overline{CS}$＝“H”：S_{OUT}は高インピーダンスになる
PDW	10	システム電源立ち上がりの確認信号 パワー・ダウン検出回路に接続する，PDWを使用しない時は“H”に固定．PDW＝“L”の時，$\overline{CS}$に関係なくアクセス不可（S_{OUT}，$\overline{TP_{OUT}}$は高インピーダンス）になる
$\overline{TP_{OUT}}$	8	基準信号出力端子，1Hz/1024Hzの切り替え出力
V_{CC}	14	正電源端子（通常＋5V，バックアップ時＋3V）
GND	7	負電源端子，通常GNDに接続
C_T	12	V_{CC}とC_T端子間に，0.0047μFのコンデンサを接続する

RTC (Real Time Clock)

■ ピン接続

μPD4990

ピン	信号	ピン	信号
1	C_2 →	16	V_{CC}
2	C_1 →	15	← XTAL
3	C_0 →	14	→ $\overline{XTAL}$
4	NC	13	NC
5	STB →	12	← OUT ENBL
6	CS →	11	→ TP
7	DATA IN →	10	→ DATA OUT
8	GND	9	← CLK

■ 特　徴

- 時刻（時，分，秒），カレンダ（年，月，日，曜）のカウンタを内蔵
- 32.768kHzの水晶発振回路内蔵
- うるう年を自動判定
- データ形式はＢＣＤ（ただし月だけは１６進）で，シリアル入出力の機能をもつ
- シリアル入力によりコマンド設定できる
- タイミング・パルス出力として，64，256，2048，4096 Hz，インターバル出力1，10，30，60sが選択できる
- １４ピン，１６ピンのパッケージがある

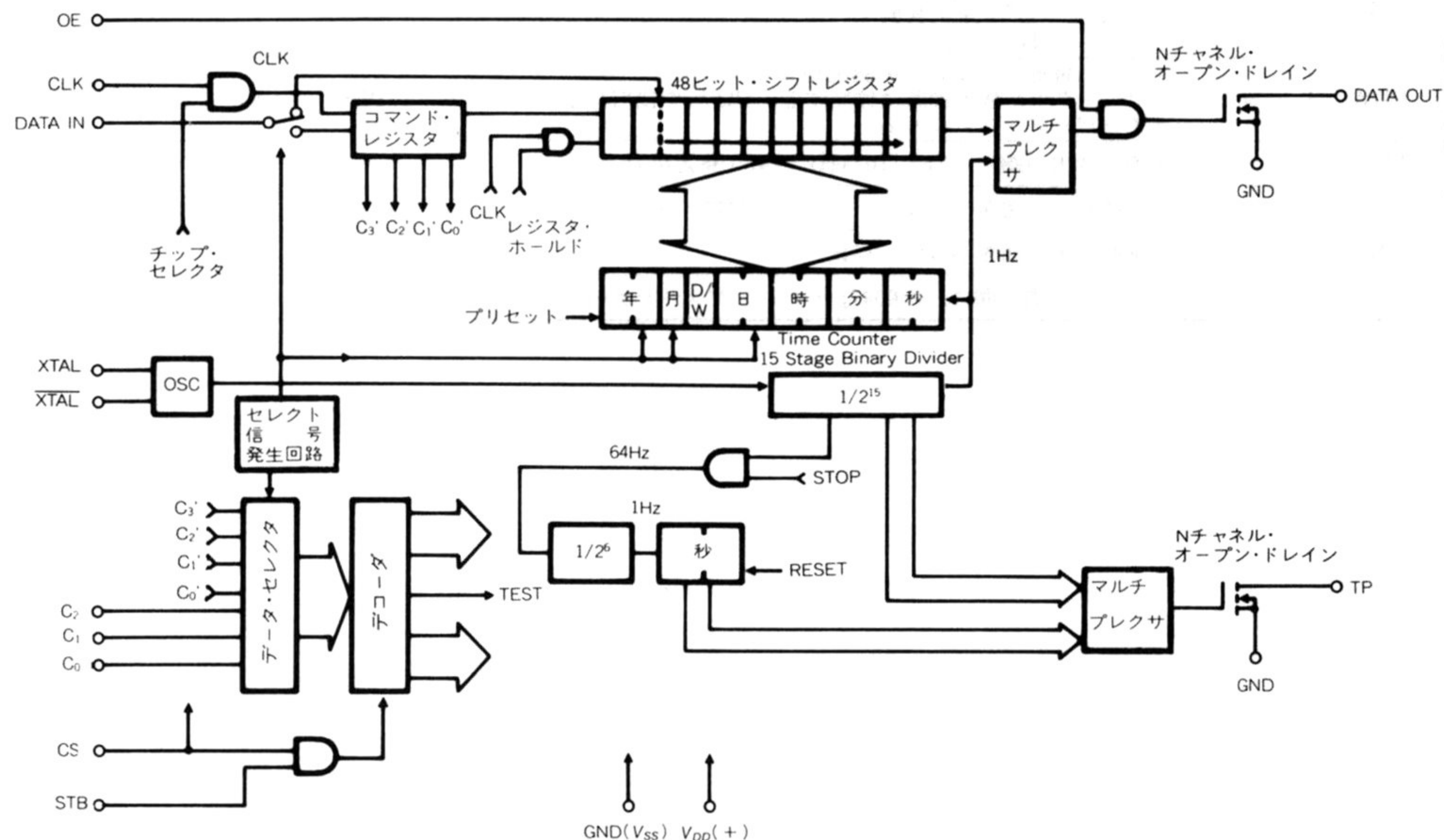
■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	7.0	V
入力電圧	V_{IN}	$-0.3\sim V_{CC}+0.3$	V
動作温度	T_{OPR}	$-40\sim85$	℃
保存温度	T_{STG}	$-65\sim125$	℃

■ DC特性

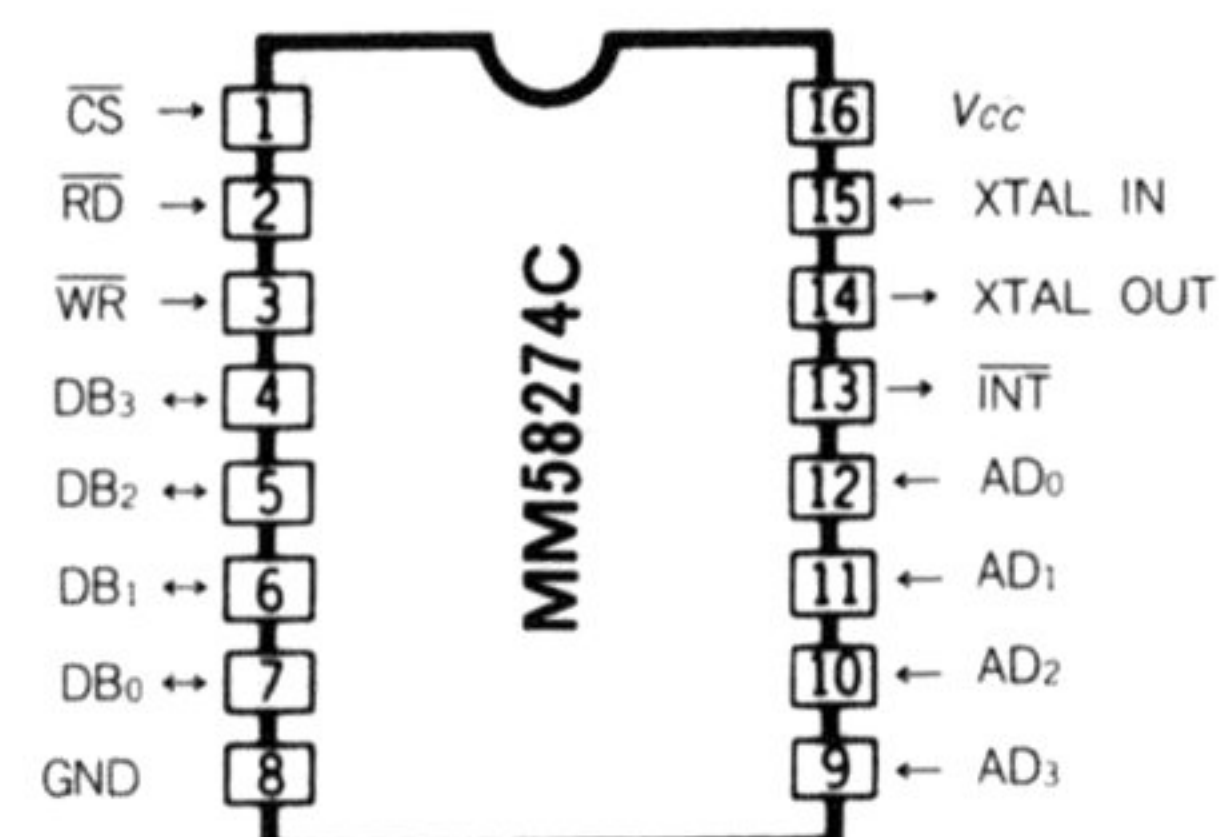
（$T_a=25$℃，$V_{CC}=2.0\sim5.5$V）

記号	測 定 条 件	max/min*	単位
V_{IL}		$0.3V_{CC}$	V
V_{IH}		$0.7V_{CC}$*	V
V_{OL}	$I_{OL}=500\mu A$	0.4	V
I_{IL}	$V_{IN}=5.5V$	1	μA
C_{LK}		DC～500	kHz

■端子機能

端子名	名称	ピン番号	入出力	機能
C_0, C_1, C_2	コマンド入力	3～1	入力	ファンクション・モードの選択，タイミング・パルス出力の設定などに使用するコマンド入力端子
STB	ストローブ入力	5	入力	データ，コマンドの入力時に使用する書き込みストローブ信号
DATA IN	データ入力	7	入力	40/52ビット・シフトレジスタのデータ入力
CLK	クロック入力	9	入力	40/52ビット・シフトレジスタのシフト・クロック入力
DATA OUT	データ出力	10	出力	40/52ビット・シフトレジスタのデータ出力で，オープン・ドレイン端子
TP	タイミング・パルス出力	11	出力	各種設定により，1秒～60秒のパルス出力，インタラプト出力などを行う．オープン・ドレイン出力端子
OUT ENBL	出力禁止	12	入力	DATA OUT をハイ・インピーダンスにする出力禁止端子
XTAL	水晶振動子	15	入力	水晶振動子接続端子
$\overline{XTAL}$		14	出力	
V_{CC}	電源	16	—	＋側電源端子
GND	グラウンド	8	—	－側電源端子

RTC (Real Time Clock)

■ ピン接続

■ 特　徴

・秒～年，曜日，１２／２４時間制対応のリアル・タイム・クロック
・秒～年，曜日の各レジスタは独立にアクセス可能
・データ変化フラグを利用して，時間変化の試験を容易に行うことが可能
・0.1～60秒間でプログラマブルな割り込み機能内蔵
・４ビットのアドレス・バスと４ビットのデータ・バスをもつ
・３２．７６８ｋＨｚの水晶振動子を使用
・スタンバイ時に２．２Ｖまで動作可能

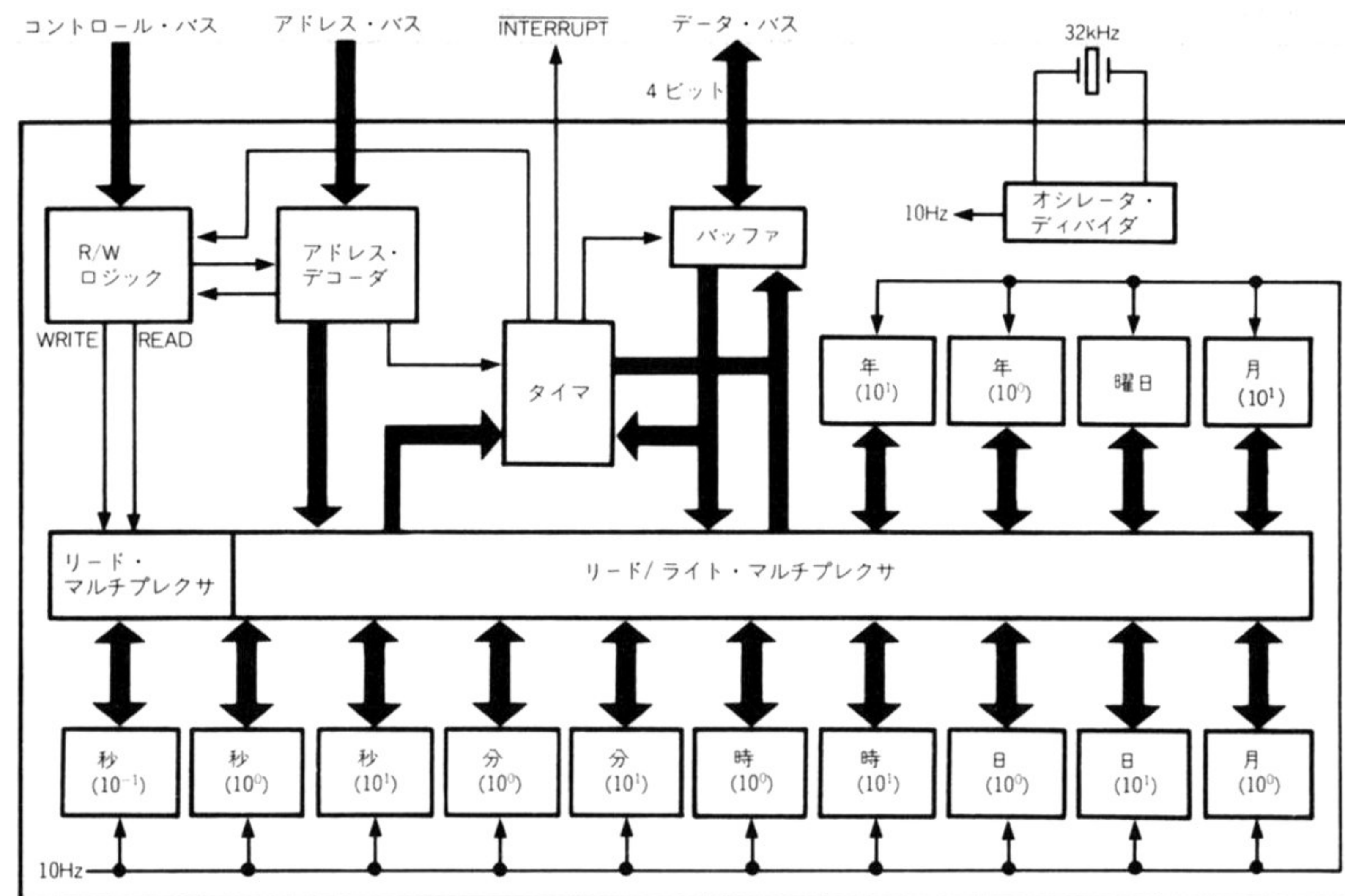
■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～6.5	V
入力電圧	V_{IN}	−0.3～V_{CC}+0.3	V
消費電力	P_D	0.5	W
動作温度	T_{OPR}	−40～85	℃
保存温度	T_{STG}	−65～150	℃

■ DC特性

(T_a = −40～85℃, V_{CC} = 5V ± 10%)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=1.6mA	0.4	V
V_{OH}	I_{OH}=1.6mA	3.7*	V
I_{OL}	V_{OUT}=V_{CC}	2.0	μA
I_{IL}	V_{IN}=0, アドレス, データ端子	80	μA
I_{CC}	V_{CC}=2.2V	10	μA
	V_{CC}=5V	1	mA
C_{IN}		10	pF
C_{OUT}		(typ)10	pF

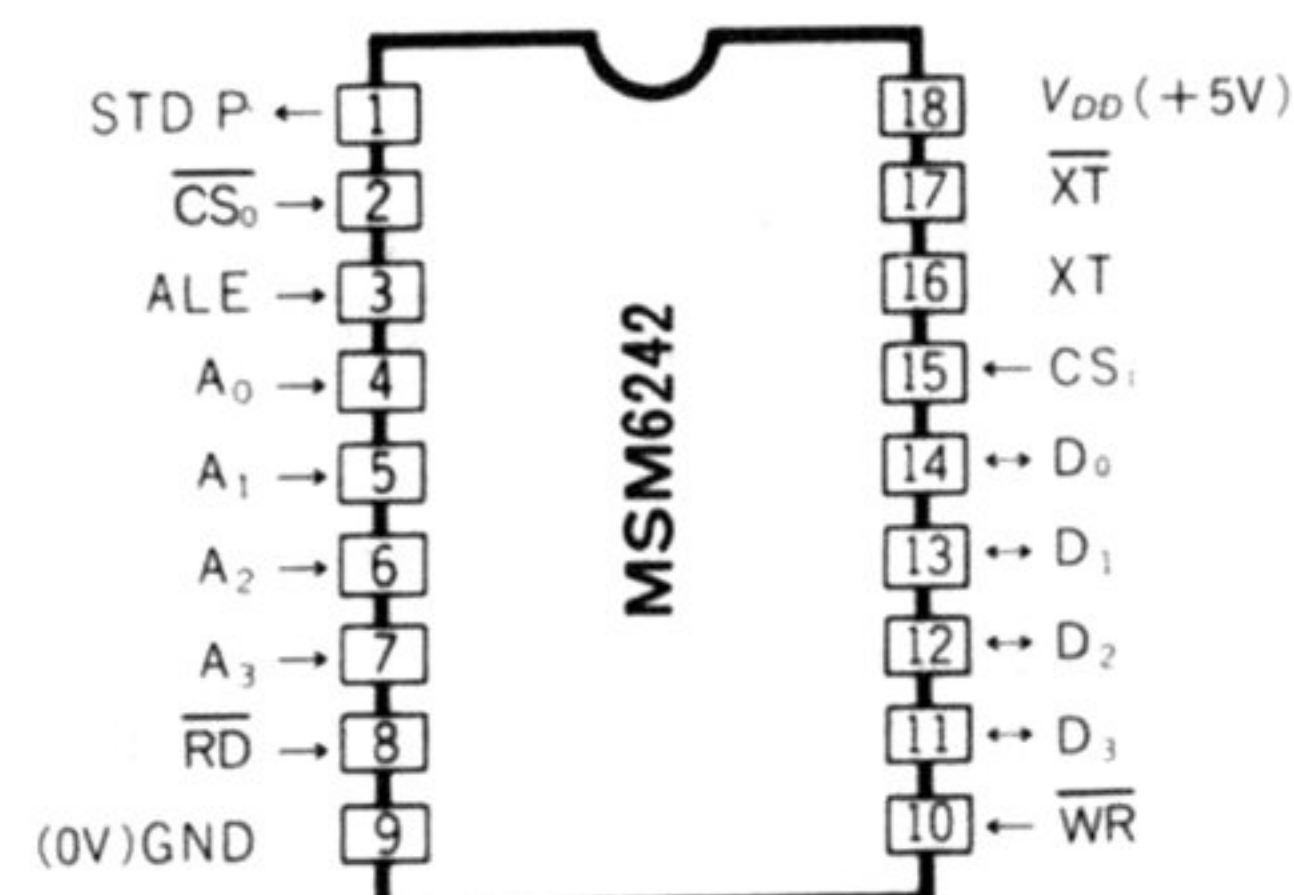
■ ブロック図

■ 端子機能

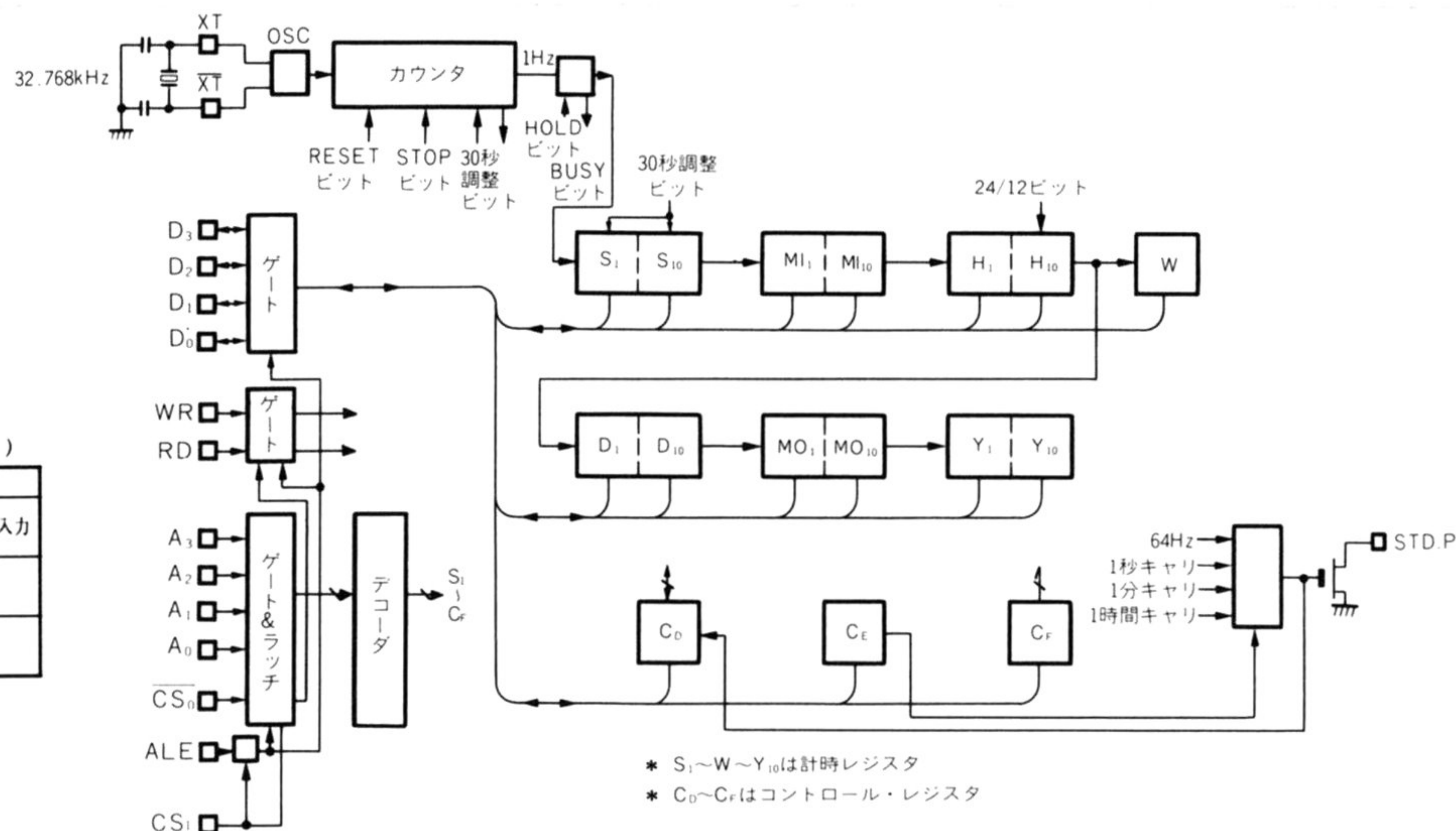
端子名	名　　称	ピン番号	入出力	機　　能
$\overline{CS}$	チップ・セレクト	1	入　力	外部とのデータのリード/ライトに使用し，$\overline{CS}$＝“L”のときアクセス可能
$\overline{RD}$	リード	2	入　力	“L”にすることにより，AD_0～AD_3で指定したレジスタ/カウンタの内容をDB_0～DB_3に出力する
$\overline{WR}$	ライト	3	入　力	“L”にすることにより，AD_0～AD_3で指定したレジスタ/カウンタに，DB_0～DB_3のデータを入力する
DB_3～DB_0	データ・バス	4～7	入出力	双方向のデータ・バス．CPUのデータ・バスに接続する
AD_3～AD_0	アドレス入力	9～12	入　力	レジスタ/カウンタ指定用のアドレス入力．CPUのアドレス・バスに接続する
$\overline{INT}$	インタラプト出力	13	出　力	CPUに対する一定周期の割り込み出力．割り込み周期は，あらかじめプログラム可能
XTAL OUT	クリスタル出力	14	出　力	32.768kHzの水晶振動子接続端子．XTAL OUTが内部インバータの出力端子となっている
XTAL IN	クリスタル入力	15	入　力	

RTC〔Real Time Clock〕

■ピン接続

MSM6242

ピン	信号	ピン	信号
1	STD P ←	18	V_{DD}(+5V)
2	$\overline{CS_0}$ →	17	$\overline{XT}$
3	ALE →	16	XT
4	A_0 →	15	← CS_1
5	A_1 →	14	↔ D_0
6	A_2 →	13	↔ D_1
7	A_3 →	12	↔ D_2
8	$\overline{RD}$ →	11	↔ D_3
9	(0V)GND	10	← $\overline{WR}$

■特　徴

- 秒～年，曜日のリアルタイム・クロック
- マイコン・バス対応のインターフェース
- ソフトによる３０秒補正
- アラームに用いる周期的な割り込み機能（または周期的な波形出力）
- 計時のＳＴＯＰ／ＳＴＡＲＴ機能
- ２４時間制／１２時間制の選択可能
- ８０４８系，８０５１系，８０８５系のＡＬＥ入力（ＡＬＥ出力のないマイコンの場合は”Ｈ”に固定で使用）
- Ｃ－ＭＯＳデバイスによる低消費電流
- 低いＳＴＡＮＤＢＹ電圧，小さいＳＴＡＮＤＢＹ電流
- 32.768ｋＨｚの水晶振動子を使用

■最大定格

項　目	記号	定　格	単位
電源電圧	V_{DD}	−0.3～7.0	V
入力電圧	V_{IN}	GND−0.3～V_{DD}+0.3	V
出力電圧	V_{OUT}	GND−0.3～V_{DD}+0.3	V
保存温度	T_{STG}	−55～+150	℃

■DC特性　（T_a＝−30～＋85℃，V_{DD}＝5V±10％）

記号	測 定 条 件	min	max	単位	
V_{IH1}	—	2.2	—	V	CS_1を除く全入力
V_{IL1}	—	—	0.8		
V_{OL1}	I_{OL}＝2.5mA	—	0.4	V	D_0～D_3
V_{OH}	I_{OH}＝−400μA	2.4	—		
I_{DD1}	$f_{(XT)}$＝ 32.768kHz　V_{DD}＝5V	—	30	μA	V_{DD}
I_{DD2}	$f_{(XT)}$＝ 32.768kHz　V_{DD}＝2V	—	10		

■ブロック図

＊ S_1～W～Y_{10}は計時レジスタ

＊ C_D～C_Fはコントロール・レジスタ

■端子機能

端子名	ピン番号	入出力	機能
D_0～D_3	14～11	入出力	マイコンのデータ・バスに接続する，正論理．$\overline{CS_0}$＝“L”，CS_1＝“H”，$\overline{RD}$＝“L”かつ$\overline{WR}$＝“H”のときのみ出力となり，その他はハイ・インピーダンスとなる
A_0～A_3	4～7	入力	Address bus 0～3．マイコンのアドレス・バスに接続する．ALEと組み合わせて使用する
ALE	3	入力	Address Latch Enable．アドレス・データおよび$\overline{CS_0}$を読み込む．ALE＝“H”のとき，アドレス・バスおよび$\overline{CS_0}$が読み込まれ，ALE＝“L”の間，それらのデータは保持される．ALE出力をもつマイコンの場合は，それに接続し，もたないマイコンの場合は，“H”に固定する
$\overline{WR}$	10	入力	Write．CS_1＝“H”のとき，A_0～A_3とALEにより指定されたレジスタに，D_0～D_3のデータを$\overline{WR}$の立ち上がりで書き込む
$\overline{RD}$	8	入力	Read．CS_1＝“H”のとき，$\overline{RD}$が“L”の間，D_0～D_3にレジスタのデータを出力する．$\overline{WR}$，$\overline{RD}$は同時に“L”としない
$\overline{CS_0}$，CS_1	2，15	入力	Chip Select 0，1．ALE，$\overline{WR}$および$\overline{RD}$入力の有効，無効を制御する．$\overline{CS_0}$＝“L”かつCS_1＝“H”のときのみ有効となる
STD.P	1	出力	Standard Pulse．Nチャネル・オープン・ドレイン出力で，C_EレジスタのD_1データに従って出力される
XT，$\overline{XT}$	16，17	—	Xtal OSC．32.768 kHz水晶発振用端子

■動作範囲

項目	記号	範囲	単位
電源電圧	V_{DD}	4～6	V
計時電源電圧	V_{CLK}	2.0～6	V
水晶周波数	$f_{(XT)}$	32.768	kHz

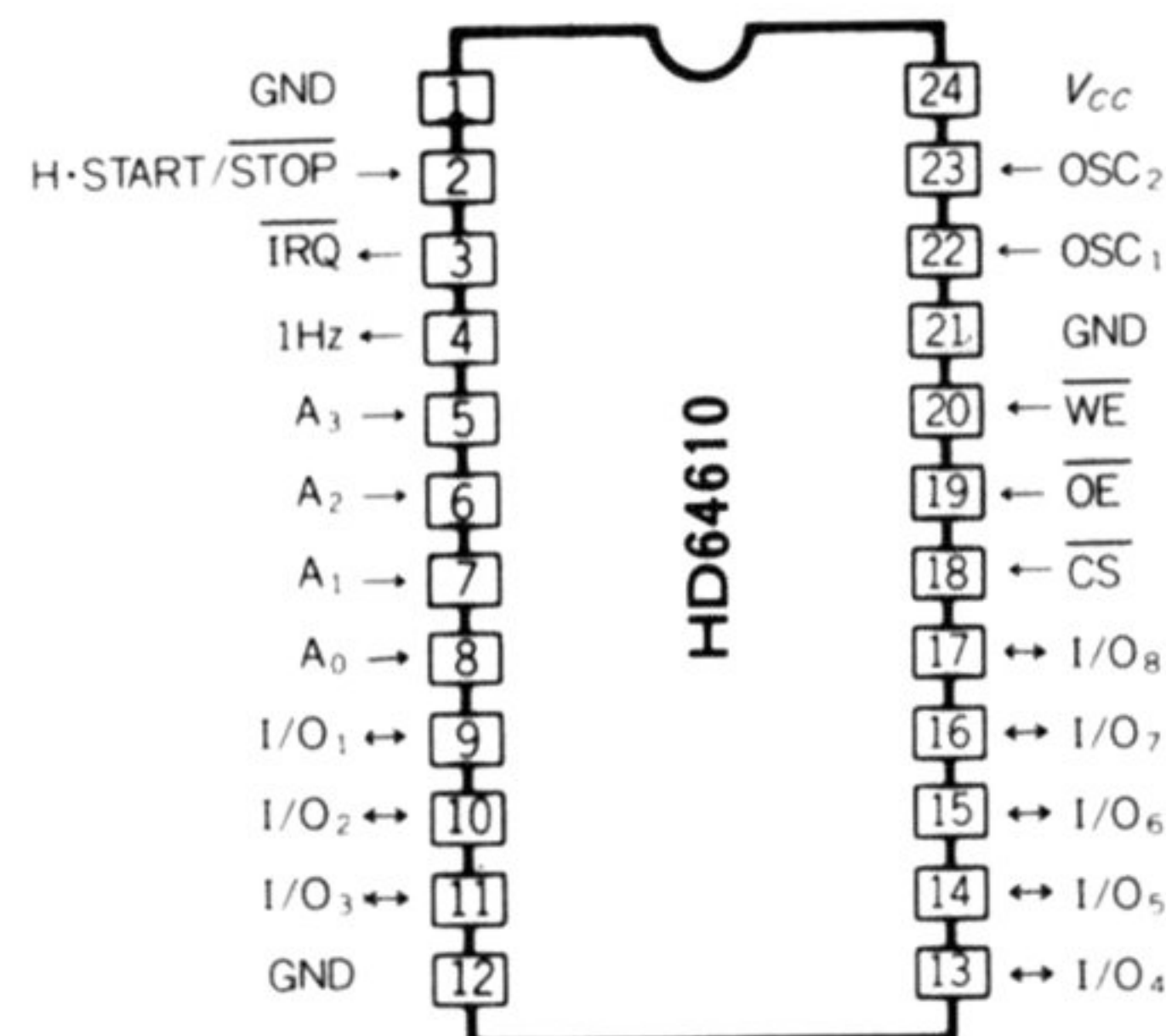
（注）計時電源電圧：水晶発振および計時を保証する電源電圧

RTC (Real Time Clock)

■ ピン接続

HD64610

ピン	信号	ピン	信号
1	GND	24	V_{CC}
2	H·START/$\overline{STOP}$ →	23	← OSC_2
3	$\overline{IRQ}$ ←	22	← OSC_1
4	1Hz ←	21	GND
5	A_3 →	20	← $\overline{WE}$
6	A_2 →	19	← $\overline{OE}$
7	A_1 →	18	← $\overline{CS}$
8	A_0 →	17	↔ I/O_8
9	I/O_1 ↔	16	↔ I/O_7
10	I/O_2 ↔	15	↔ I/O_6
11	I/O_3 ↔	14	↔ I/O_5
12	GND	13	↔ I/O_4

■ 特　徴

・8ビットのエデータ・バス（スタティックRAMインターフェース）
・発振回路内蔵
・時計・カレンダ機能（ＢＣＤ表示）
　秒，分，時間，日付，曜日，年月のカウンタ内蔵
・ＳＴＡＲＴ／ＳＴＯＰ機能
・±３０秒補正機能内蔵
・アラーム割り込み，桁上げ割り込み
・閏年自動補正
・１Ｈｚ出力端子付き

■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜V_{CC}＋0.3	V
動作温度	T_{OPR}	−20〜75	℃
保存温度	T_{STG}	−55〜150	℃

■ DC特性

（T_a＝−20〜75℃，V_{CC}＝5V±10%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝2.1mA	0.4	V
V_{OH}	I_{OH}＝1mA	2.4*	V
I_{OL}		±10	μA
I_{IL}		±2	μA
C_{IN}	f＝1MHz，T_a＝25℃	12.5	pF

■端子機能

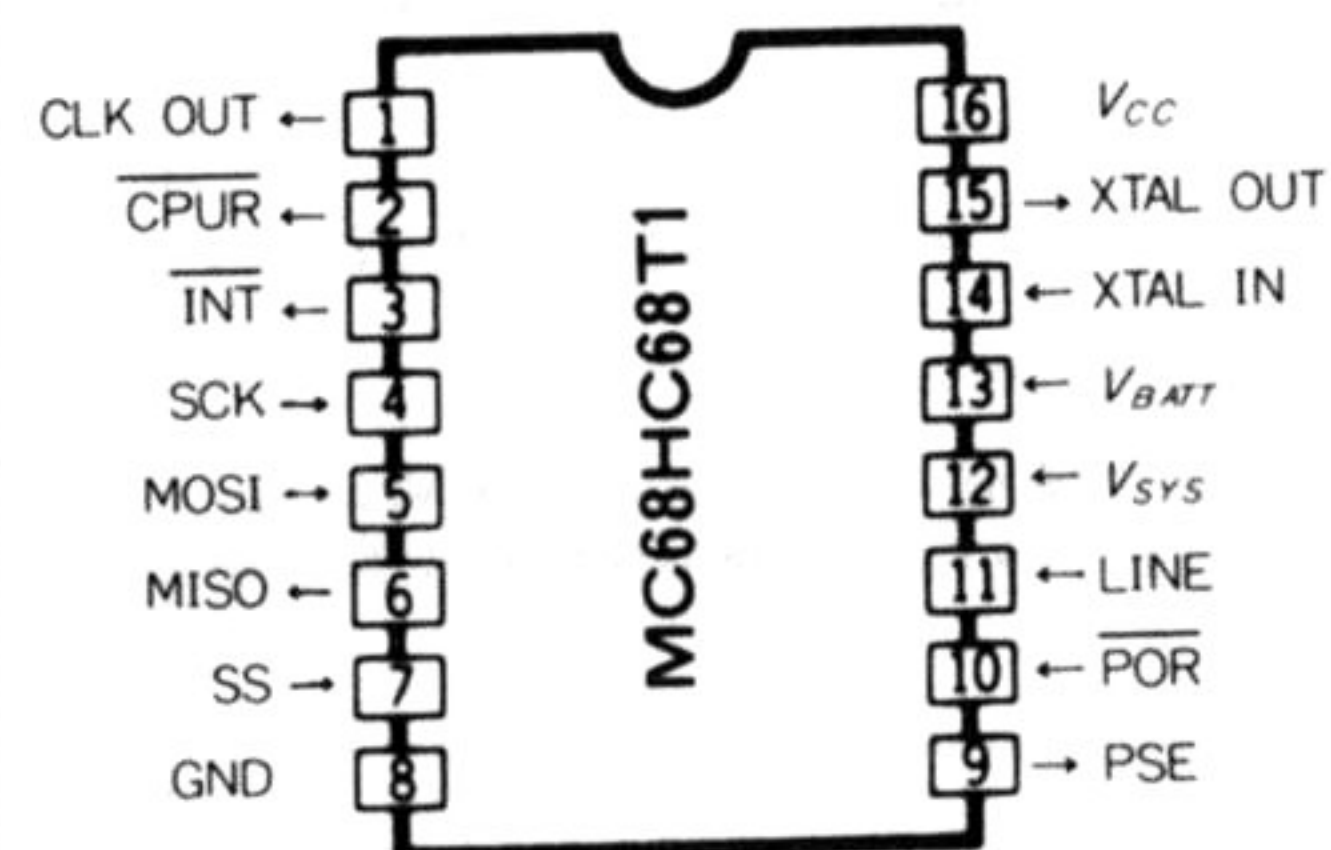
分　類	ピン番号	端子名	名　称	入出力	機　能
電　源	24	*Vcc*	*Vcc*	—	電源に接続する 電源投入時およびバス・アクセス時には5V±10%の電圧を供給し，バッテリ・バックアップ時は，2V以上の電圧を供給する
	1，12，21	GND	GND	—	グラウンド(GND)に接続する 1ピン，12ピンはIC内部で独立に使用されておりますので，どちらもグラウンドに接続するボード実装時には，それぞれの端子間に電位差が生じないよう，プリント基板の設計をする．また，1ピンは，発振回路部の基準電位ですので，特に電位の安定化に配慮する 21ピンは発振安定化のため，グラウンドに接続する(注)
クロック	22 23	OSC_1 OSC_2	OSC_1 OSC_2	入　力	水晶振動子を接続するための入力端子 周波数は32.768kHzを使用する
MPUバス・インターフェース	8～5	A_0～A_3	Address Bus	入　力	内部の16バイトのレジスタをアクセスするためのアドレス情報を入力する端子
	9～11，13～17	I/O_1～I/O_8	Data Bus	入出力	8ビット・データの入出力を行う双方向性データ・バス．この端子は，スリーステート出力バッファとなっており，$\overline{CS}$と$\overline{OE}$が“Low”入力でかつ$\overline{WE}$が“High”入力（リード・アクセス時）以外は，ハイ・インピーダンス状態になっている
	18	$\overline{CS}$	Chip Select	入　力	本ICをアドレッシングするための端子であり，MPUは$\overline{CS}$が“Low”レベルのときのみ本ICに対してアクセス可能
	19	$\overline{OE}$	Output Enable	入　力	MPUが本ICのレジスタをリードする場合，“Low”にする端子．$\overline{OE}$と$\overline{WE}$の両方が“Low”レベルの場合，$\overline{WE}$機能が優先する
	20	$\overline{WE}$	Write Enable	入　力	MPUが本ICのレジスタへライトする場合，“Low”にする端子
	3	$\overline{IRQ}$	Interrupt Request	出　力	MPUに割り込みを要求する信号 この信号は，桁上げ・アラーム発生により，割り込み条件が成立した場合“Low”レベルになる この信号を解除するには，MPUがコントロール・レジスタAのフラグに“0”をライトするか割り込みイネーブル・ビットを“0”にする この信号はオープン・ドレイン構造で，割り込み要求がないときはハイ・インピーダンス状態になる．プルアップ抵抗を接続することにより，他の$\overline{IRQ}$信号と接続することができる
時計制御	2	H-START/$\overline{STOP}$	Hardware Start/Stop	入　力	時計・カウンタ機能を起動・停止制御する信号． この端子機能は，内部レジスタのS-START/$\overline{STOP}$ビットが“0”のとき有効．S-START/$\overline{STOP}$ビットが“1”のときは，この端子の入力レベルに影響されず，カウント動作が続く
	4	1 Hz	1 Hz	出　力	1Hzの内部基準クロックをモニタすることができる 1Hz信号をモニタするには，電源投入後，コントロール・レジスタBのビット3＝“0”，ビット0＝“1”に設定する必要がある

(注)　21ピンの*Vss*端子は，構造的に内部のチップには接続されていない．したがって，DC的に測定すること．この端子はオープンである．ただし，発振回路を周囲の端子から電磁気的に遮断するため，このピンは必ずGNDに接続すること．

RTC〔Real Time Clock Plus RAM〕

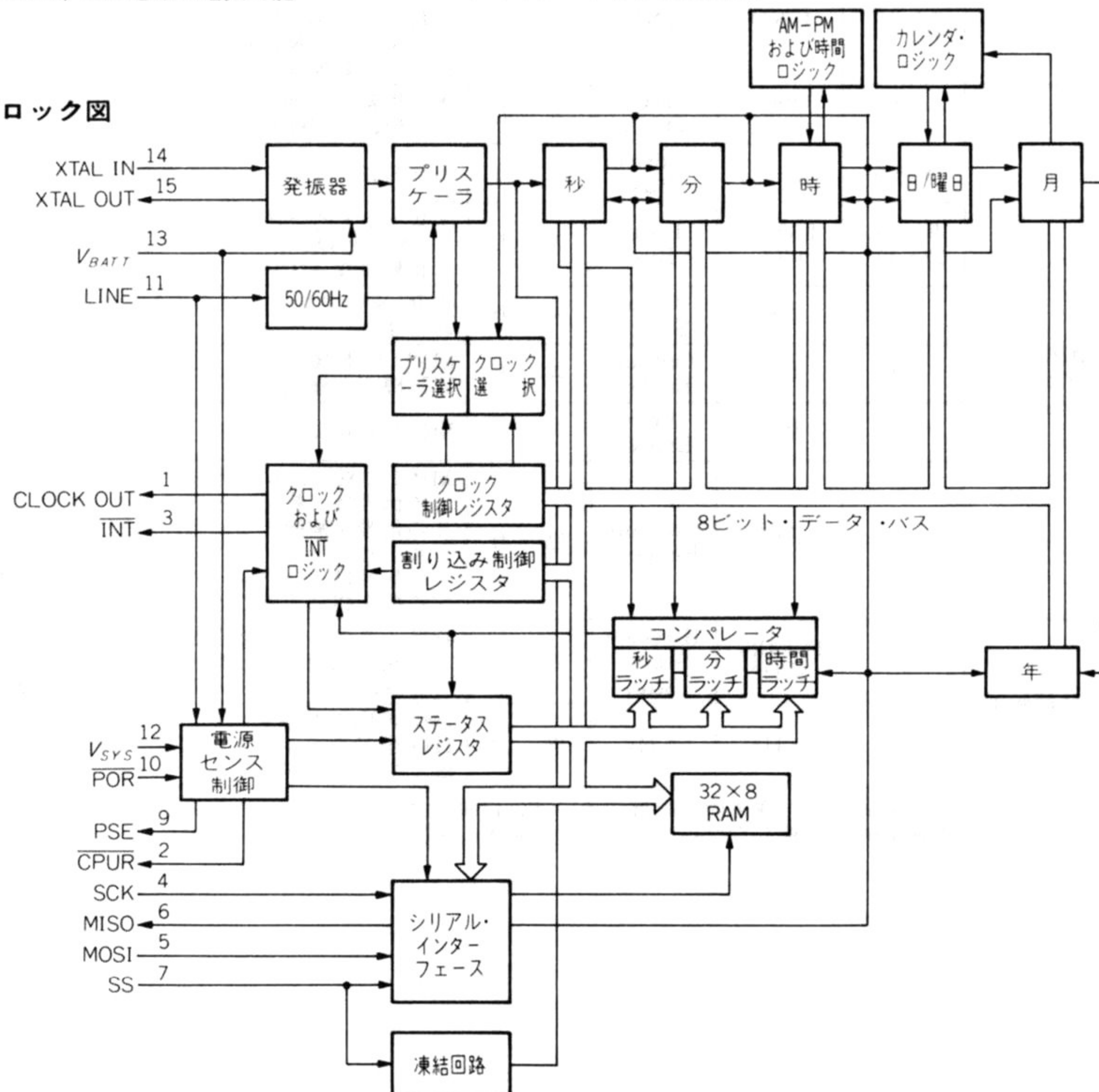
■ ピン接続

MC68HC68T1

CLK OUT ← 1
$\overline{CPUR}$ ← 2
$\overline{INT}$ ← 3
SCK → 4
MOSI → 5
MISO ← 6
SS → 7
GND 8
16 V_{CC}
15 → XTAL OUT
14 ← XTAL IN
13 ← V_{BATT}
12 ← V_{SYS}
11 ← LINE
10 ← $\overline{POR}$
9 → PSE

■ 特　徴

・自動閏年補正機能付きの完全なクロック
・３２バイトのＲＡＭ内蔵
・最小計時電圧は2.2Ｖ
・クロックまたはＲＡＭにおける連続アドレスへのリード／ライトのためのバースト・モードをもつ
・発振回路として水晶または50/60Hz電源の選択可能
・ＢＣＤデータをレジスタに保持可能
・凍結回路により，クロック・リード時のソフトウェア・オーバヘッドを排除
・ＣＰＵＲ出力によって規則正しいパワー・アップ／ダウンを実行
・ウオッチ・ドッグ回路内蔵

■ ブロック図

XTAL IN 14
XTAL OUT 15
V_{BATT} 13
LINE 11
CLOCK OUT 1
$\overline{INT}$ 3
V_{SYS} 12
$\overline{POR}$ 10
PSE 9
$\overline{CPUR}$ 2
SCK 4
MISO 6
MOSI 5
SS 7
発振器
プリスケーラ
50/60Hz
プリスケーラ選択
クロック選択
秒
分
時
日/曜日
月
年
AM-PM および時間ロジック
カレンダ・ロジック
クロック制御レジスタ
クロックおよび$\overline{INT}$ロジック
割り込み制御レジスタ
8ビット・データ・バス
コンパレータ
秒ラッチ
分ラッチ
時間ラッチ
電源センス制御
ステータスレジスタ
32×8 RAM
シリアル・インターフェース
凍結回路

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.5	V
消費電力	P_D	0.5	W
動作温度	T_{OPR}	−40〜85	℃
保存温度	T_{STG}	−65〜150	℃

■ DC特性

（T_a＝−40〜85℃，V_{CC}＝3〜6V）

記号	測定条件	max/min*	単位
V_{IL}	V_{CC}＝3.0V	0.9	V
V_{IH}	V_{CC}＝3.0V	2.1*	V
V_{OL}	I_{OL}＝1.6mA	0.4	V
V_{OH}	I_{OH}＝1.6mA	3.7*	V
I_{OL}	V_{OUT}＝V_{CC}, GND	±10	μA
I_{IL}	V_{IN}＝V_{CC}, GND	±1	μA
C_{IN}		10	pF

■端子機能

端子名	名称	ピン番号	入出力	機能
CLK OUT	クロック出力	1	出力	この信号は，バッファされたクロック出力で七つの選択可能な周波数の一つを供給する．クロック制御レジスタの最下位3ビットの内容によって出力周波数が決まる
$\overline{\text{CPUR}}$	CPUリセット	2	出力	アクティブ“L”出力を使用して，マイクロプロセッサのリセット・ピンを駆動し，規則的なパワーアップ/パワーダウンを行わせることができる
$\overline{\text{INT}}$	割り込み	3	出力	アクティブ“L”出力．電源障害が発生した時，セットしていたアラーム時間になった時，選択していた周期割り込み信号がアクティブになった時に，“L”になる
SCK	シリアル・クロック	4	入力	このシリアル・クロック入力を使用して，内部インタフェース・ロジックにデータがシフト・インおよびシフト・アウトされる
MOSI	マスタ・アウト・スレーブ・イン	5	入力	このポートに現われるシリアル·データは，ロジックがイネーブルされていれば，SCKによってインターフェース・ロジックにラッチされる
MISO	マスタ・イン・スレーブ・アウト	6	出力	このポートに現われるシリアル·データは，ロジックがイネーブルされていれば，SCKによってインターフェース・ロジックからシフト・アウトされる
SS	スレーブ・セレクト	7	入力	スレーブ·セレクト入力ピンが“H”になると，インターフェース·ロジックがアクティブになる．それ以外のとき，ロジックはリセット状態，そしてMISOピンはハイ・インピーダンス状態になっている．
PSE	電源イネーブル	9	出力	システム電源制御用の出力端子．V_{SYS}がシステム障害によって“L”にリセットされた後，V_{SYS}がV_{BATT}電圧以上に上昇した場合，割り込みが発生した場合，パワー・オン・リセットが発生した場合などにイネーブルになる
$\overline{\text{POR}}$	パワー・オン・リセット	10	入力	外部RC回路網を使用して，内部パワー・オン・リセット信号を発生する
LINE	ライン・センス	11	入力	LINEセンス入力を用いて，二つの機能の一つを駆動することができる．一つは時計カウンタの周波数ソースとしてこの入力信号を利用する．もう一つの機能はLINE入力をイネーブルして電源の障害を検出する
V_{SYS}	システム電圧	12	入力	この入力はシステム電圧に接続される．CPUが割り込み制御レジスタのビット6を“H”にセットしてパワー・ダウンを開始した後，このピンのレベルがいったんV_{BATT}+0.7V以下に低下してから，V_{BATT}入力ピンのレベルにより0.7V高い電圧まで上昇するとパワー・ダウンが終了する
V_{BATT}	バッテリ電圧	13	入力	このピンは発振器の電源であり，バッテリの正端子に接続しなければならない

RTC (Real Time Clock)

■ ピン接続

信号	ピン		ピン	信号
$\overline{CS}$ →	1	TC8521	18	V_{CC}
CS →	2		17	→ X_{OUT}
ADJ →	3		16	← X_{IN}
A_0 →	4		15	→ $\overline{ALARM}$
A_1 →	5		14	↔ D_3
A_2 →	6		13	↔ D_2
A_3 →	7		12	↔ D_1
$\overline{RD}$ →	8		11	↔ D_0
GND	9		10	← $\overline{WR}$

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜V_{CC}+0.5	V
動作温度	T_{OPR}	−40〜+85℃	℃
保存温度	T_{STG}	−65〜+125	℃

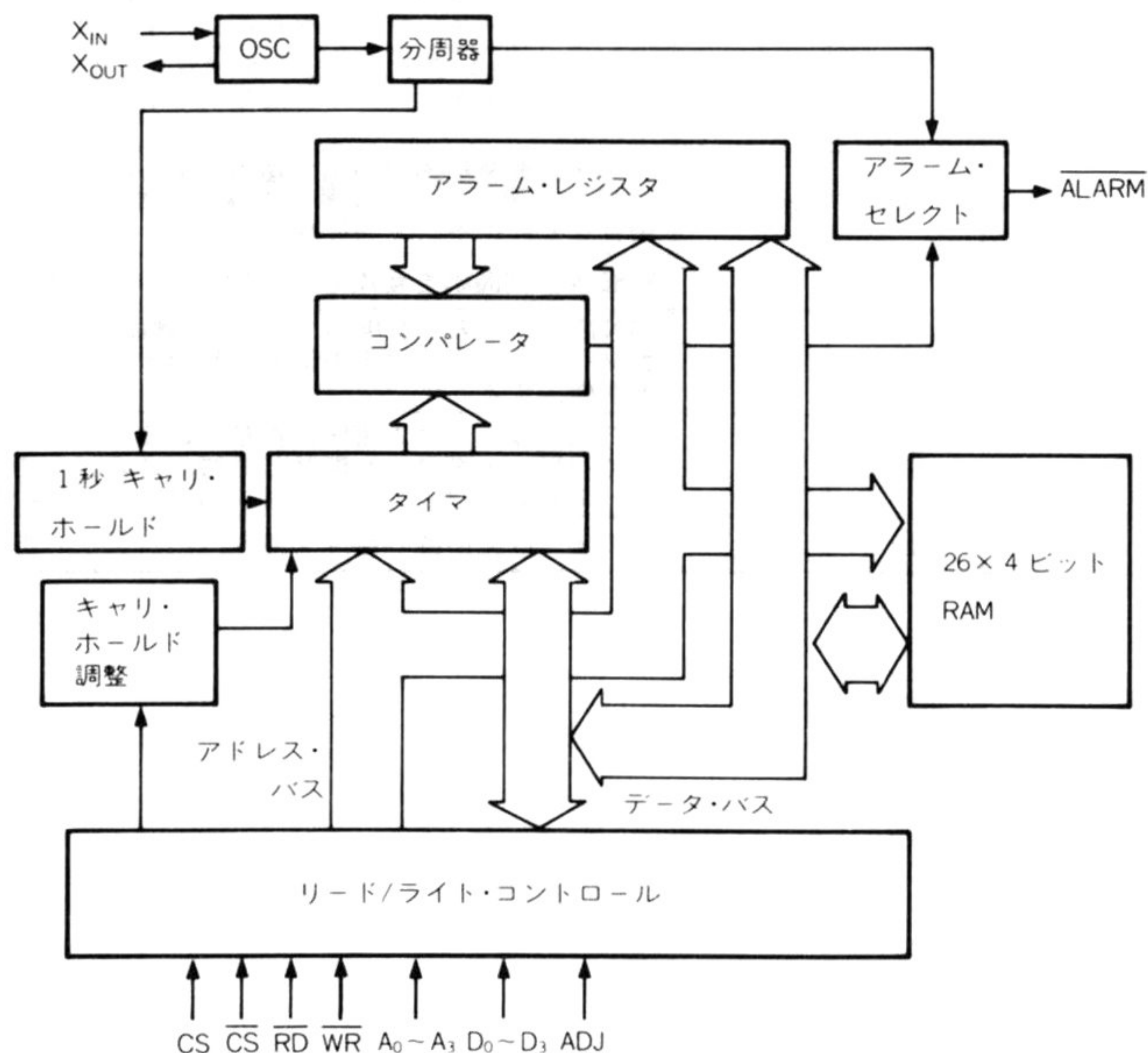
■ DC特性

(T_a＝−40〜+85℃，V_{CC}＝5V±10%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝2mA	0.4	V
V_{OH}	I_{OH}＝0.5mA	V_{CC}−0.4*	V
I_{IL}	V_{IN}＝0〜V_{CC}	±10	μA

■ 特　徴

- 低消費電力
- 32.768kHzの水晶発振回路内蔵
- 時計機能（時分秒，月日曜日）
- オート・カレンダ
- ２４時間／１２時間計のどちらかを選択可能
- ±３０秒補正機能をもつ
- アラーム信号または１６Ｈｚ，１Ｈｚのパルス出力可能
- 26×4ビットのＲＡＭ内蔵
- バッテリ・バックアップ動作可能
- ４ビット双方向データ・バス
- ＣＰＵバスと直結可能

■ ブロック図

■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{CS}$	チップ・セレクト	1	入力	$\overline{CS}$が"0"で，CSが"1"のときRTCが選択され，リード/ライト動作が可能になる．$\overline{CS}$は，CPUに接続して使用する． CSは，周辺回路部電源のパワーダウン検出部に接続して使用する
CS		2	入力	
ADJ	アジャスト	3	入力	この信号により秒を補正する．秒が0～29秒のときに，この信号を"H"レベルにすると秒を0にする．また30～59秒の時は分を桁上げして秒を0にする
A_0～A_3	アドレス	4～7	入力	RTCのレジスタを選択するためのアドレス入力．CPU側のアドレス・バスと接続する
$\overline{RD}$	リード	8	入力	チップが選択されている状態で"0"にすることにより，CPUはRTCのレジスタの内容を読み出すことができる
GND	グラウンド	9	—	ICのグラウンド．システムのグラウンドと接続する
$\overline{WR}$	ライト	10	入力	チップが選択されている状態で"0"にすることにより，CPUはRTCのレジスタへデータを書き込むことができる
D_0～D_3	データ	11～14	入出力	CPU側とデータのやり取りをするための双方向性データ・バス（4ビット）
$\overline{ALARM}$	アラーム	15	出力	アラーム信号と，16Hz，1Hzのクロック・パルスを出力する．オープン・ドレイン出力になっている
X_{IN}	クロック	16	入力	水晶振動子接続端子
X_{OUT}		17	出力	
V_{CC}	電源	18	—	電源(＋5V)端子

RTC〔Real Time Clock Plus RAM〕

■ ピン接続

DP8570A

ピン	信号	ピン	信号
1	CS̄ →	28	V_{CC}
2	RD̄ →	27	← PFAIL̄
3	WR̄ →	26	← TCK
4	A_0 ↔	25	↔ D_7
5	A_1 ↔	24	↔ D_6
6	A_2 ↔	23	↔ D_5
7	A_3 ↔	22	↔ D_4
8	A_4 ↔	21	↔ D_3
9	G_1 →	20	↔ D_2
10	T_1 ←	19	↔ D_1
11	V_{BB}	18	↔ D_0
12	→	17	→ INTR
13	OSC OUT ←	16	→ MFO
14	GND	15	← G_0

■ 特　徴

・秒〜年，曜日，１２／２４時間制対応のリアル・タイム・クロック
・４種類の発振周波数を選択可能
　32K, 32.768K, 4.194M, 4.9152MHz
・二つの１６ビット・タイマを内蔵
・二つの電源端子をもち，パワー・フェイル時の電源切り替え動作および内部保護動作を行う
・各種割り込み出力機能を内蔵．
　割り込み周期は0.01〜1秒間でプログラマブル．
　アラーム割り込み出力．
　パワー・フェイル割り込み出力．
・４４バイトのＣＭＯＳ　ＲＡＭを内蔵
・スタンバイ時に２．２Ｖまで動作可能

■ ブロック図

TCK　G_0,G_1　T_1　OSC OUT　OSC IN　PFAIL̄
プリスケーラ
V_{BB}　V_{CC}　パワー・サプライスイッチ回路　V⁺
リアルタイム・クロック・カウンタ
マルチモードタイマ0 タイマ1
パワー・フェイル・ロジック
CS̄　WR̄　RD̄　$D_{0\sim7}$　$A_{0\sim4}$
CPU バス回路
内部バス
アラーム比較/タイム・セーブRAM
インタラプト・ロジック
コントロール・レジスタ
CMOS RAM
INTR　MFO

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜V_{CC}+0.5	V
消費電力	P_D	0.5	W
動作温度	T_{OPR}	−40〜85	℃
保存温度	T_{STG}	〜65〜150	℃

■ DC特性

（T_a＝−40〜85℃, V_{CC}＝5V±10%, V_{BB}＝3V）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OH}＝4.0mA	0.25	V
V_{OH}	I_{OL}＝4.0mA	3.5*	V
I_{OL}	V_{OUT}＝0, V_{CC}	±5	μA
I_{IL}	V_{IN}＝0, V_{CC}	±1	μA
I_{BB}	f＝32.768kHz	10	μA
	f＝4.19MHz	400	μA
C_{IN}		5	pF

■ 端子機能

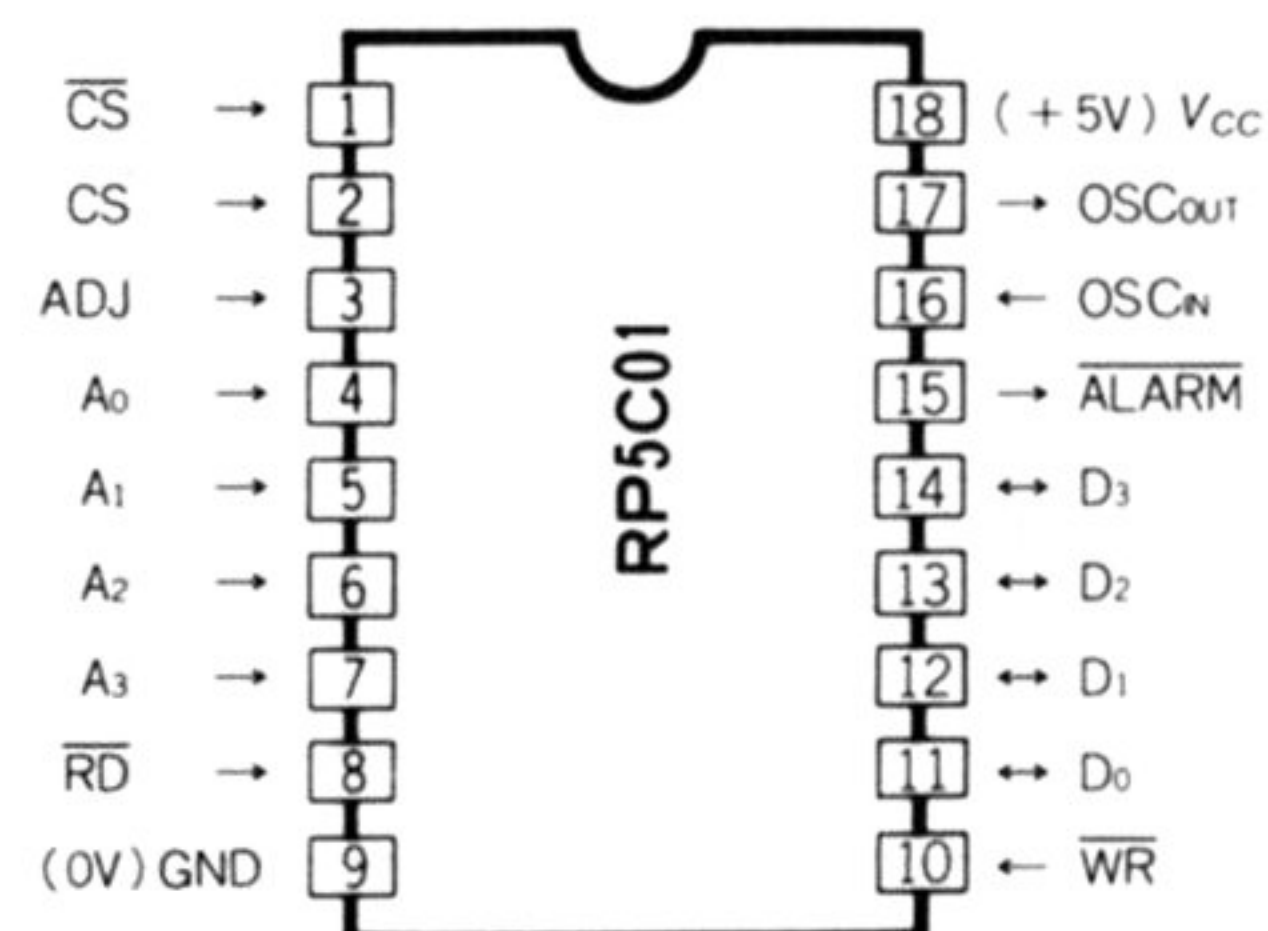
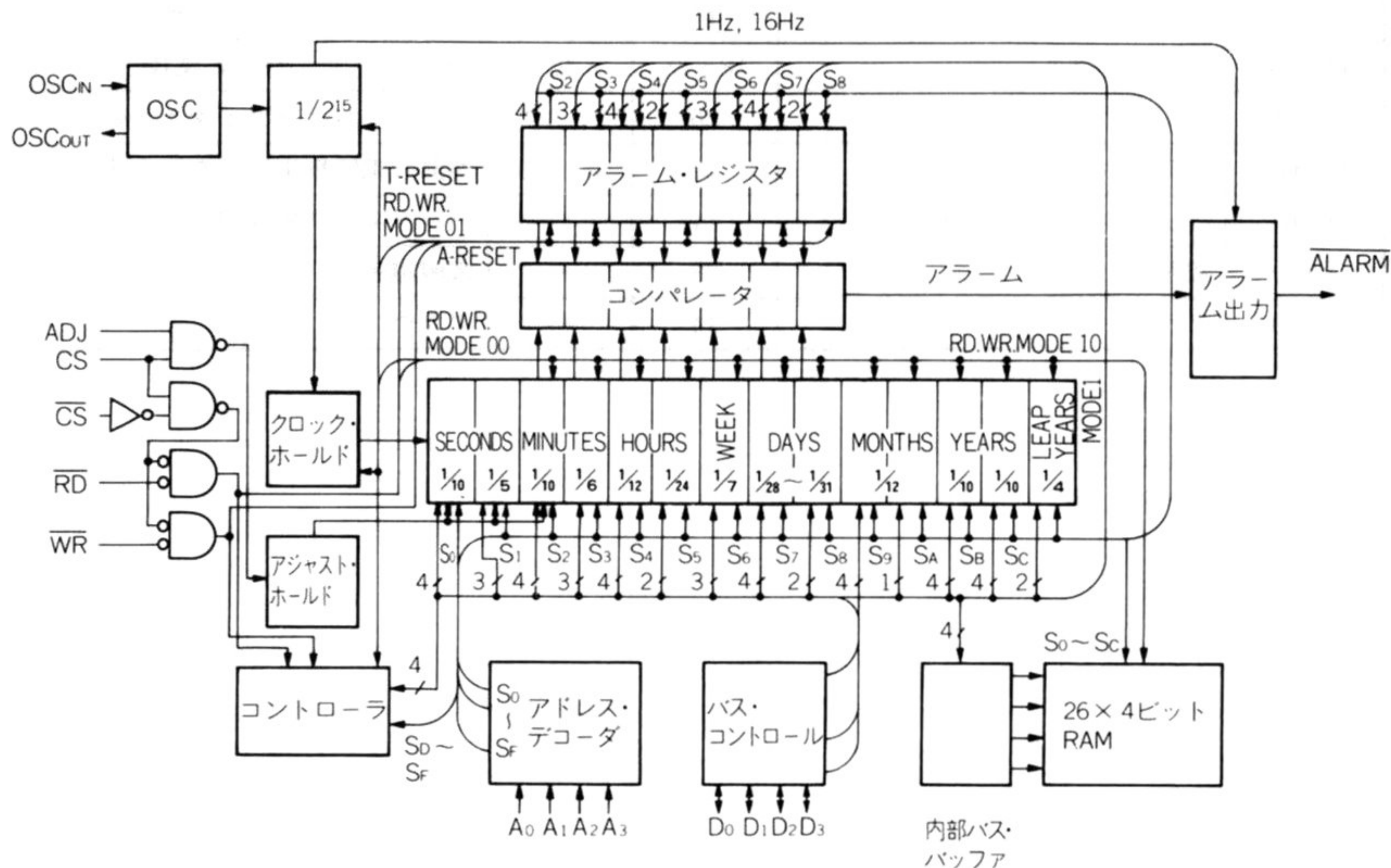
端子名	名　　称	ピン番号	入出力	機　　能
$\overline{CS}$	チップ・セレクト	1	入　力	チップ・セレクト入力．リード/ライト動作時に使用
$\overline{RD}$	リード	2	入　力	リード入力．$\overline{RD}$が“L”のとき有効
$\overline{WR}$	ライト	3	入　力	ライト入力．$\overline{WR}$が“L”のとき有効
A_0～A_4	アドレス	4～8	入出力	内部レジスタ選択用アドレス入力．パワー・ダウン時ディセーブル状態
G_1	ゲート1	9	入　力	タイマ1，タイマ2のゲート信号．“L”アクティブでそれぞれのタイマへの入力が可能となる
G_0	ゲート0	15	入　力	
T_1	タイマ1出力	10	出　力	タイマ1の信号出力端子
OSC IN	オシレータ入力	12	入　力	水晶振動子接続端子．水晶はパワー・セーブ時も発振を続ける
OSC OUT	オシレータ出力	13	出　力	
MFO	マルチ・ファンクション出力	16	出　力	CPUへの1秒割り込み信号出力
INTR	インタラプト	17	出　力	タイミング・イベントやパワー・ダウン時の割り込み信号出力
D_0～D_7	データ・バス	18～25	入出力	CPUデータ・バスと接続し，データの入出力を行う
TCK	タイマ・クロック	26	入　力	タイマ0およびタイマ1へのクロック入力
$\overline{PFAIL}$	パワー・フェイル	27	入　力	外部の電圧検出信号を入力する．“L”アクティブでパワー・フェイル・モードになる
V_{BB}	バッテリ・パワー端子	11	—	バックアップ電源端子
V_{CC}	電源	28	—	電源端子
GND	グラウンド	14	—	グラウンド

RTC〔Real Time Clock〕

■ ピン接続

RP5C01

ピン	信号	ピン	信号
1	$\overline{CS}$ →	18	(+5V) V_{CC}
2	CS →	17	→ OSC_{OUT}
3	ADJ →	16	← OSC_{IN}
4	A_0 →	15	→ $\overline{ALARM}$
5	A_1 →	14	↔ D_3
6	A_2 →	13	↔ D_2
7	A_3 →	12	↔ D_1
8	$\overline{RD}$ →	11	↔ D_0
9	(0V) GND	10	← $\overline{WR}$

■ 特　徴

- ＣＰＵと直結可能
- ４ビット双方向バス　D0～D3
- ４ビット・アドレス入力　A0～A3
- 時刻（時，分，秒），カレンダ（１００年，うるう年，月，日，曜日）のカウンタを内蔵
- ２４時間制／１２時間制の選択可能
- 時計のデータはすべてＢＣＤコードで表現
- ±３０秒アジャスタ機能
- バッテリ・バックアップが可能
- ２６×４ビットのＲＡＭを内蔵
- アラーム信号，または１６Ｈｚか１Ｈｚのタイミング・パルス出力可能

■ 最大定格

項　目	記　号（条件）		定　格	単位
電源電圧	V_{CC}	(GND端子を基準とする)	−0.3～+7.0	V
入力電圧	V_{IN}		−0.3～+7.0	V
出力電圧	V_{OUT}		−0.3～+7.0	V
消費電力	P_D (T_a=25℃)		700	mW
動作温度	T_{OPR}		0～+70	℃
保存温度	T_{STG}		−40～+125	℃

■ DC特性

(T_a=0～+70℃，V_{CC}=5V±5%)

項　目（条件）	min/max*	単位
V_{IH}	2.0	V
V_{IL}	−0.3/0.8*	V
V_{OH} (I_{OH}=−400μA)	2.4	V
V_{OL} (I_{OL}=2mA)	0.4*	V
I_I (V_I=0～5.25V)	±10*	μA
I_{OZ}	±10*	μA
I_{CC1} (V_{CC}=2.2V)	15*	μA
I_{CC2} (V_{CC}=5.0V)(2)	250*	μA

注(1) 電流はICに流れ込む向きを正とする
　(2) CPU接続時（リード/ライト・サイクル10μs）

■ ブロック図

OSC_{IN}　OSC_{OUT}　OSC　$1/2^{15}$　1Hz, 16Hz
T-RESET　RD.WR. MODE 01　A-RESET　RD.WR. MODE 00　RD.WR.MODE 10
アラーム・レジスタ　コンパレータ　アラーム　アラーム出力　$\overline{ALARM}$
ADJ　CS　$\overline{CS}$　$\overline{RD}$　$\overline{WR}$
クロック・ホールド　アジャスト・ホールド　コントローラ
SECONDS　MINUTES　HOURS　WEEK　DAYS　MONTHS　YEARS　LEAP YEARS　MODE1
S_0～S_F　アドレス・デコーダ　バス・コントロール　26×4ビット RAM　内部バス・バッファ
A_0 A_1 A_2 A_3　D_0 D_1 D_2 D_3

■ 端子機能

端 子 名	ピン番号	入 出 力	機 能
$\overline{CS}$	1	入 力	外部のとインターフェースを行うときに使用する. CS＝“H”, $\overline{CS}$＝“L”で有効. CSは周辺回路部電源のパワー・ダウン検出部に接続. $\overline{CS}$はマイコンに接続する
CS	2	入 力	
ADJ	3	入 力	“H”で秒の補正を行う. 0～29秒→0秒　30～59秒→分をカウント・アップして0秒に
A_0～A_3	4～7	入 力	アドレス・ピン. CPUのアドレス・バスを接続する
$\overline{RD}$	8	入 力	I/Oコントロール入力. CPU←RP5C01のとき“L”
(0V)GND	9	—	グラウンド
$\overline{WR}$	10	入 力	I/Oコントロール入力. CPU→RP5C01のとき“L”
D_0～D_3	11～14	入出力	双方向性データ・バス. CPUのデータ・バスに接続する
ALARM	15	出 力	アラーム信号と, 16HzCK, 1HzCKパルスを出力する. オープン・ドレイン出力
OSC_{IN}	16	入 力	水晶振動子接続端子. 32.768kHz
OSC_{OUT}	17	出 力	
(+5V) V_{CC}	18	—	+5V電源

■ AC特性

(T_a＝0～+70℃, V_{CC}＝5V±5%)

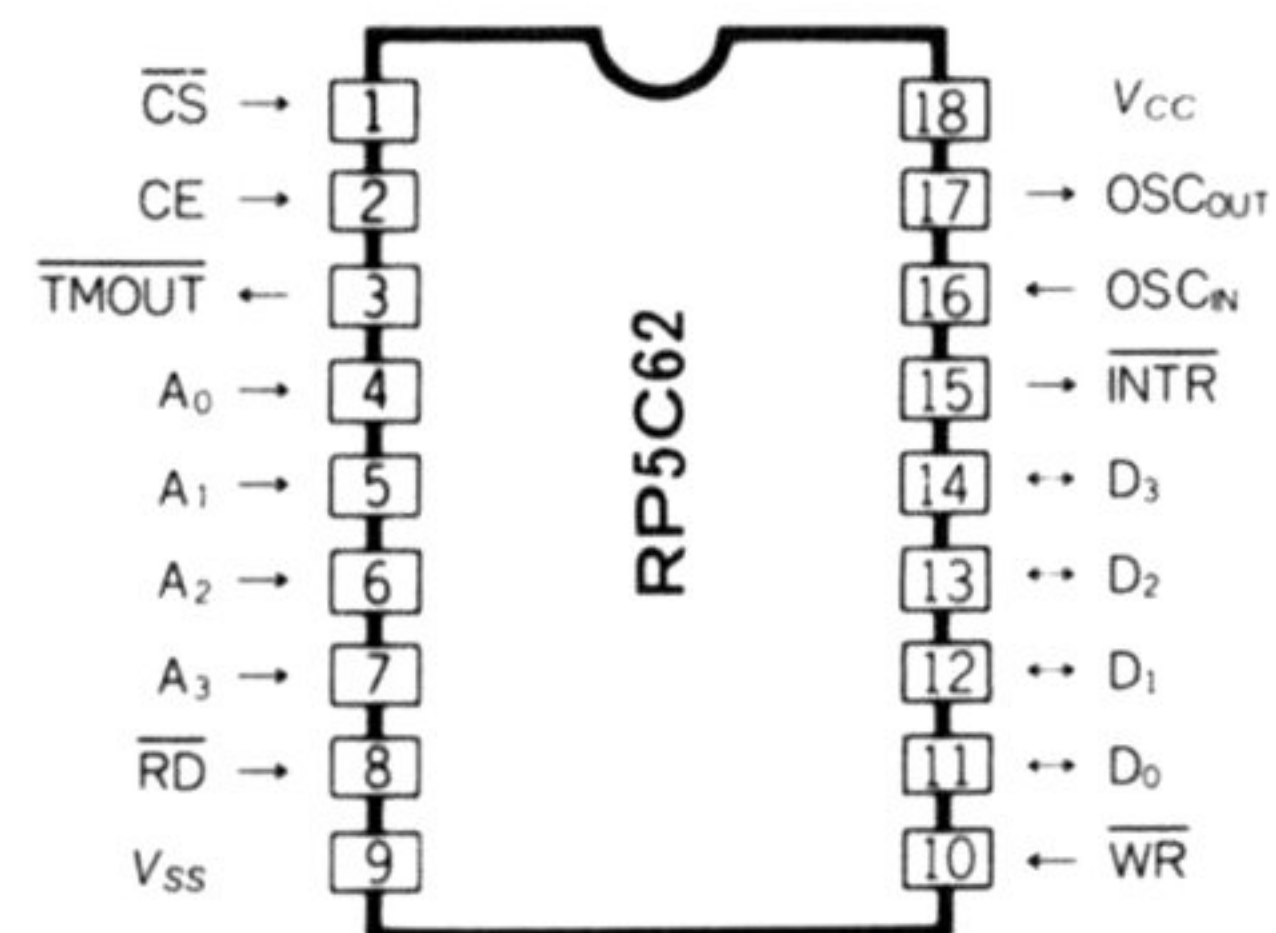
記号	min/max*	単位
t_{AC}	170	ns
t_{CC}	400/10000	ns
t_{CA}	10	ns
t_{RD}	340*	ns
t_{RDH}	0	ns
t_{WDL}	40*	ns
t_{WD}	20	ns

RTC〔Real Time Clock〕

■ ピン接続

	ピン	RP5C62	ピン	
$\overline{CS}$ →	1		18	V_{CC}
CE →	2		17	→ OSC_{OUT}
$\overline{TMOUT}$ ←	3		16	← OSC_{IN}
A_0 →	4		15	→ $\overline{INTR}$
A_1 →	5		14	↔ D_3
A_2 →	6		13	↔ D_2
A_3 →	7		12	↔ D_1
$\overline{RD}$ →	8		11	↔ D_0
V_{SS}	9		10	← $\overline{WR}$

■ 特　徴

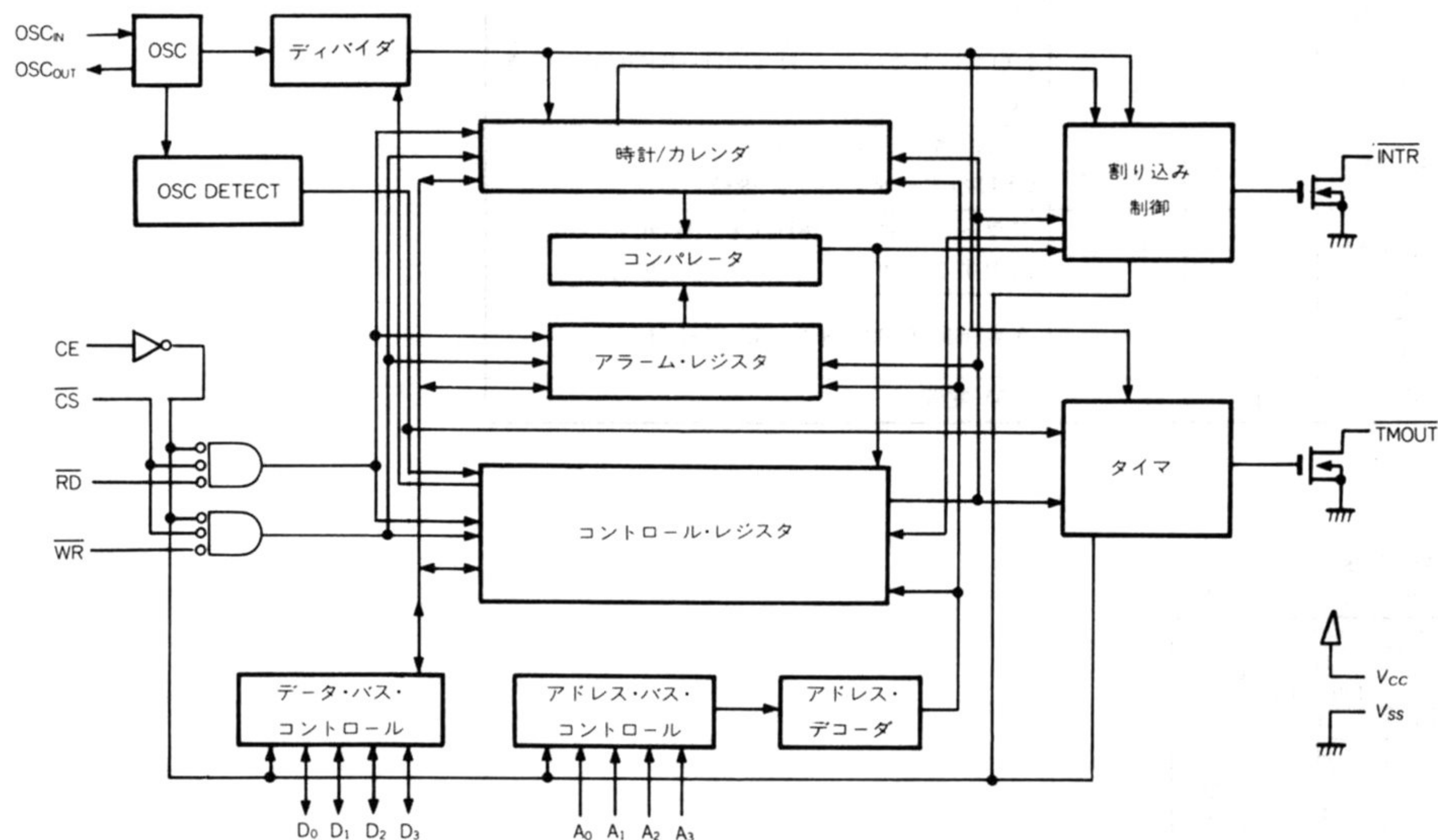
- ＣＰＵと直結可能
- ４ビット双方向バス　D0〜D3
- ４ビット・アドレス入力　A0〜A3
- 発振回路を定電圧駆動しており，電源電圧変動に対し発振周波数の安定度よい（±1ppm以内）
- ＣＰＵに対する一定周期割り込み発生およびアラーム一致割り込み発生機能
- 時刻（時，分，秒），カレンダ（うるう年，年，月，日，曜日）のカウンタを内蔵
- ２４時間制／１２時間制の選択可能
- 時計のデータはすべてＢＣＤコードで表現
- ±３０秒アジャスト機能
- バッテリ・バックアップが可能
- 計時データの有効／無効判別機能

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜 V_{CC}+0.3	V
消費電力	P_D	0.3	W
動作温度	T_{OPR}	−20〜70	℃
保存温度	T_{STG}	−40〜125	℃

■ DC特性

（T_a＝−20〜70℃，V_{CC}＝5V±10%）

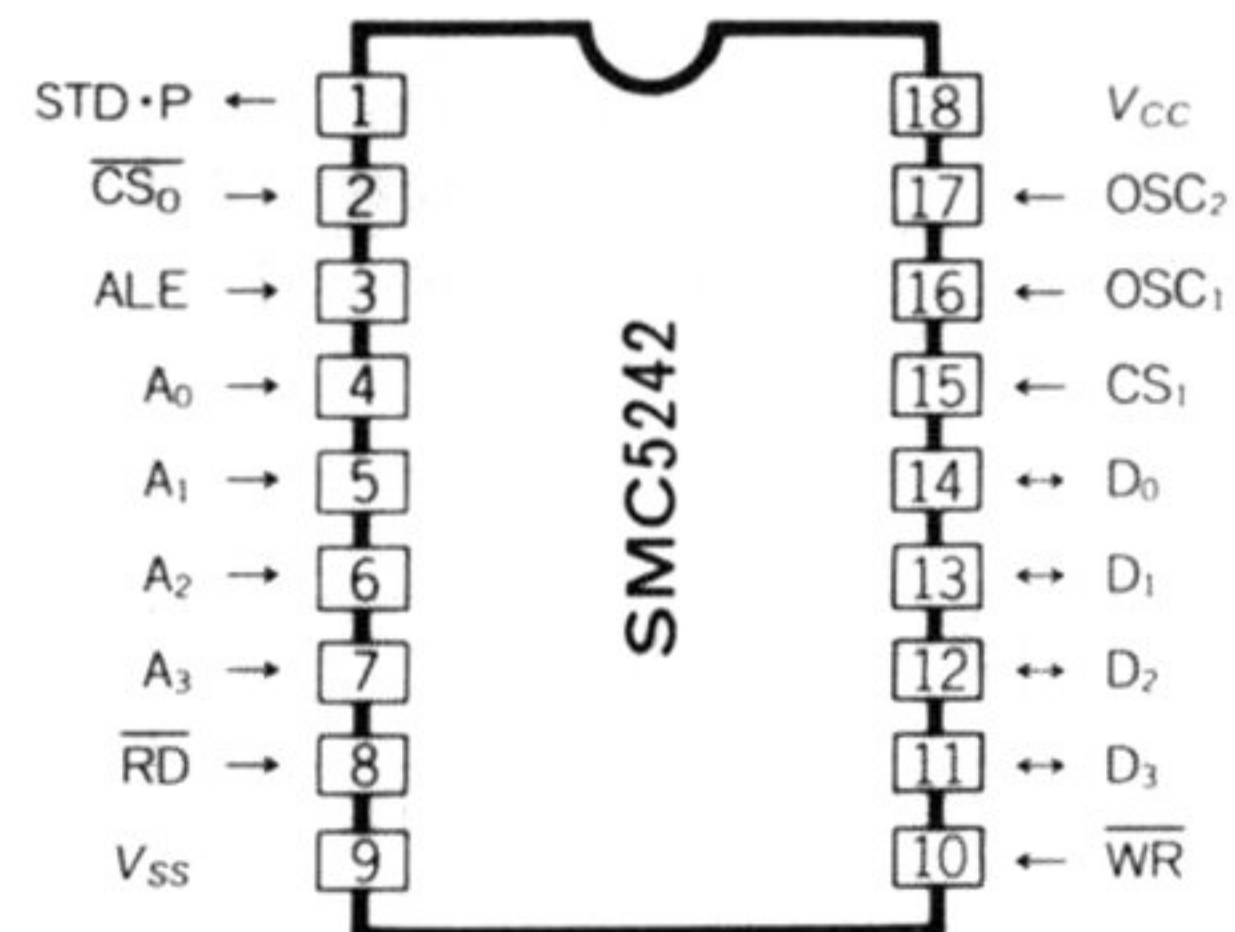
記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝2mA	0.4	V
V_{OH}	I_{OH}＝400μA	2.4*	V
I_{OL}	V_{OUT}＝0〜V_{CC}	±5	μA
I_{IL}	V_{IN}＝0〜V_{CC}	±1	μA

■ ブロック図

■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{CS}$ CE	チップ・セレクト， チップ・イネーブル入力	1 2	入力	外部とインターフェースを行うときに使用し，$\overline{CS}$＝“L”，CE＝“H”のときアクセス可能．CEはシステム電源側のパワー・ダウン検出部に接続し，$\overline{CS}$はマイコンのアドレス・バスに接続する
$\overline{TMOUT}$	タイマ出力	3	出力	タイマ出力で，割り込み用フリーラン・タイマ，ウォッチドグ・タイマとして使用可能．CE＝“L”のとき（バッテリ・バックアップ時）は，動作停止（出力OFF）となる．Nチャネルのオープン・ドレイン出力
A_0～A_3	アドレス入力	4～7	入力	CPUのアドレス・バスと接続する．CEと内部でゲートされている
$\overline{RD}$	読み出し制御入力	8	入力	“L”にすることにより，A_0～A_3で指定されたカウンタ/レジスタの内容をD_0～D_3に出力する．$\overline{CS}$＝“L”，CE＝“H”で有効になる
$\overline{WR}$	書き込み制御入力	10	入力	“L”あるいは“L”→“H”にすることにより，A_0～A_3で指定されたカウンタ/レジスタにD_0～D_3の内容を書き込む．$\overline{CS}$＝“L”，CE＝“H”で有効になる
D_0～D_3	双方向データ・バス	11～14	入出力	CPUのデータ・バスに接続する．入力部はCEと内部でゲートされている
$\overline{INTR}$	割り込み出力	15	出力	CPUに対する一定周期の割り込み，またはアラーム一致の割り込みを出力する．CE＝“L”のとき（バッテリ・バックアップ時）も動作する．Nチャネルのオープン・ドレイン出力
OSC_{IN} OSC_{OUT}	発振回路入出力	16 17	入力 出力	OSC_{IN}-OSC_{OUT}間に32.768kHzの水晶振動子を接続し，V_{CC}-OSC_{IN}間およびV_{CC}-OSC_{OUT}間に容量を外付けして発振回路を構成する
V_{CC} V_{SS}	正電源入力 負電源入力	18 9	—	V_{CC}に＋5Vを接続し，V_{SS}を接地する

RTC (Real Time Clock)

■ ピン接続

	ピン		ピン	
STD・P ←	1	SMC5242	18	V_{CC}
$\overline{CS_0}$ →	2		17	← OSC_2
ALE →	3		16	← OSC_1
A_0 →	4		15	← CS_1
A_1 →	5		14	↔ D_0
A_2 →	6		13	↔ D_1
A_3 →	7		12	↔ D_2
$\overline{RD}$ →	8		11	↔ D_3
V_{SS}	9		10	← $\overline{WR}$

■ 特　徴

- ４ビット双方向データ・バスおよび４ビット・アドレス・バス
- 32.768kHzの水晶発振回路内蔵
- ２４時間／１２時間計のどちらかを選択可能
- 時計データはすべてＢＣＤコードで表現
- ソフトによる３０秒前後での分桁上げ自動判別補正機能

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～7.0	V
入力電圧	V_{IN}	−0.3～V_{CC}+0.3	V
消費電力	P_D		W
動作温度	T_{OPR}	−30～85	℃
保存温度	T_{STG}	−55～150	℃

■ DC特性

(T_a＝−30～85℃, V_{CC}＝5V±10%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝2.5mA	0.4	V
V_{OH}	I_{OH}＝400μA	2.4*	V
I_{OL}	V_{OUT}＝0～V_{CC}	±10	μA
I_{IL}	V_{IN}＝0～V_{CC}	±10	μA
C_{IN}		20	pF

■ ブロック図

■端子機能

端子名	名　称	ピン番号	入出力	機　能
D_0~D_3	データ・バス	11~14	入出力	双方向のデータ・バスで，マイクロコンピュータのデータ・バスなどに接続して使用する．このバスを通じ内部カウンタ，レジスタへデータの読み出し，書き込みを行う
A_0~A_3	アドレス	4~7	入　力	アドレスの入力端子で，マイクロコンピュータのアドレスなどに接続して使用する．このICの内部カウンタ，レジスタの選択(アドレス選択)を行う． 次項のALEと組み合わせて使用することもできる
ALE	アドレス・ラッチ・イネーブル	3	入　力	アドレス・データおよび$\overline{CS_0}$を読み込み，内部的に保持するための入力端子． ALE＝"H"のときは，アドレスおよび$\overline{CS_0}$はIC内に読み込まれ，ALEの立ち下がりでそのアドレスおよび$\overline{CS_0}$を保持する．保持はALE＝"L"の間続く． ALE出力をもたないマイクロコンピュータの場合は，この端子を"H"で使用する
$\overline{WR}$	ライト	10	入　力	"L"レベルにすることにより，アドレス入力A_0~A_3により指定されたカウンタ，レジスタにデータ・バス(D_0~D_3)上のデータを書き込む
$\overline{RD}$	リード	8	入　力	"L"レベルにすることにより，アドレス入力A_0~A_3により指定されたカウンタ，レジスタよりそのデータ内容をデータ・バス(D_0~D_3)上に出力する
$\overline{CS_0}$	チップ・セレクト0	2	入　力	"L"レベルで本ICを活性(イネーブル)状態にする．ALEと組み合わせて使用することもできる
CS_1	チップ・セレクト1	15	入　力	本ICをスタンバイ状態，またはオペレーション状態にするための入力端子． CS_1を"H"にすることにより本ICを活性(イネーブル)状態にする． ("L"にて本ICをスタンバイ状態にすることができる)
STD·P	スタンダード・パルス	1	出　力	Nチャネルのオープン・ドレイン構成の出力端子で，周期的な割り込み波形，または周期的なパルス波形を出力する．タイミング発生時に"L"になる． $\overline{CS_0}$，CS_1により禁止されることはない
OSC_1 OSC_2	水晶発振端子	16 17	入　力	32.768kHzの水晶発振用端子
V_{CC} V_{SS}	電源端子	18 9	—	V_{CC}にプラス電源，V_{SS}に0V(グラウンド)電源を供給する

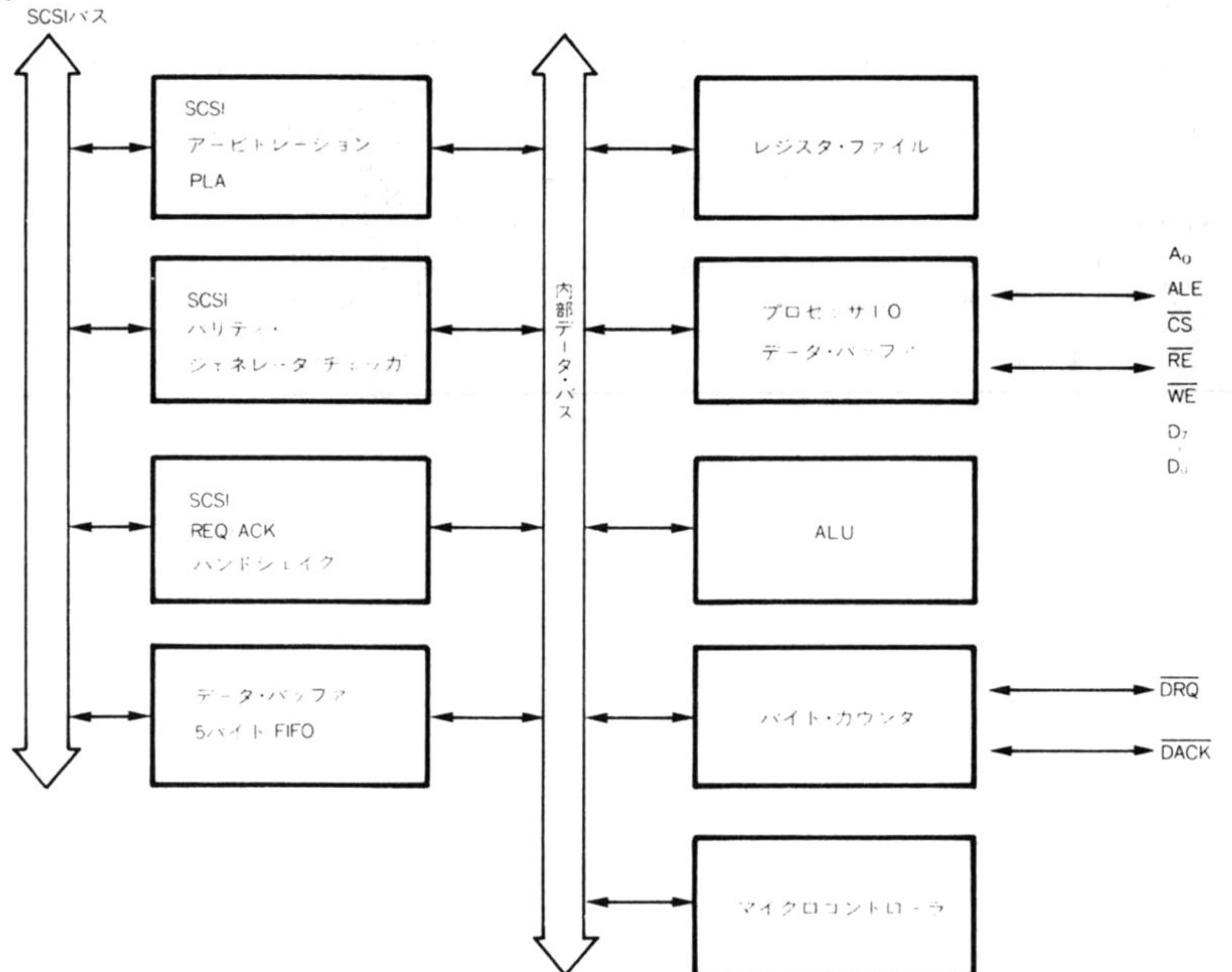
SCSI Controller

■ ピン接続

WD33C93A

ピン	信号	ピン	信号
1	I/O	40	V_{CC}
2	$\overline{MSG}$	39	$\overline{REQ}$
3	V_{SS}	38	$\overline{ACK}$
4	$\overline{C}$/D	37	$\overline{ATN}$
5	$\overline{BSY}$	36	$\overline{MR}$
6	$\overline{SEL}$	35	V_{SS}
7	CLK	34	$\overline{DB_7}$
8	$\overline{DRQ}$/DRQ	33	$\overline{DB_6}$
9	$\overline{DACK}$/$\overline{RCS}$	32	$\overline{DB_5}$
10	INTRQ	31	$\overline{DB_4}$
11	D_0	30	$\overline{DB_3}$
12	D_1	29	$\overline{DB_2}$
13	D_2	28	V_{SS}
14	D_3	27	$\overline{DB_1}$
15	D_4	26	$\overline{DB_0}$
16	D_5	25	$\overline{DBP}$
17	D_6	24	ALE
18	D_7	23	$\overline{RE}$
19	A_0	22	$\overline{WE}$
20	V_{SS}	21	$\overline{CS}$

■ 特　徴

- ＣＰＵ，ＳＣＳＩのインターフェースの機能をもち内蔵のマイクロコントローラで制御される
- 非同期で２．５Ｍバイト／秒の転送速度をもつ・マルチプレクス／ノンマルチプレクスの両方のアドレス／データ・バスに対応できる８ビット・データ・バスをもつ
- イニシエータとターゲットの両機能をもつ
- プログラム転送またはＤＭＡ転送がを可能で，さらにＷＤバスを用いた転送も可能
- ２４ビット転送カウンタ内蔵
- ＳＣＳＩバスに直接接続できるドライバ回路を内蔵

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.2〜7.0	V
入力電圧	V_{IN}	−0.2〜7.0	V
消費電力	P_D	0.5	W
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−55〜125	℃

■ ブロック図

SCSIバス

SCSI アービトレーション PLA

SCSI パリティ・ジェネレータ/チェッカ

SCSI REQ/ACK ハンドシェイク

データ・バッファ 5バイト FIFO

内部データ・バス

レジスタ・ファイル

プロセッサI/O データ・バッファ

ALU

バイト・カウンタ

マイクロコントローラ

A_0, ALE, $\overline{CS}$, $\overline{RE}$, $\overline{WE}$, D_7〜D_0

$\overline{DRQ}$

$\overline{DACK}$

■ DC特性

（T_a＝0〜70℃，V_{CC}＝5V±5%）

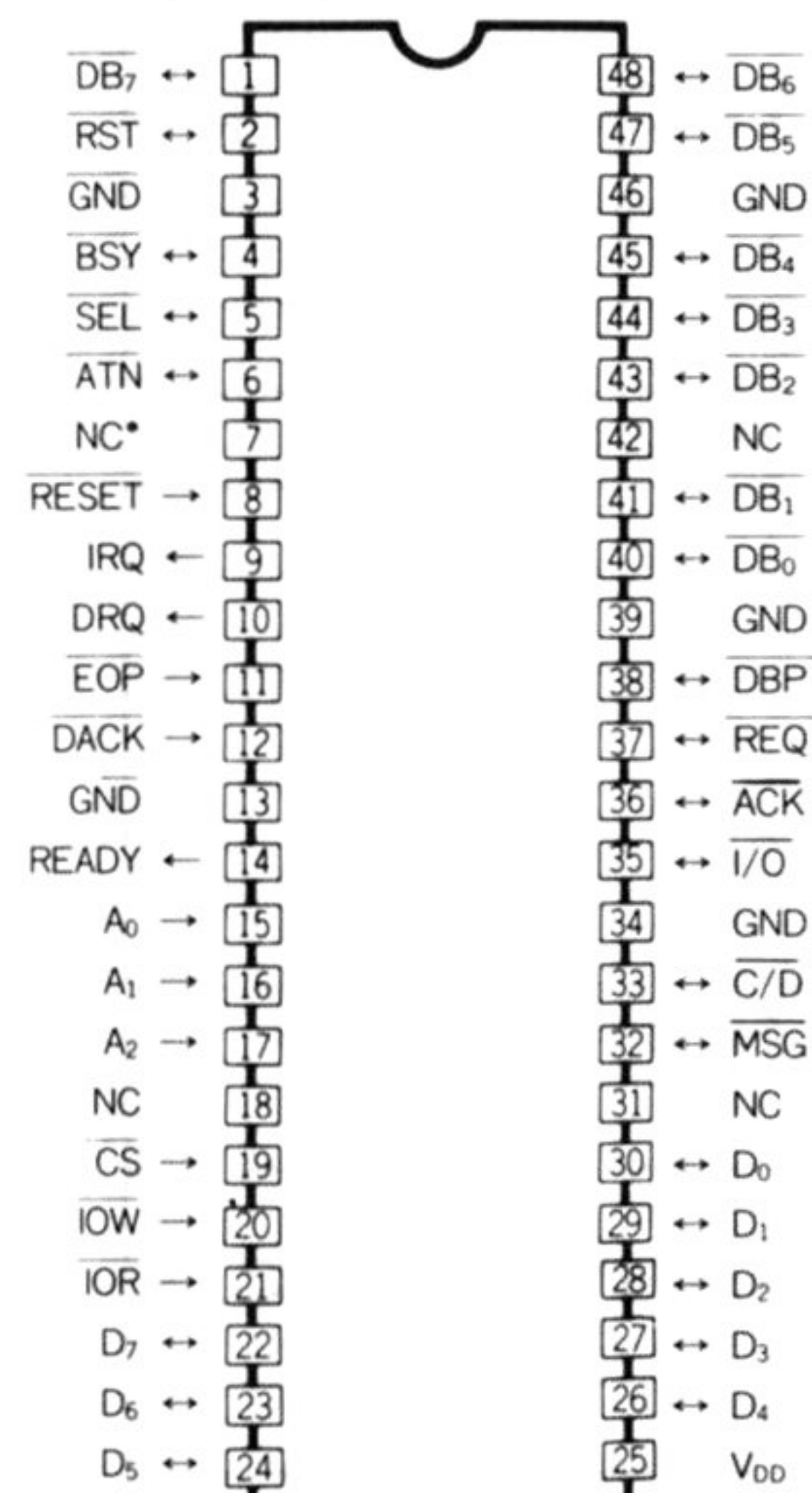
記号	測 定 条 件	max/min*	単位
V_{IN}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝4mA	0.4	V
V_{OH}	I_{OH}＝400μA	2.4*	V
I_{OL}	V_{OUT}＝0.4〜V_{CC}	10	μA
I_{IL}	V_{IN}＝0.4〜V_{CC}	10	μA

■端子機能

端子名	名　　称	ピン番号	入出力	機　　　能
$\overline{I}$/O	入出力	1	入出力	SCSIバス上でのデータの入出力を制御する．“L”のときイニシエータからターゲットへ，“H”のときターゲットからイニシエータとなる
$\overline{MSG}$	メッセージ	2	入出力	メッセージ・フェーズであることを示す．イニシエータのとき入力，ターゲットのとき出力
$\overline{C}$/D	コントロール/データ	4	入出力	コマンド・フェーズ，ステータス・フェーズ，メッセージ・フェーズのとき“L”となる
$\overline{BSY}$	ビジィ	5	入出力	SCSIバスの使用状態を示す信号．ターゲットのとき出力，イニシエータのとき入力となる
$\overline{SEL}$	セレクト	6	入出力	セレクション・フェーズ，リセレクション・フェーズで使用される
$\overline{DBP}$	SCSIデータ・パリティ	25	入出力	SCSIバス・データ・パリティ
$\overline{DB_0}$ ～ $\overline{DB_7}$	データ0 ～ データ7	26，27，29 ～ 34	入出力	SCSIバス・データの入出力端子
$\overline{ATN}$	アテンション	37	入出力	アテンション・コンディションを示す信号
$\overline{REQ}$	リクエスト	39	入出力	ターゲットがデータの要求やデータの用意ができたことをイニシエータに知らせる信号
CLK	クロック	7	入　力	クロック入力
$\overline{DRQ}$/DRQ	データ・リクエスト	8	入出力	DMAコントローラとのハンドシェイクに使用する
$\overline{DACK}$/$\overline{RCS}$	DMAアクノリッジ/RAMセレクト	9	入出力	DMAコントローラからのアクノリッジ入力信号．外部RAMを使用するときは，チップ・セレクト信号を出力する
INTRQ	割り込み要求	10	出　力	割り込み要求出力
D_0 ～ D_7	データ0～7	11 ～ 18	入出力	レジスタのリード/ライト用の双方向データ・バス
A_0	アドレス0	19	入　力	内部レジスタ・アクセス用のアドレス入力
$\overline{CS}$	チップ・セレクト	21	入　力	内部レジスタ・アクセスのためのチップ・セレクト
$\overline{WE}$	ライト・イネーブル	22	入出力	ライト・イネーブル信号．外部バッファ・アクセス時は$\overline{WE}$を出力する
$\overline{RE}$	リード・イネーブル	23	入出力	リード・イネーブル信号．外部バッファ・アクセス時は$\overline{RE}$を出力する
ALE	アドレス	24	入　力	アドレス・ラッチ・イネーブル信号
$\overline{MR}$	マスタ・リセット	36	入　力	マスタ・リセット入力
$\overline{ACK}$	アクノリッジ	38	入出力	ターゲットからの転送要求信号$\overline{REQ}$に対する応答信号

SCSI IC (SCSI Interface Chip)

■ ピン接続

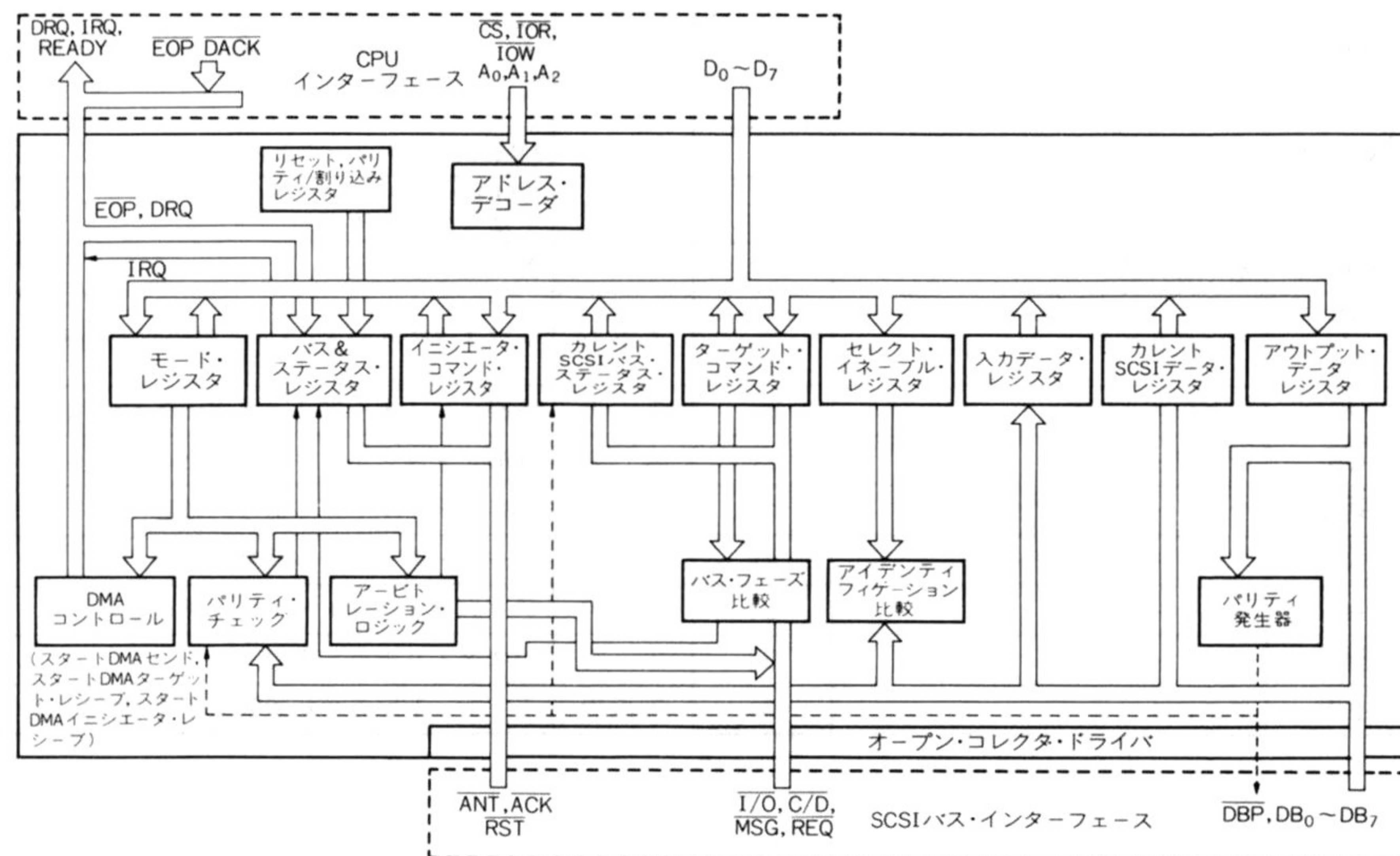
信号	ピン	ピン	信号
$\overline{DB_7}$ ↔	1	48	↔ $\overline{DB_6}$
$\overline{RST}$ ↔	2	47	↔ $\overline{DB_5}$
GND	3	46	GND
$\overline{BSY}$ ↔	4	45	↔ $\overline{DB_4}$
$\overline{SEL}$ ↔	5	44	↔ $\overline{DB_3}$
$\overline{ATN}$ ↔	6	43	↔ $\overline{DB_2}$
NC*	7	42	NC
RESET →	8	41	↔ $\overline{DB_1}$
IRQ ←	9	40	↔ $\overline{DB_0}$
DRQ ←	10	39	GND
$\overline{EOP}$ →	11	38	↔ $\overline{DBP}$
$\overline{DACK}$ →	12	37	↔ $\overline{REQ}$
GND	13	36	↔ $\overline{ACK}$
READY ←	14	35	↔ $\overline{I/O}$
A_0 →	15	34	GND
A_1 →	16	33	↔ $\overline{C/D}$
A_2 →	17	32	↔ $\overline{MSG}$
NC	18	31	NC
$\overline{CS}$ →	19	30	↔ D_0
$\overline{IOW}$ →	20	29	↔ D_1
$\overline{IOR}$ →	21	28	↔ D_2
D_7 ↔	22	27	↔ D_3
D_6 ↔	23	26	↔ D_4
D_5 ↔	24	25	V_{DD}

NC* : No Connection

■ DC特性

項　目（条件）	min/max*	単位
V_{IH}	2.0/V_{DD}+0.5	V
V_{IL}	−0.5/0.8	V
SCSIバス・ピン		
I_{IH}(V_{IH}=5.25V)	50*	μA
I_{IL}(V_{IL}=0V)	−50*	μA
ほかのすべてのピン		
I_{IH}(V_{IH}=5.25V)	10*	μA
I_{IL}(V_{IL}=0V)	−10*	μA
SCSIバス・ピン		
V_{OL}(I_{OL}=48.0mA)	0.5*	V
ほかのすべてのピン		
V_{OH}(I_{OH}=−4.0mA)	2.4	V
V_{OL}(I_{OL}=8mA)	0.4*	V

■ 特　徴

・ＣＰＵ，ＳＣＳＩのインターフェースの機能をもつ
・非同期で１．５Ｍｂｙｔｅ／ｓｅｃの転送速度をもつ・パリティ・ジェネレータをもち，パリティ・チェックが行える
・アービトレーションの機能をもつ
・ＳＣＳＩバスを直接制御できる
・不平衡出力のバス・バッファを内蔵
・ＣＰＵからはＩ／Ｏデバイスまたはメモリとしてアクセスする
・ＤＭＡまたはプログラムによる入出力のいずれでもアクセスできる
・ＣＰＵに対する割り込み処理の機能をもつ

■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{DD}	−0.5〜+7.0	V
入力電圧	V_{IN}	−0.5〜V_{DD}+0.5	V
出力電圧	V_{OUT}	−0.3〜+5.25	V
保存温度	T_{STG}	−55〜+150	℃
動作温度	T_{OPR}	0〜70°	℃

■端子機能

端子名	名　　称	ピン番号	入出力	機　　能
A_0, A_1, A_2	アドレス	15, 16, 17	入　力	内部レジスタ群をアドレスするために，$\overline{CS}$，$\overline{IOR}$，$\overline{IOW}$と共に使用される
$\overline{CS}$	チップ・セレクト	19	入　力	Chip Select. A_0～A_2によって選択された内部レジスタの読み出し/書き込みをイネーブルにする．アクティブ"L"
$\overline{DACK}$	DMA 可	12	入　力	DMA Acknowledge. DRQ をリセットし，入出力データ転送のために，データ・レジスタをセレクトする．アクティブ"L"
DRQ	DMA 要求	10	出　力	DMA Request. データ・レジスタが読み出し/書き込み可能状態であることを示す．コマンド・レジスタ中の DMA モードが正の場合のみ起こる．$\overline{DACK}$によってクリアされる
D_0～D_7	データ・バス	30～26, 24～22	入出力	双方向．3ステート．マイクロプロセッサ・データ・バスと接続する．アクティブ"H"
$\overline{EOP}$	終了	11	入　力	End of Process. DMA 転送をターミネイトするのに使われる．DMA 中にアサートしたら，現在のバイトは転送されるが，次のバイトは要求されない
$\overline{IOR}$	I/O リード	21	入　力	I/O Read. $\overline{CS}$とA_0～A_2によって選択された内部レジスタを読み出すために使われる．$\overline{DACK}$と共に使われたときは，入力データ・レジスタをセレクトする．アクティブ"L"
$\overline{IOW}$	I/O ライト	20	入　力	I/O Write. $\overline{CS}$とA_0～A_2によって選択された内部レジスタに書き込むために使われる．$\overline{DACK}$と共に使うとき，出力レジスタをセレクトする．アクティブ"L"
IRQ	割り込み要求	9	出　力	Interrupt Request. エラー状態または動作終了を知らせる
READY	レディ	14	出　力	ブロック・モード DMA 転送のスピードをコントロールするのに使用できる．データの送信/受信の用意のあることを示すためにアクティブになる
$\overline{RESET}$	リセット	8	入　力	すべてのレジスタをクリアする．これは，SCSI の$\overline{RST}$信号をアクティブ状態にさせるものではない．アクティブ"L"
$\overline{ACK}$	アクノリッジ	36	入出力オープン・コレクタ	イニシエータによってドライブされ，REQ/ACK データ転送のハンドシェイクにおけるアクノリッジを示す．ターゲット・ロールでは，REQ 信号の応答としてレシーブされる
$\overline{ATN}$	アテンション	6		イニシエータによってドライブされ，アテンションの状態を示す．この信号は，ターゲット・ロールにおいてレシーブされる
$\overline{BSY}$	ビジィ	4		SCSI バスが使用されていることを示す．イニシエータとターゲットの両方のデバイスによってドライブされる
$\overline{C/D}$	コントロール/データ	33		ターゲットによってドライブされる．データ・バス上に，コントロールまたはデータの情報があることを示す．この信号はイニシエータによってレシーブされる
$\overline{I/O}$	入出力	35		SCSI 上で，データの方向を制御するターゲットによってドライブされる．"L"で，イニシエータへの入力を示す．この信号は，セレクション・フェーズとリセレクション・フェーズとを区別するのにも使われる
$\overline{MSG}$	メッセージ	32		メッセージ・フェーズ中にターゲットによってドライブされる．イニシエータによってレシーブされる
$\overline{REQ}$	リクエスト	37		ターゲットによってドライブされる．REQ/ACK データ転送のハンドシェイクのためのリクエストを示す．イニシエータによってレシーブされる
$\overline{RST}$	バス・リセット	2		SCSI バスのリセット状態を示す
$\overline{DB_0}$～$\overline{DB_7}$, $\overline{DBP}$	データ・バス	40, 41, 43～45 47, 48, 1, 38		八つのデータ・ビットと一つのパリティ・ビットで，データ・バスを形成する．$\overline{DB_7}$は，最上位ビットで，アービトレーションで最も高いプライオリティをもつ．データ・パリティは奇数
$\overline{SEL}$	選択信号	5		イニシエータがターゲットをセレクトするために，またはターゲットがイニシエータをリセレクトするために使われる

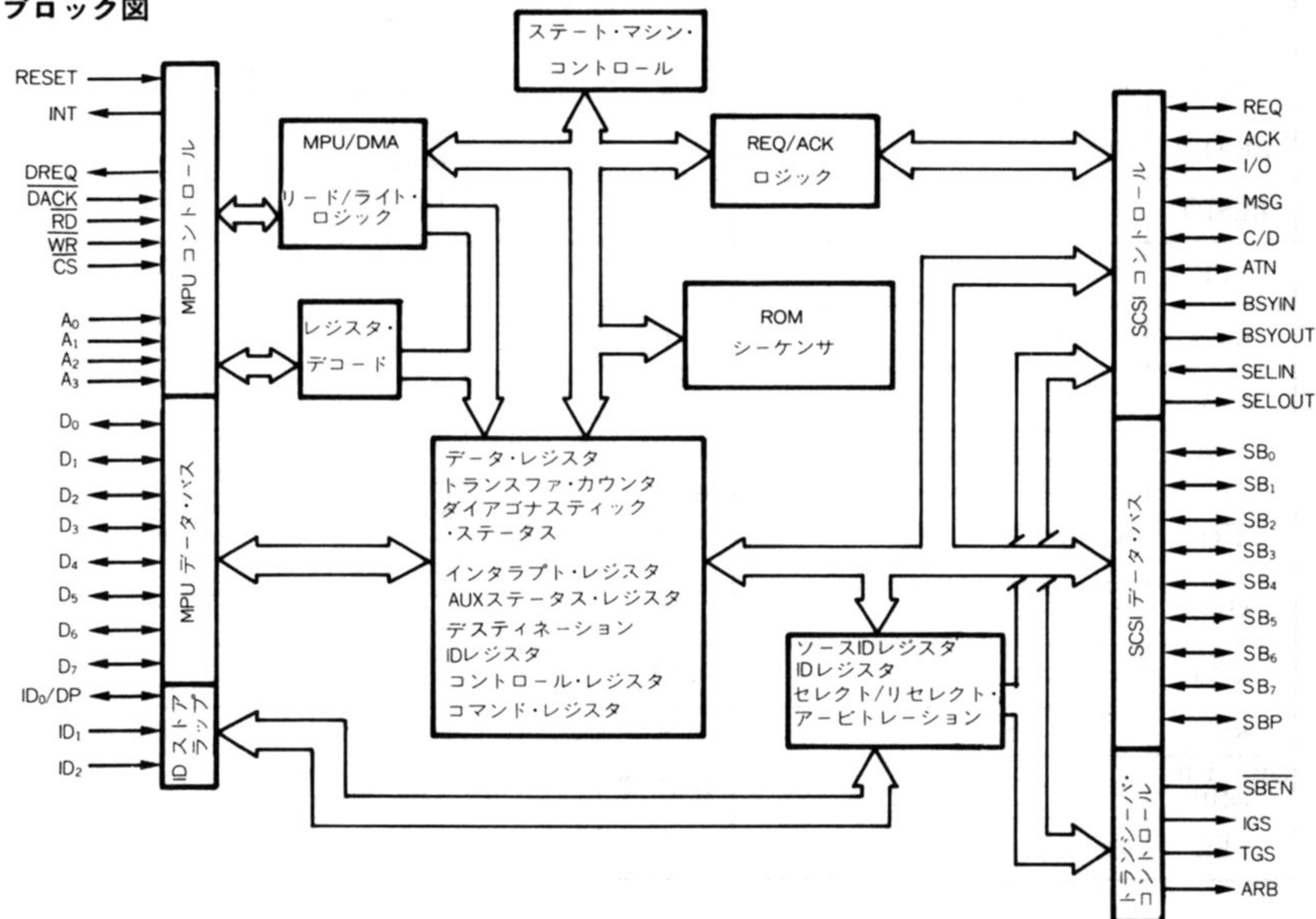
SCSI Controller

■ ピン接続

NCR5386

ピン	信号	ピン	信号
1	D_2 ↔	48	V_{CC}
2	D_1 ↔	47	↔ D_3
3	D_0 ↔	46	↔ D_4
4	RESET →	45	↔ D_5
5	ATN ↔	44	↔ D_6
6	IGS ←	43	↔ D_7
7	I/O ↔	42	→ BSYOUT
8	C/D ↔	41	↔ SB_7
9	MSG ↔	40	↔ SB_6
10	ACK ↔	39	↔ SB_5
11	REQ ↔	38	↔ SB_4
12	$\overline{ID_2}$ →	37	↔ SB_3
13	$\overline{ID_1}$ →	36	↔ SB_2
14	(DP)$\overline{ID_0}$ ↔	35	↔ SB_1
15	ARB ←	34	↔ SB_0
16	CLK →	33	↔ SBP
17	BSY IN →	32	→ SELOUT
18	SEL IN →	31	← $\overline{RD}$
19	INT ←	30	← $\overline{WR}$
20	$\overline{SBEN}$ ←	29	→ DREQ
21	$\overline{CS}$ →	28	→ TGS
22	A_0 →	27	← $\overline{DACK}$
23	A_1 →	26	← A_3
24	GND	25	← A_2

■ 特　徴

- ＣＰＵ，ＳＣＳＩのインターフェースの機能をもつ
- ＡＮＳＩ　Ｘ３Ｔ９．２に準拠したＳＣＳＩコントローラ
- イニシエータとターゲットの両機能をもつ
- 非同期で２．０Ｍバイト／秒の転送速度をもつ・パリティ・ジェネレータをもち，パリティ・チェックが行える
- アービトレーションの機能をもつ
- ＣＰＵからはＩ／Ｏデバイスまたはメモリとしてアクセスする
- ＤＭＡまたはプログラムによる入出力のいずれでもアクセスできる
- ＣＰＵに対する割り込み処理の機能をもつ

■ DC特性

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	$I_{OL}=2.0$mA	0.4	V
V_{OH}	$I_{OH}=400\mu$A	2.4*	V
I_{IL}	$V_{IN}=0, 5.25$V	±10	μA

■ ブロック図

RESET, INT, DREQ, $\overline{DACK}$, $\overline{RD}$, $\overline{WR}$, CS, A_0, A_1, A_2, A_3, D_0〜D_7, ID_0/DP, ID_1, ID_2

MPUコントロール / MPUデータ・バス / IDストアラッチ

MPU/DMA リード/ライト・ロジック

レジスタ・デコード

ステート・マシン・コントロール

REQ/ACK ロジック

ROM シーケンサ

データ・レジスタ / トランスファ・カウンタ / ダイアゴナスティック・ステータス / インタラプト・レジスタ / AUXステータス・レジスタ / デスティネーションIDレジスタ / コントロール・レジスタ / コマンド・レジスタ

ソースIDレジスタ / IDレジスタ / セレクト/リセレクト・アービトレーション

SCSIコントロール / SCSIデータ・バス / トランシーバ・コントロール

REQ, ACK, I/O, MSG, C/D, ATN, BSYIN, BSYOUT, SELIN, SELOUT, SB_0〜SB_7, SBP, $\overline{SBEN}$, IGS, TGS, ARB

■ 動作条件

項　目	記号	定　格	単位
電源電圧	V_{CC}	4.75〜5.25	V
消費電流	I_{CC}	max 300	mA
動作温度	T_{OPR}	0〜70	℃

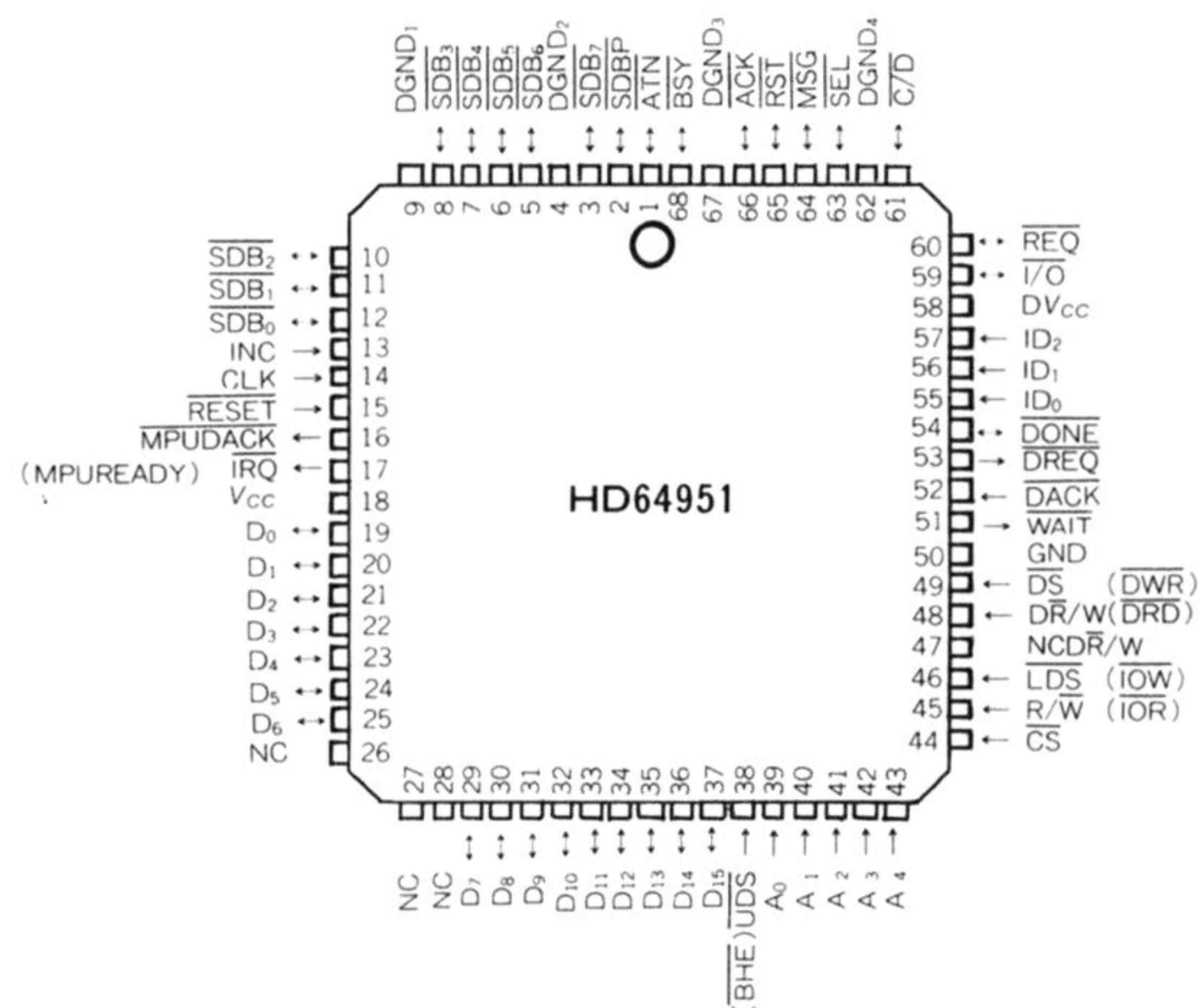
■端子機能

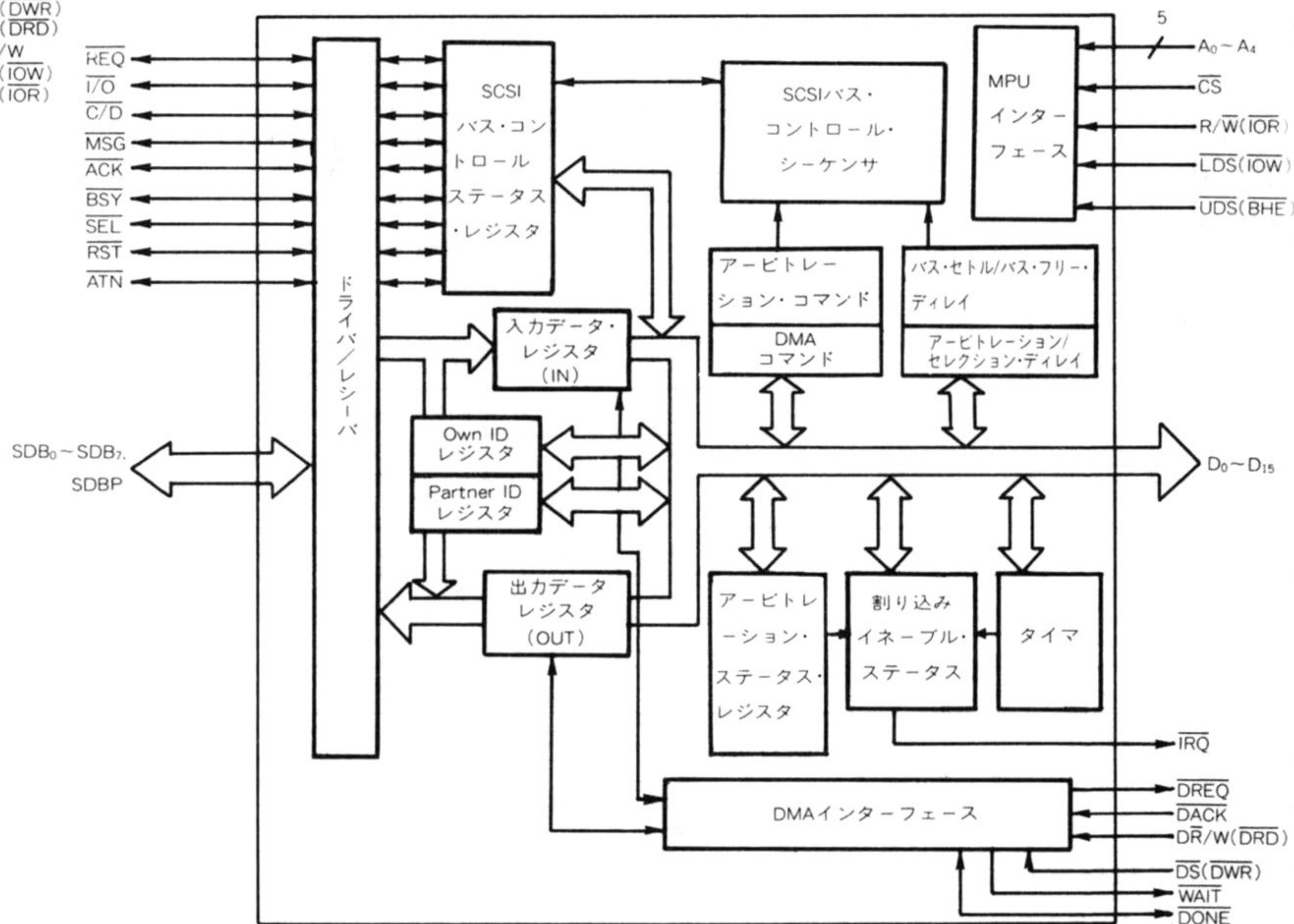
端 子 名	名　　称	ピン番号	入 出 力	機　　能
CLK	クロック	16	入　力	内部動作タイミングを作るクロック入力
RESET	リセット	4	入　力	リセット入力・
D_0～D_7	データ0～7	3～1, 47～43	入出力	レジスタのリード/ライト用の双方向データ・バス．CPUバスに接続する
INT	割り込み要求	19	出　力	割り込み要求出力
$\overline{WR}$	ライト	30	入　力	データ・バスから内部レジスタにデータを書き込むためのストローブ信号
$\overline{RD}$	リード	31	入　力	内部レジスタからデータ・バスにデータを読み出すためのストローブ信号
$\overline{CS}$	チップ・セレクト	21	入　力	内部レジスタをアクセスするためのチップ・セレクト信号
A_0～A_3	アドレス0～3	22, 23, 25, 26	入　力	内部レジスタのアドレスを決める
DREQ	データ・リクエスト	29	出　力	データ・リクエスト信号で，転送データがあることを示す
$\overline{DACK}$	データ・アクノリッジ	27	入　力	DMAコントローラからのデータ・アクノリッジ信号．この信号でDREQはクリアされる
$\overline{IDO}$(DP)	ID	14	入出力	SCSIバスIDを決める3ビットの設定端子．14ピンはオプションとして，データ・バス・パリティ出力として使える
$\overline{ID_1}$～$\overline{ID_2}$		13, 12	入　力	
SB_0～SB_7	データ0～7	34～41	入出力	SCSIバス・データの入出力端子．SBPは，SCSIバス・データ・パリティ
SBP	SCSIパリティ	33		
BSYIN	ビジィ入力	17	入　力	SCSIバスの使用状態を入力する
BSYOUT	ビジィ出力	42	出　力	SCSIバスの使用状態を出力する
SELIN	セレクト入力	18	入　力	セレクション・フェーズ，リフレクション・フェーズで使用されるSEL信号入力
SELOUT	セレクト出力	32	出　力	セレクション・フェーズ，リフレクション・フェーズで使用されるSEL信号出力
ATN	アテンション	5	入出力	アテンション・コンディションを示す信号
ACK	アクノリッジ	10	入出力	ターゲットからの転送要求信号REQに対する応答信号
REQ	リクエスト	11	入出力	ターゲットがデータの要求やデータの用意ができたことをイニシエータに知らせる信号
MSG	メッセージ	9	入出力	メッセージ・フェーズであることを示す．イニシエータのとき入力，ターゲットのとき出力
C/D	コントロール/データ	8	入出力	コマンド・フェーズ，ステータス・フェーズ，メッセージ・フェーズのとき“H”となる
I/O	入出力	7	入出力	SCSIバス上でのデータの入出力を制御する
IGS	イニシエータ・グループ	6	出　力	イニシエータ・グループの選択信号
TGS	ターゲット・グループ	28	出　力	ターゲット・グループの選択信号
$\overline{SBEN}$	SCSIバス・イネーブル	20	出　力	SCSIデータ・バス・イネーブル．外部のSCSIデータ・バスをイネーブルにする
ARB	アービトレーション・フェーズ	15	出　力	アービトレーション・フェーズであることを示す

SCSI Controller

■ ピン接続

HD64951

■ 特　徴

・ＣＰＵ，ＳＣＳＩのインターフェースの機能をもつ
・非同期で１．５Ｍバイト／秒の転送速度をもつ・イニシエータとターゲットの両機能をもつ
・８ビットのタイム・アウト検出カウンタを内蔵
・８／１６ビットのマイコン・バスに接続可能
・ＤＭＡ機能をもつ
・ドライバ回路，ヒステリシス付きレシーバ回路を内蔵

■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	7	V
入力電圧	V_{IN}	7	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−55～125	℃

■ DC特性

（T_a＝0～70℃，V_{CC}＝5V±5%）

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝4mA	0.5	V
V_{OH}	I_{OH}＝0.4mA	2.4*	V

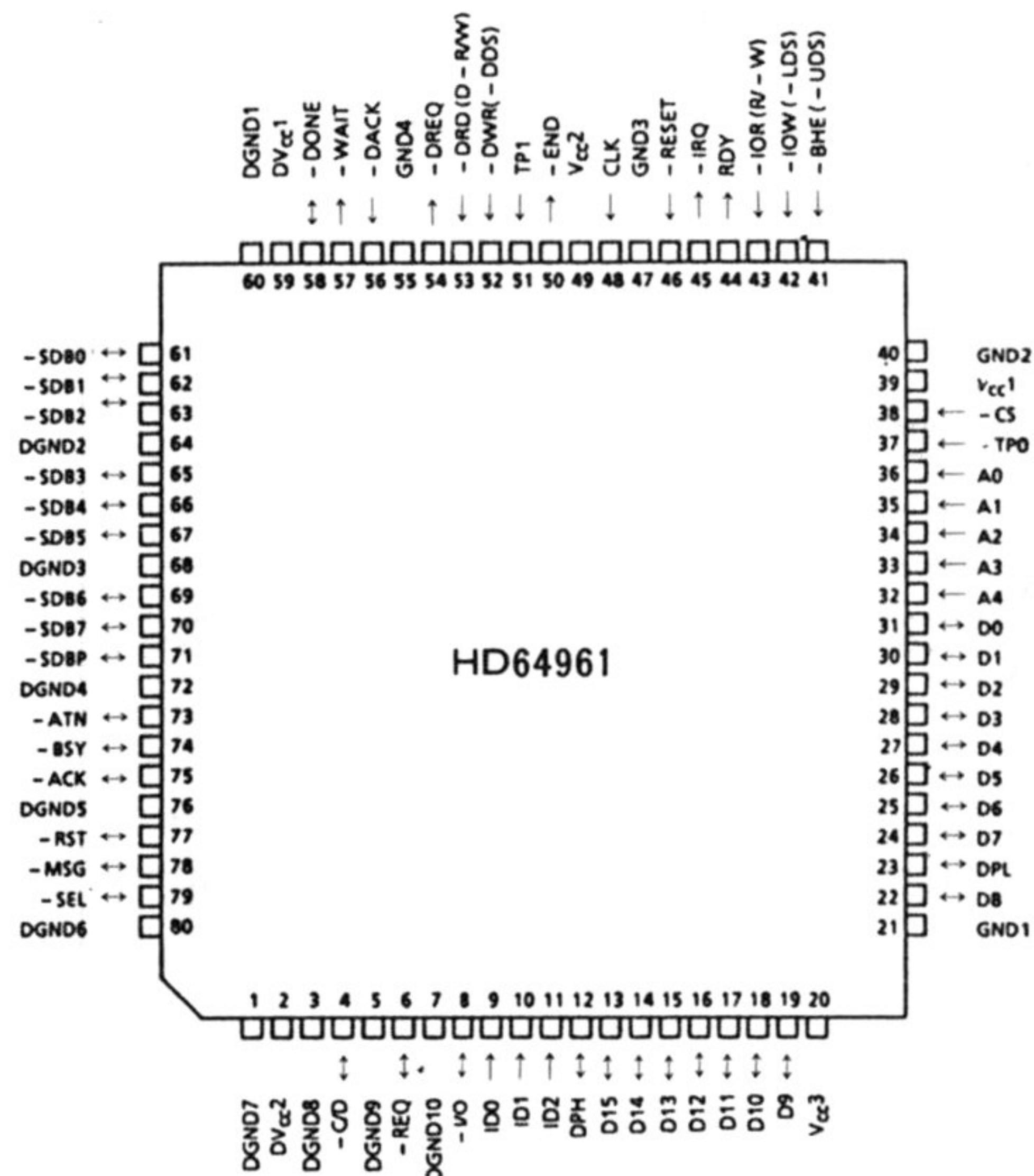
■端子機能

端子名	名称	ピン番号	入出力	機能
D_0〜D_6, D_7, D_8〜D_{15}	データ・バス	19〜25, 29, 30〜37	入出力	データ転送を行うための入出力端子
A_0〜A_4	アドレス・バス	39〜43	入　力	内部レジスタを選択するアドレス信号を入力する端子
$\overline{CS}$	チップ・セレクト	44	入　力	本チップを選択するための入力端子
$R/\overline{W}$	リード/ライト	45	入　力	$R/\overline{W}$ 信号を入力する端子
$\overline{LDS}$	ロー・データ・ストローブ	46	入　力	CPU が出力する $\overline{LDS}$ 信号の入力端子
$\overline{UDS}$	アッパ・データ・ストローブ	38	入　力	CPU が出力する $\overline{UDS}$ 信号の入力端子
$\overline{IRQ}$	インタラプト・リクエスト	17	出　力	内部動作の終了およびエラー検出を通知するための割り込み要求信号
$\overline{DREQ}$	DMA リクエスト	53	出　力	DMA 転送を要求する信号端子
$\overline{DACK}$	DMA アクノリッジ	52	出　力	$\overline{DREQ}$ 信号に対する応答信号を入力する端子
$\overline{WAIT}$	ウェイト	51	出　力	READ/WRITE 期間の延長を要求する信号
$\overline{DONE}$	ダン	54	入出力	DMA 転送が終了すると DMAC から出力される信号を入力，または DMA 転送中にエラーが発生した場合，DMAC に対し信号を出力する端子
$D\overline{R}/W$	DMA リード/ライト	48	入　力	DMAC が出力する $R/\overline{W}$ 信号を入力する端子
$\overline{DS}$	データ・ストローブ	49	入　力	DMAC が本チップに対してリード/ライトを行うときのタイミング信号 $\overline{DS}$ の入力端子
$\overline{MPUDTACK}$	MPU データ・アクノリッジ	16	出　力	内部レジスタをアクセスするとき，データのアクセス完了時期を示す出力端子
ID_0〜ID_2	アイデンティファイ・データ 0〜2	55〜57	入　力	リセット時本端子に入力される信号レベルにより，アービトレーション・フェーズ時に SCSI バス上に出力する自身の ID が決定される
INC	インプット・クロック	13	入　力	タイマが起動した場合，本端子から入力するクロックによりクロック・タイムアウト・カウンタに設定した値はデクリメントされる
$\overline{SDB_0}$〜$\overline{SDB_7}$, $\overline{SDBP}$	SCSI データ・バス	12〜10, 8〜5, 3, 2	入出力	SCSI インターフェースのデータ・バス用の入出力端子
$\overline{ACK}$	アクノリッジ	66	入出力	応答信号の入出力端子
$\overline{REQ}$	リクエスト	60	入出力	$\overline{REQ}$ 信号の入出力端子
$\overline{C/D}$	コマンド/データ	61	入出力	各フェーズと転送方向の指定検知を行う
$\overline{I/O}$	インプット/アウトプット	59		
$\overline{MSG}$	メッセージ	64		

$\overline{MSG}$	$\overline{C/D}$	$\overline{I/O}$	インフォメーション・トランスファ・フェーズ	転送方向
L	L	L	メッセージ・イン・フェーズ	INIT ← TARG
L	L	H	メッセージ・アウト・フェーズ	INIT → TARG
H	L	L	ステータス・フェーズ	INIT ← TARG
H	L	H	コマンド・フェーズ	INIT → TARG
H	H	L	データ・イン・フェーズ	INIT ← TARG
H	H	H	データ・アウト・フェーズ	INIT → TARG

端子名	名称	ピン番号	入出力	機能
$\overline{BSY}$	ビジィ	68	入出力	SCSI バスを占有したいとき“L”を出力する端子
$\overline{SEL}$	セレクション	63	入出力	イニシエータ，ターゲットに対し，$\overline{SEL}$ 信号を入出力する
$\overline{ATN}$	アテンション	1	入出力	$\overline{ATN}$ 信号の入出力端子
$\overline{RST}$	リセット	65	入出力	SCSI のリセット状態を起動する．$\overline{RST}$ 信号の出力端子

HSBC(High-Speed SCSI Bus Controller)

■ピン接続

HD64961

(上面図)

HSBCは80系，68系のモードがあります。
(　　)内は68系モードで使用した場合の端子名です。

■特　徴

- ＳＣＳＩ－２(Rev.10)仕様準拠
- 各種転送モードをサポート
  同期転送　：１０ＭＢ／ｓ　ＭＡＸ
  非同期転送：　４ＭＢ／ｓ　ＭＡＸ
- ＳＣＳＩシングルエンド・ドライバ／レシーバ内蔵
- 自動アービトレーション／セレクション機能
- マクロ・コマンド機能（３８種類）によるＳＣＳＩプロトコルを連続実行
- タイムアウト検出カウンタ内蔵
- イニシエータ，ターゲットとして動作可能
- ６８／８０系ＣＰＵ，ＤＭＡＣに直結可能

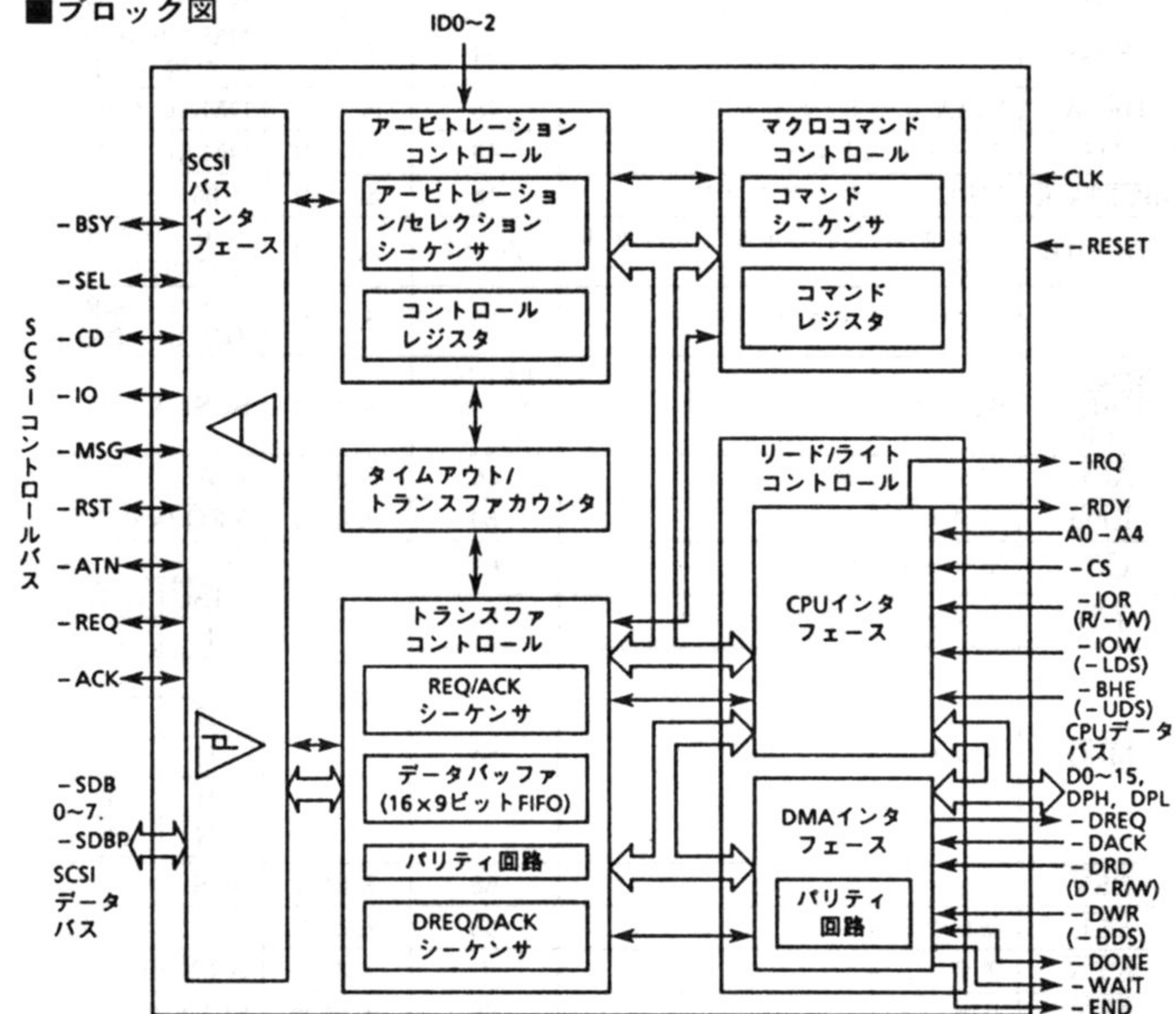
■ブロック図

■最大定格

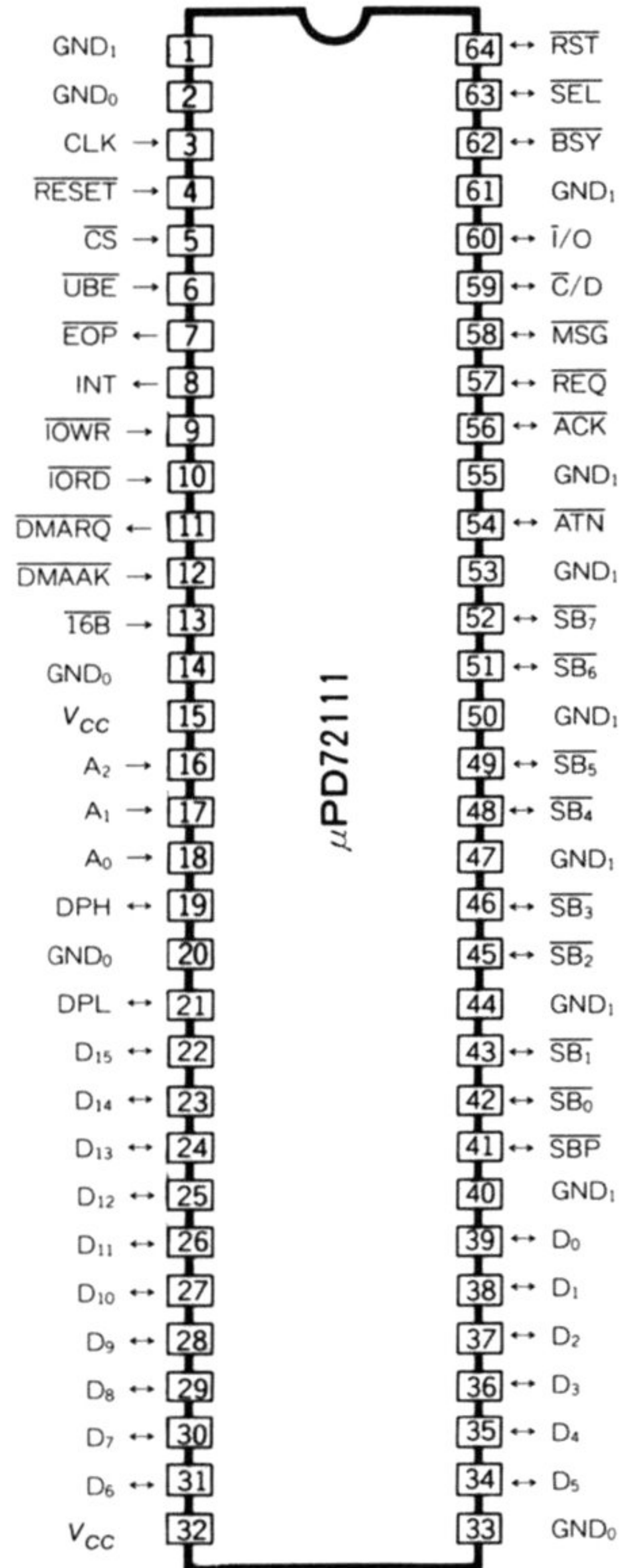
項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～7.0	V
入力電圧	V_{IN}	−0.3～V_{CC}+0.3	V
動作温度	T_{OPR}	−20～75	℃
保存温度	T_{STG}	−55～125	℃

■DC特性

(T_a＝−20～75℃，V_{CC}＝5 V±5％)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝3 mA	0.4	V
V_{OH}	I_{OH}＝1 mA	3.5*	V
I_{IL}	V_{IN}=0.5～V_{CC}−0.5	1.0	μA
C_{IN}	f=1 MHz，T_a=25℃	15	pF

■端子機能

端子名	ピン番号	入出力	機　　　　能
D0～D7	24～31	入出力	CPU接続用のデータ・バス
DPL	23	入出力	DMAサイクルにおけるD0～D7のパリティ入出力
D8～D15	13～19, 22	入出力	CPU接続用のデータ・バス
DPH	12	入出力	DMAサイクルにおけるD8～D15のパリティ入出力
A0～A4	32～36	入　力	アドレス信号入力端子
－CS	38	入　力	チップ・セレクト入力．ロウ・アクティブ
－IOR(R/－W)	43	入　力	80系モード：レジスタをリードするストローブ信号．80系モード：リード/ライト動作の切り替え信号入力
－IOW(－LDS)	42	入　力	80系モード：レジスタにライトするストローブ信号．68系モード：リード/ライトのためのストローブ信号入力(D0～D7用)
－BHE(－UDS)	41	入　力	80系モード：D8～D15のデータが有効であることを示す．68系モード：リード/ライトのためのストローブ信号入力(D8～D15用)
RDY	44	出　力	CPUに対し，内部レジスタのアクセス完了時期を示す出力
－IRQ	45	出　力	CPUに割り込み処理を要求する信号出力．ロウ・アクティブ
－DREQ	54	出　力	DMA転送要求出力．ロウ・アクティブ
－DACK	56	入　力	DMA転送を許可する信号の入力．ロウ・アクティブ
－DRD(D－R/W)	53	入　力	80系モード：DMA転送時のリード・ストローブ入力．68系モード：DMA転送時のリード/ライト動作切り替え信号入力
－DWR(－DDS)	52	入　力	80系モード：DMA転送時のライト・ストローブ入力．80系モード：DMA転送時のリード/ライト・ストローブ入力
－WAIT	57	出　力	DMAコントローラに対し，リード/ライトの期間延長を要求する．ロウ・アクティブ
－DONE	58	入出力	DMA転送中にエラーを検出すると“L”を出力する．パワー・オン・リセット時は68/80系モード設定入力
－END	50	出　力	FIFOデータ数，またはFIFOの空きバイト数を示す出力信号
－SDB0～－SDB7	61～63, 65～67, 69, 70	入出力	SCSIインターフェースのデータ・バス入出力端子
－SDBP	71	入出力	－SDB0～－SDB7のパリティ入出力端子
－ACK	75	入出力	SCSIバスの－ACK信号入出力端子
－REQ	6	入出力	SCSIバスの－REQ信号入出力端子
－C/D, －I/O, －MSG	4, 8, 78	入出力	SCSIバスの－C/D, －I/O, －MSG信号接続端子で，情報転送フェーズを示している
－BSY	74	入出力	SCSIバスの－BSY信号接続端子
－SEL	79	入出力	SCSIバスの－SEL信号接続端子
－ATN	73	入出力	SCSIバスの－ATN信号接続端子
－RST	77	入出力	SCSIバスの－RST信号接続端子
CLK	48	入　力	動作タイミングを決めるクロック入力端子
－RESET	46	入　力	初期状態にするためのリセット信号入力端子
IO0～ID2	9～11	入　力	自分のID（アイデンティティ・データ）の入力端子
DVCC1～2	2，59	—	SCSIバス・ドライバ／レシーバの電源
DGND1～10	1, 3, 5, 7, 60, 64, 68, 72, 76, 80	—	SCSIバス・ドライバ／レシーバのグラウンド
TP0, TP1	37，51	入　力	テスト用入力．“H”に固定する

SCSI Controller

■ ピン接続

μPD72111

信号	ピン	ピン	信号
GND_1	1	64	↔ $\overline{RST}$
GND_0	2	63	↔ $\overline{SEL}$
CLK →	3	62	↔ $\overline{BSY}$
$\overline{RESET}$ →	4	61	GND_1
$\overline{CS}$ →	5	60	↔ $\overline{I}/O$
$\overline{UBE}$ →	6	59	↔ $\overline{C}/D$
$\overline{EOP}$ ←	7	58	↔ $\overline{MSG}$
INT ←	8	57	↔ $\overline{REQ}$
$\overline{IOWR}$ →	9	56	↔ $\overline{ACK}$
$\overline{IORD}$ →	10	55	GND_1
$\overline{DMARQ}$ ←	11	54	↔ $\overline{ATN}$
$\overline{DMAAK}$ →	12	53	GND_1
$\overline{16B}$ →	13	52	↔ $\overline{SB_7}$
GND_0	14	51	↔ $\overline{SB_6}$
V_{CC}	15	50	GND_1
A_2 →	16	49	↔ $\overline{SB_5}$
A_1 →	17	48	↔ $\overline{SB_4}$
A_0 →	18	47	GND_1
DPH ↔	19	46	↔ $\overline{SB_3}$
GND_0	20	45	↔ $\overline{SB_2}$
DPL ↔	21	44	GND_1
D_{15} ↔	22	43	↔ $\overline{SB_1}$
D_{14} ↔	23	42	↔ $\overline{SB_0}$
D_{13} ↔	24	41	↔ $\overline{SBP}$
D_{12} ↔	25	40	GND_1
D_{11} ↔	26	39	↔ D_0
D_{10} ↔	27	38	↔ D_1
D_9 ↔	28	37	↔ D_2
D_8 ↔	29	36	↔ D_3
D_7 ↔	30	35	↔ D_4
D_6 ↔	31	34	↔ D_5
V_{CC}	32	33	GND_0

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜V_{CC}+0.5	V
動作温度	T_{OPR}	−10〜70	℃
保存温度	T_{STG}	−65〜150	℃

■ 特　徴

- ＡＮＳＩ　Ｘ３Ｔ９．２／８２−２　Ｒｅｖ１７Ｂに準拠したＳＣＳＩコントローラ
- 非同期で１．５Ｍバイト／秒の転送速度をもつ・イニシエータとターゲットの両機能をもつ
- シングルエンド・タイプのＳＣＳＩバス駆動用ドライバおよびシュミット・タイプ・レシーバ内蔵
- ＣＰＵ側のバス幅を１６ビット／８ビットに選択可能
- プログラム転送またはＤＭＡ転送を選択可能
- ２４ビット転送カウンタ内蔵
- ＦＩＦＯタイプのデータ・バッファをＳＣＳＩバス側およびＣＰＵ側の両方に内蔵

■ DC特性

(T_a＝−10〜70℃, V_{CC}＝5V±10%)

記号	測　定　条　件	max/min*	単位
V_{IL}		0.8	V
V_{IH}	CPUバス	2.2*	V
V_{OL}	I_{OL}＝2.5mA CPUバス	0.4	V
V_{OH}	I_{OH}＝400μA CPUバス	2.4*	V
I_{OL}	V_{OUT}＝0, V_{CC}	±10	μA
I_{IL}	V_{IN}＝0, V_{CC}	±10	μA
C_{IN}	CPUバス	20	pF
	SCSIバス	100	pF

■ ブロック図

INT
割り込みコントロール
$\overline{DMAAK}$
$\overline{CS}$
$\overline{IORD}$
$\overline{IOWR}$
$\overline{UBE}$
$\overline{16B}$
A_0〜A_2
3
リード/ライト・コントロール
D_0〜D_7
8
D_8〜D_{15}
8
バス・サイズ・コンバータ
DPH
DPL
パリティ・ジェネレータ/チェッカ
$\overline{DMARQ}$
$\overline{EOP}$
リクエスト・コントロール
ダイレクト・アクセス・レジスタ
インダイレクト・アクセス・レジスタ
FIFO データ・バッファ
メイン・コントロール部
内部トランスファ・コントロール
SCSI バス・コントロール部
アービトレーション & セレクション・コントロール
バス・フェーズ・コントロール
SCSIトランスファ・コントロール
トランスファ・カウンタ
ドライバ/レシーバ
$\overline{RST}$
$\overline{BSY}$
$\overline{SEL}$
$\overline{MSG}$
$\overline{C}/D$
$\overline{I}/O$
$\overline{ATN}$
$\overline{REQ}$
$\overline{ACK}$
SCSI FIFO データ・バッファ
CMD/MSG デコーダ
パリティ・ジェネレータ/チェッカ
ドライバ/レシーバ
9
$\overline{SB_0}$〜$\overline{SB_7}$, $\overline{SBP}$
V_{CC}
GND
$\overline{RESET}$
CLK

■端子機能

端子名	ピン番号	入出力	機能
INT	8	出力	割り込み要求信号の出力端子
$\overline{\text{IORD}}$	10	入力	内部レジスタを読み出すための，リード信号入力端子
$\overline{\text{IOWR}}$	9	入力	内部レジスタを書き込むための，ライト信号入力端子
$\overline{\text{UBE}}$	6	入力	データ・バスの上位8ビットが有効であることを示す信号の入力端子
$\overline{\text{CS}}$	5	入力	チップ・セレクト信号入力端子
$A_0 \sim A_2$	16～18	入力	レジスタを指定する3ビット・アドレス入力端子
$D_0 \sim D_{15}$	22～31, 34～39	入出力	16ビット・データ入出力端子
DPH	19	入出力	データ・バスの上位8ビットに付加されたパリティ信号の入出力端子
DPL	21	入出力	データ・バスの下位8ビットに付加されたパリティ信号の入出力端子
$\overline{\text{DMARQ}}$	11	出力	DMAサービス要求信号の出力端子
$\overline{\text{DMAAK}}$	12	入力	DMAサービス許可信号の入力端子
16B	13	入力	16ビット・バス・モード指定信号の入力端まで，“L”のとき16ビット・バス，“H”のとき8ビット・バス・モードとなる
EOP	7	出力	DMAサービスによるデータ転送を中断，または終了させるための信号の出力端子
$\overline{\text{SB}_0} \sim \overline{\text{SB}_7}$	42, 43, 45, 46, 48, 49, 51, 52	入出力	SCSIデータ・バス入出力端子
$\overline{\text{SBP}}$	41	入出力	SCSIデータ・バスに付加されたパリティ信号の入出力端子
$\overline{\text{ATN}}$	54	入出力	SCSIコントロール・バスの$\overline{\text{ATN}}$信号と接続する入出力端子
$\overline{\text{ACK}}$	56	入出力	SCSIコントロール・バスの$\overline{\text{ACK}}$信号と接続する入出力端子

端子名	ピン番号	入出力	機能
$\overline{\text{REQ}}$	57	入出力	SCSIコントロール・バスの$\overline{\text{REQ}}$信号と接続する入出力端子
$\overline{\text{MSG}}$	58	入出力	SCSIコントロール・バスの$\overline{\text{MSG}}$，$\overline{\text{C/D}}$，$\overline{\text{I/O}}$信号と接続する入出力端子
$\overline{\text{C}}$/D	59	入出力	
$\overline{\text{I}}$/O	60	入出力	
$\overline{\text{BSY}}$	62	入出力	SCSIコントロール・バスの$\overline{\text{BSY}}$信号と接続する入出力端子
$\overline{\text{SEL}}$	63	入出力	SCSIコントロール・バスの$\overline{\text{SEL}}$信号と接続する入出力端子
$\overline{\text{RST}}$	64	入出力	SCSIコントロール・バスの$\overline{\text{RST}}$信号と接続する入出力端子
CLK	3	入力	外部クロック入力端子
$\overline{\text{RESET}}$	4	入力	システム・リセット入力端子
V_{CC}	15, 32	—	正電源供給端子
GND_0	2, 14, 20, 33	—	主グラウンド（0V）端子
GND_1	1, 40, 44, 47, 50, 53, 55, 61	—	ドライバ/レシーバ系グラウンド（0V）端子

$\overline{\text{MSG}}$	$\overline{\text{C}}$/D	$\overline{\text{I}}$/O	バス・フェーズ
1	1	1	データ・アウト・フェーズ
1	1	0	データ・イン・フェーズ
1	0	1	コマンド・フェーズ
1	0	0	ステータス・フェーズ
0	0	1	メッセージ・アウト・フェーズ
0	0	0	メッセージ・イン・フェーズ

SCSI-2 Controller

■ピン接続

μPD72611

■特　徴

・ＳＣＳＩ－２(Rev. 10)仕様準拠
・各種転送モードをサポート
　同期転送　　：　５ＭＢ／ｓ　ＭＡＸ
　高速同期転送：１０ＭＢ／ｓ　ＭＡＸ
　非同期転送　：　５ＭＢ／ｓ　ＭＡＸ
・イニシエータ，ターゲッタとして動作可能
・ＣＰＵ側のバス幅を８／１６／３２ビット選択可能
・シングルエンド・タイプのＳＣＳＩバス駆動用ドライバおよびシュミット・タイプ・レシーバ内蔵
・ＣＰＵの割り込み処理を軽減する６種類の複合コマンドをサポート
・２４ビット転送カウンタ内蔵
・コマンド・キューイング機能

■ DC 特性

(T_a=－10～70℃，V_{CC}=5 V±10％)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=2.5 mA	0.4	V
V_{OH}	I_{OH}=400 μA	0.7× V_{CC}*	V
I_{OFL}	V_{OUT}=0，V_{CC}	±10	μA
I_{IL}	V_{IN}=0，V_{CC}	±10	μA
C_{IN}	f=1 MHz，T_a=25℃	20	pF

■ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	－0.5～7.0	V
入力電圧	V_{IN}	－0.5～V_{CC}+0.5	V
動作温度	T_{OPR}	－10～70	℃
保存温度	T_{STG}	－65～150	℃

備考　＊はμPD72111からの追加信号を示します。

■端子機能

端 子 名	ピン番号	入 出 力	機　　　能
INT	95	出　力	CPUに対する割り込み要求出力
$\overline{\text{IORD}}$	97	入　力	CPUが内部レジスタを読み出すためのリード信号入力
$\overline{\text{IOWR}}$	96	入　力	CPUが内部レジスタに書き込むためのライト信号入力
A2～A3	4，3	入　力	レジスタを指定するためのアドレス上位2ビットの入力
A0/$\overline{\text{BE2}}$～A1/$\overline{\text{BE3}}$	6，5	入　力	32ビット・バス・モードのとき，有効バスを示す信号入力($\overline{\text{BE2, 3}}$)．16/8ビット・モードの時，アドレスの下位2ビット入力
$\overline{\text{BE1}}$	7	入　力	32ビット・バス・モードのとき，データ・アクセス時の有効バスを示す信号の入力
$\overline{\text{BE0}}$/$\overline{\text{UBE}}$	8	入　力	32ビット・バス・モードのとき有効バスを示す信号入力($\overline{\text{BE0}}$)．16ビット・モードの時，上位バイトのデータ入出力許可信号入力
$\overline{\text{CS}}$	92	入　力	チップ・セレクト信号入力
D0～D31	53～50, 48～43, 41, 38, 36～31, 29～23, 21～18, 16～14	入出力	32ビットのデータ入出力端子．8/16ビット・モードでは未使用端子はハイ・インピーダンス
DP0～DP3	12～9	入出力	データ・バスに付加されたパリティ信号の入出力端子
$\overline{\text{DMARQ}}$	98	出　力	DMAサービス要求信号出力
$\overline{\text{DMAAK}}$	99	入　力	DMAサービス許可信号の入力
$\overline{\text{EOP}}$	94	出　力	データ転送の終了を示す信号の出力
$\overline{\text{SB0}}$～$\overline{\text{SB7}}$	56, 57, 59, 60, 62, 63, 65, 66	入出力	SCSIデータ・バス入出力
$\overline{\text{SBP}}$	55	入出力	SCSIデータ・バスに付加されたパリティ信号の入出力
$\overline{\text{BSY}}$	76	入出力	SCSIコントロール・バスの$\overline{\text{BSY}}$信号の接続する．SCSIバス使用中を示す
$\overline{\text{SEL}}$	77	入出力	SCSIコントロール・バスの$\overline{\text{SEL}}$信号と接続する．セレクト／リセレクト動作の実行中を示す
$\overline{\text{REQ}}$	70	入出力	ターゲットのインフォメーション転送要求を示す
$\overline{\text{ACK}}$	69	入出力	イニシエータがターゲットのインフォメーション転送要求を受理したことを示す
$\overline{\text{ATN}}$	68	入出力	イニシエータがメッセージ・アウト・フェーズを要求していることを示す
$\overline{\text{MSG}}$ $\overline{\text{C}}$/D $\overline{\text{I}}$/O	72 73 74	入出力	SCSIコントロール・バスと接続し，SCSIバス・フェーズを示す
$\overline{\text{RST}}$	78	入出力	SCSIコントロール・バスと接続する．この信号を検出するとSCSIバスを解放し，アイドル状態になる
RSTO	87	出　力	$\overline{\text{RST}}$信号がアクティブの間“H”を出力し，$\overline{\text{RST}}$信号ドライバをイネーブルにする
BSYO	85	出　力	$\overline{\text{BSY}}$信号がアクティブの間“H”を出力し，$\overline{\text{BSY}}$信号ドライバをイネーブルにする
SELO	86	出　力	$\overline{\text{SEL}}$信号がアクティブの間“H”を出力し，$\overline{\text{SEL}}$信号ドライバをイネーブルにする
IDSTR	82	出　力	ディファレンシャル・バスを使用する時のアービトレーション実行時に，自身のSCSI IDを保持するためのストローブ信号
INIT	83	出　力	イニシエータ動作中“H”を出力し，$\overline{\text{ATN}}$，$\overline{\text{ACK}}$ドライバを出力イネーブルにする
TGT	84	出　力	ターゲット動作中“H”を出力し，$\overline{\text{MSG}}$，$\overline{\text{C}}$/D，$\overline{\text{I}}$/O，$\overline{\text{REQ}}$ドライバを出力イネーブルにする
SBOE	80	出　力	データ転送モード中“H”を出力し，SCSIデータ・バス・ドライバを出力イネーブルにする
$\overline{\text{SBIE}}$	81	出　力	アービトレーション時，データ受信モード中“H”を出力し，SCSIデータ・バス・レシーバを入力イネーブルにする

SCSI-2 プロトコル・コントローラ

■ ピン接続

(TOP VIEW)

1 $\overline{WR}$, 2 $\overline{RD}$, 3 V_{DD}, 4 V_{SS}, 5 CLK, 6 $\overline{RESET}$, 7 INT, 8 MODE, 9 $\overline{DBP}$, 10 V_{SS}, 11 $\overline{DB7}$, 12 $\overline{DB6}$, 13 $\overline{DB5}$, 14 V_{DD}, 15 V_{SS}, 16 V_{SS}, 17 $\overline{DB4}$, 18 $\overline{DB3}$, 19 $\overline{DB2}$, 20 $\overline{DB1}$, 21 V_{SS}, 22 $\overline{DB0}$, 23 TEST1, 24 (OPEN), 25 (OPEN), 26 $\overline{IOWR}$, 27 $\overline{IORD}$, 28 V_{DD}, 29 V_{SS}, 30 DMA0

31 LDMDP, 32 DMD0, 33 DMD1, 34 DMD2, 35 DMD3, 36 DMD4, 37 DMD5, 38 DMD6, 39 DMD7, 40 V_{SS}, 41 DMD8, 42 DMD9, 43 DMD10, 44 DMD11, 45 DMD12, 46 DMD13, 47 DMD14, 48 DMD15, 49 UDMDP, 50 $\overline{DMBHE}$

51 $\overline{DACK}$, 52 DREQ, 53 V_{DD}, 54 V_{SS}, 55 TP, 56 (OPEN), 57 TEST2, 58 $\overline{I/O}$, 59 V_{SS}, 60 $\overline{REQ}$, 61 $\overline{C/D}$, 62 $\overline{SEL}$, 63 $\overline{MSG}$, 64 V_{DD}, 65 V_{SS}, 66 V_{SS}, 67 $\overline{RST}$, 68 $\overline{ACK}$, 69 $\overline{BSY}$, 70 V_{SS}, 71 $\overline{ATN}$, 72 A0, 73 A1, 74 A2, 75 A3, 76 A4, 77 $\overline{CS0}$, 78 V_{DD}, 79 V_{SS}, 80 $\overline{CS1}$

81 LDP, 82 D0, 83 D1, 84 D2, 85 D3, 86 D4, 87 D5, 88 D6, 89 D7, 90 V_{SS}, 91 D8, 92 D9, 93 D10, 94 D11, 95 D12, 96 D13, 97 D14, 98 D15, 99 UDP, 100 $\overline{BHE}$

INDEX

■ 特　徴

- 不平衡伝送型式のＳＣＳＩ-２コントローラ
- イニシエータ，ターゲットのいずれにも使用可能
- 同期転送：転送速度は最大１０Ｍバイト／秒，最大オフセット３２，転送速度３２段階
- 非同期転送：最大速度は５Ｍバイト／秒
- 接続装置７台分の転送パラメータを設定可能
- シングル・エンド伝送型式で、最大ケーブル長は６ｍ
- 自動セレクション／リセレクション応答動作
- データ・フェーズ用に３２バイトのデータ・レジスタ（ＦＩＦＯ）内蔵

■ ブロック図

INT　D15～D8, UDP　D7～D0, LDP　$\overline{WR}$　$\overline{RD}$　$\overline{CS0}$　$\overline{CS1}$　A4～A0　$\overline{BHE}$　MODE

MPUインタフェース

内部プロセッサ　各種レジスタ

タイマー　Receive-MCS バッファ（32バイト）

フェーズコントローラ　Send-MCS バッファ（32バイト）

転送コントローラ　コマンド・ユーザプログラム・メモリ（256バイト）

データレジスタ（32バイト）

SCSIインタフェース　DMAインタフェース

$\overline{MSG}$　$\overline{C/D}$　$\overline{I/O}$　$\overline{ATN}$　$\overline{BSY}$　$\overline{SEL}$　$\overline{RST}$　$\overline{REQ}$　$\overline{ACK}$　$\overline{DB7}$～$\overline{DB0}$　$\overline{DBP}$

DREQ　$\overline{DACK}$　$\overline{DMBHE}$　DMA0　DMD15～DMD8　UDMDP　DMD7～DMD0　LDMDP　$\overline{IOWR}$　$\overline{IORD}$　TP

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～+6.0	V
入力電圧	V_{IN}	−0.5～V_{CC}+0.5	V
動作温度	T_{OPR}	−25～+85	℃
保存温度	T_{STG}	−40～+125	℃

■ DC 特性

（T_a=0～70℃, V_{CC}=5 V±5％）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}=3.2 mA	0.4	V
V_{OH}	I_{IL}=2 mA	4.2*	V
I_{OL}	V_{OUT}=0～V_{CC}	±10	μA
I_{IL}	V_{IN}=0～V_{CC}	±10	μA
C_{IN}	V_{CC}=V_I=0, f=1MHz	16	pF

■端子機能

	端子名*	ピン番号	入出力	機能
SCSIインターフェース	$\overline{REQ}$	60	入出力	情報転送フェーズで，ターゲットからイニシエータに対する転送要求信号．入力信号は，データ転送シーケンスのタイミング制御信号として使用される
	$\overline{ACK}$	68	入出力	情報転送フェーズで，$\overline{REQ}$ 信号に対するイニシエータからターゲットへの応答信号．入力信号は，データ転送シーケンスのタイミング制御信号として使用される
	$\overline{ATN}$	71	入出力	イニシエータがターゲットにメッセージ転送フェーズを要求する信号
	$\overline{MSG}$	63	入出力	データ・バス上で伝送される情報の種類を指定する信号．メッセージ・フェーズを指定するとき"L"となる
	$\overline{C/D}$	61	入出力	データ・バス上で伝送される情報の種類を指定する信号．コマンド・フェーズ，ステータス・フェーズ，メッセージ・フェーズのとき"L"になる
	$\overline{I/O}$	58	入出力	データ・バス上で転送される情報の転送方向を指定する信号．"L"のときターゲットからイニシエータへ，"H"のときイニシエータからターゲットに情報が転送される
	$\overline{BSY}$	69	入出力	SCSIバスが使用状態にあることを示す．アービトレーション・フェーズでは，バスの使用権獲得の要求信号となる
	$\overline{SEL}$	62	入出力	セレクション・フェーズ（イニシエータがターゲットを選択），およびリセレクション・フェーズ（ターゲットがイニシエータを再選択）のとき，イニシエータおよびターゲットが出力する信号とそれを検出する入力信号
	$\overline{RST}$	67	入出力	ほかのSCSIデバイスにリセットを指示する出力信号，およびほかのSCSIデバイスからのリセット入力信号
	$\overline{DB7}$〜$\overline{DB0}$	11, 13, 17〜20, 22	入出力	1バイトのデータと奇数パリティ・ビットで構成される双方向のSCSIデータ・バス
	$\overline{DBP}$	9		
MPUインターフェース	$\overline{CS0}$	77	入力	MPUがI/Oデバイスとして，SPCを選択する信号
	$\overline{CS1}$	80	入力	MPUがSPCを通してDMAバスのデータを入出力する場合の選択信号
	D15〜D8	98, 97, 96, 95, 94, 93, 92, 91	入出力	データ・バスの上位バイトとパリティ・ビット．$\overline{CS0}$ が有効のとき，SPC内部レジスタの入出力ポートとなる．$\overline{CS1}$ が有効のとき，DMAバス・データの入出力ポートとなる
	UDP	99		
	D7〜D0	89, 88, 87, 86, 85, 84, 83, 82	入出力	データ・バスの下位バイトとパリティ・ビット．$\overline{CS0}$ が有効のとき，SPC内部レジスタの入出力ポートとなる．$\overline{CS1}$ が有効のとき，DMAバス・データの入出力ポートとなる
	LDP	81		
	A4〜A0	76, 75, 74, 73, 72	入力	内部レジスタを選択するためのアドレス入力端子
	$\overline{RD}$ (R/$\overline{W}$)	2	入力	80系モードのときは，SPCからMPUが読み出し動作をするための信号（$\overline{IORD}$ または $\overline{RD}$）の入力端子．68系モードのときは，SPCに対してMPUが読み出し/書き込み動作を行うための制御信号（R/$\overline{W}$）の入力端子

	端子名*	ピン番号	入出力	機能
MPUインターフェース（つづき）	$\overline{WR}$ ($\overline{LDS}$)	1	入力	80系モードのときは，MPUがSPCに書き込み動作をするための信号（$\overline{IOWR}$ または $\overline{WR}$）の入力端子．68系モードのときは，データ・バスの下位バイトが有効のとき，MPUが出力する $\overline{LDS}$ 信号の入力端子
	$\overline{BHE}$ ($\overline{UDS}$)	100	入力	80系モードのときは，データ・バスの上位バイトが有効のとき，MPUが出力する $\overline{BHE}$ 信号の入力端子．68系モードのときは，データ・バスの上位バイトが有効のとき，MPUが出力する $\overline{UDS}$ 信号の入力端子
	INT ($\overline{INT}$)	7	出力	割り込み要求信号の出力端子
	MODE	8	入力	MPUバス，DMAバスの種類を指定する信号の入力端子
DMAインターフェース	DREQ	52	出力	DMAコントローラに対するDMA転送要求信号の出力端子．DMAバスによるSPCとメモリ間でのデータ転送を要求する
	$\overline{DACK}$	51	入力	DMAコントローラからのDMA許可信号の入力端子．この入力信号がアクティブのとき，DMAサイクル（読み出し/書き込み）を実行する
	DMD15〜DMD8	48, 47, 46, 45, 44, 43, 42, 41	入出力	DMAデータ・バスの上位バイトとパリティ信号の入出力端子．$\overline{CS1}$ 入力が有効のとき，MPUデータ・バスが直結される
	UDMDP	49		
	DMD7〜DMD0	39, 38, 37, 36, 35, 34, 33, 32	入出力	DMAデータ・バスの下位バイトとパリティ信号の入出力端子．$\overline{CS1}$ 入力が有効のとき，MPUデータ・バスが直結される
	LDMDP	31		
	$\overline{IORD}$ (DMR/$\overline{W}$)	27	入力	80系モードのときは，SPCからDMAバスにデータを出力するための信号（$\overline{IORD}$ または $\overline{RD}$）の入力端子．68系モードのときは，SPCに対してDMAコントローラがデータの出力/入力動作を行うための制御信号（DMR/$\overline{W}$）の入力端子
	$\overline{IOWR}$ ($\overline{DMLDS}$)	26	入力	80系モードのときは，SPCにDMAバスのデータを入力するための信号（$\overline{IOWR}$ または $\overline{WR}$）の入力端子．68系モードのときは，DMAデータ・バスの下位バイトが有効のとき，DMAコントローラが出力する $\overline{DMLDS}$ 信号の入力端子
	$\overline{DMBHE}$ ($\overline{DMUDS}$)	50	入力	80系モードのときは，DMAデータ・バスの上位バイトが有効のとき，DMAコントローラが出力する $\overline{DMBHE}$ 信号の入力端子．68系モードのときは，DMAデータ・バスの上位バイトが有効のとき，DMAコントローラが出力する $\overline{DMUDS}$ 信号の入力端子
	DMA0	30	入力	80系モードのときに，DMAコントローラが出力するアドレス・データA0信号の入力端子
	TP	55	入力	DMA転送の許可信号の入力端子．この信号がアクティブのとき，SPCはDMA転送を行う
その他	$\overline{RESET}$	6	入力	システム・リセット信号の入力端子
	CLK	5	入力	クロック信号の入力端子．クロック周波数は，12MHz〜40MHz

*：（ ）内の端子記号は，MODE入力が"L（68系モード）"の場合の端子記号を示す．

SCSI-2 プロトコル・コントローラ

■ ピン接続

■ 特　徴

- 平衡伝送型式のＳＣＳＩ-２コントローラ
- イニシエータ，ターゲットのいずれにも使用可能
- 同期転送：転送速度は最大１０Ｍバイト／秒，最大オフセット３２，転送速度３２段階
- 非同期転送：最大速度は５Ｍバイト／秒
- 接続装置７台分の転送パラメータを設定可能
- ディファレンシャル伝送型式で、最大ケーブル長は２５ｍ
- 自動セレクション／リセレクション応答動作
- データ・フェーズ用に３２バイトのデータ・レジスタ（ＦＩＦＯ）内蔵

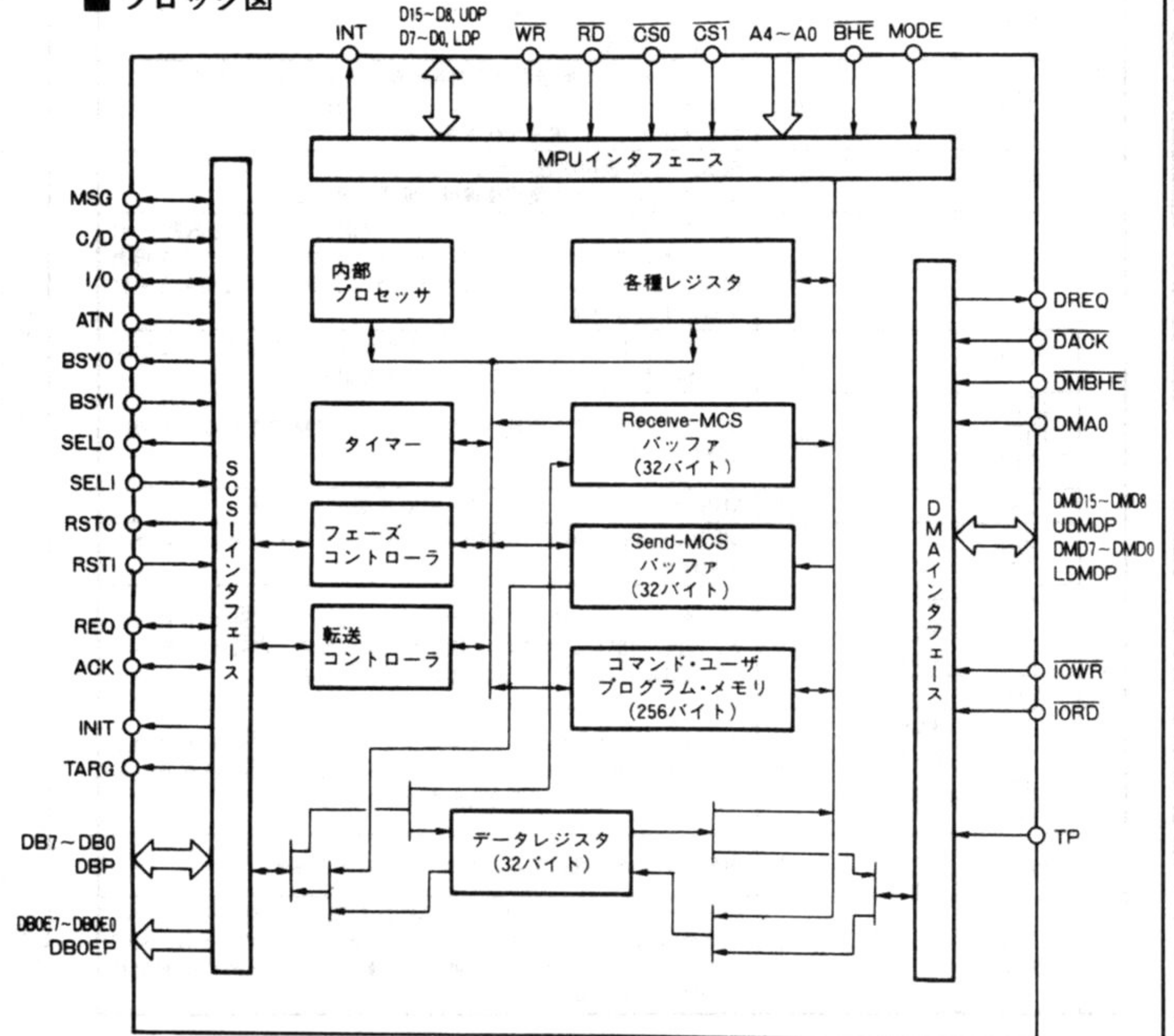
■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	$-0.5\sim+6.0$	V
入力電圧	V_{IN}	$-0.5\sim V_{CC}+0.5$	V
動作温度	T_{OPR}	$-25\sim+85$	℃
保存温度	T_{STG}	$-40\sim+125$	℃

■ DC 特性

（$T_a=0\sim70$℃，$V_{CC}\fallingdotseq5\text{ V}\pm5\%$）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	$I_{OL}=3.2\text{ mA}$	0.4	V
V_{OH}	$I_{IL}=2\text{ mA}$	4.2*	V
I_{OL}	$V_{OUT}=0\sim V_{CC}$	±10	μA
I_{IL}	$V_{IN}=0\sim V_{CC}$	±10	μA
C_{IN}	$V_{CC}=V_I=0, f=1\text{MHz}$	16	pF

■端子機能

	端子名*	ピン番号	入出力	機能
SCSIインターフェース	REQ	91	入出力	情報転送フェーズで，ターゲットからイニシエータに対する転送要求信号．入力信号は，データ転送シーケンスのタイミング制御信号として使用される
	ACK	89	入出力	情報転送フェーズで，REQ信号に対するイニシエータからターゲットへの応答信号．入力信号は，データ転送シーケンスのタイミング制御信号として使用される
	ATN	88	入出力	イニシエータがターゲットに対して送出するメッセージを持っていることを示す信号
	MSG	92	入出力	データ・バス上で伝送される情報の種類を指定する信号で，メッセージフェーズを指定するとき“H”となる
	C/D	93	入出力	データ・バス上で伝送される情報の種類を指定する信号．コマンド・フェーズ，ステータス・フェーズ，メッセージ・フェーズのとき“H”になる
	I/O	94	入出力	データ・バス上で伝送される情報の種類を指定する信号で，データの転送方向を示す．“H”のときターゲットからイニシエータへ，“L”のときイニシエータからターゲットに情報が転送される
	BSYI	95	入力	SCSIバスが使用状態にあることを示す．アービトレーション・フェーズでは，バスの使用権獲得の要求信号となる
	BSYO	96	出力	
	SELI	97	入力	セレクション・フェーズ（イニシエータがターゲットを選択），およびリセレクション・フェーズ（ターゲットがイニシエータを再選択）のとき，イニシエータおよびターゲットが出力する信号とそれを検出する入力信号
	SELO	98	出力	
	RSTI	99	入力	ほかのSCSIデバイスにリセットを指示する出力信号，およびほかのSCSIデバイスからのリセット入力信号
	RSTO	100	出力	
	DB7～DB0	10, 12, 14, 17 19, 21, 23, 25	入出力	1バイトのデータと奇数パリティ・ビットで構成される双方向のSCSIデータ・バス
	DBP	8		
	DBOE7～DBOE0	9, 11, 13, 16 18, 20, 22, 24	出力	SCSIデータ・バスの出力制御端子
	DBOEP	7		
	INIT	1	出力	SPCの動作/思合状態を表示する信号です．外付けの差動型ドライバ/レシーバの制御信号に使用する．信号は，アクティブ“H”
	TARG	2	出力	
MPUインターフェース	$\overline{CO0}$	79	入力	MPUがI/Oデバイスとして，SPCを選択する信号
	$\overline{CS1}$	80	入力	MPUがSPCをとおしてDMAバスのデータを入出力する場合の選択信号
	D15 ≀ D8	73, 72, 71 70, 69, 68 67, 66	入出力	データ・バスの上位バイトとパリティビット．$\overline{CS0}$が有効のとき，SPC内部レジスタの入出力ポートとなる．$\overline{CS1}$が有効のとき，DMAバス・データの入出力ポートとなる
	UDP	74		
	D7 ≀ D0	64, 63, 62 61, 60, 59 58, 57	入出力	データ・バスの下位バイトとパリティビット．$\overline{CS0}$が有効のとき，SPC内部レジスタの入出力ポートとなる．$\overline{CS1}$が有効のとき，DMAバス・データの入出力ポートとなる
	LDP	56		
	A4～A0	85, 84, 83 82, 81	入力	内部レジスタを選択するためのアドレス入力端子

	端子名*	ピン番号	入出力	機能
MPUインターフェース（つづき）	$\overline{RD}$(R/$\overline{W}$)	76	入力	80系モードのときは，SPCからMPUが読み出し動作をするための信号（$\overline{IORD}$または$\overline{RD}$）の入力端子．68系モードのときは，SPCに対してMPUが読み出し/書き込み動作を行うための制御信号（R/$\overline{W}$）の入力端子
	$\overline{WR}$($\overline{LDS}$)	75	入力	80系モードのときは，MPUがSPCに書き込み動作をするための信号（$\overline{IOWR}$または$\overline{WR}$）の入力端子．68系モードのときは，データ・バスの下位バイトが有効のとき，MPUが出力する$\overline{LDS}$信号の入力端子
	$\overline{BHE}$ ($\overline{UDS}$)	77	入力	80系モードのときは，データ・バスの上位バイトが有効のとき，MPUが出力する$\overline{BHE}$信号の入力端子．68系モードのときは，データ・バスの上位バイトが有効のとき，MPUが出力する$\overline{UDS}$信号の入力端子
	INT($\overline{INT}$)	86	出力	割り込み要求信号の出力端子
	MODE	87	入力	MPUバス，DMAバスの種類を指定する信号の入力端子
DMAインターフェース	DREQ	52	出力	DMAコントローラに対するDMA転送要求信号の出力端子．DMAバスによるSPCとメモリ間でのデータ転送を要求する
	$\overline{DACK}$	51	入力	DMAコントローラからのDMA許可信号の入力端子．この入力信号がアクティブのとき，DMAサイクル（読み出し/書き込み）を実行する
	DMD15 ≀ DMD8	48, 47, 46 45, 44, 43 42, 41	入出力	DMAデータ・バスの上位バイトとパリティ信号の入出力端子．$\overline{CS1}$が有効のとき，MPUデータ・バスが直結される
	UDMDP	49		
	DMD7 ≀ DMD0	39, 38, 37 36, 35, 34 33, 32	入出力	DMAデータ・バスの下位バイトとパリティ信号の入出力端子．$\overline{CS1}$入力が有効のとき，MPUデータ・バスが直結される
	LDMDP	31		
	$\overline{IORD}$ (DMR/$\overline{W}$)	27	入力	80系モードのときは，SPCからDMAバスにデータを出力するための信号（$\overline{IORD}$または$\overline{RD}$）の入力端子．68系モードのときは，SPCに対してDMAコントローラがデータ出力/入力動作を行うための制御信号（DMR/$\overline{W}$）の入力端子
	$\overline{IOWR}$ ($\overline{DMLDS}$)	26	入力	80系モードのときは，SPCにDMAバスのデータを入力するための信号（$\overline{IOWR}$または$\overline{WR}$）の入力端子．68系モードのときは，DMAデータ・バスの下位バイトが有効のとき，DMAコントローラが出力する$\overline{DMLDS}$信号の入力端子
	$\overline{DMBHE}$ ($\overline{DMUDS}$)	50	入力	80系モードのときは，DMAデータ・バスの上位バイトが有効のとき，DMAコントローラが出力する$\overline{DMBHE}$信号の入力端子．68系モードのときは，DMAデータ・バスの上位バイトが有効のとき，DMAコントローラが出力する$\overline{DMUDS}$信号の入力端子
	DMA0	30	入力	80系モードのときに，DMAコントローラが出力するアドレス・データA0信号の入力端子
	TP	55	入力	DMA転送の許可信号の入力端子．この信号がアクティブのとき，SPCはDMA転送を行う
その他	$\overline{RESET}$	6	入力	システム・リセット信号の入力端子
	CLK	5	入力	クロック信号の入力端子．クロック周波数は，12MHz～40MHz

*：（　）内の端子記号は，MODE入力が“L（68系モード）”の場合の端子記号を示す．

SCSI (Protocol Controller)

■ ピン接続

MB87034

CS, V_{SS}, INT_2, (NC), (NC), ATN, V_{SS}, BSY, ACK, RST, MSG, V_{SS}, V_{SS}, V_{DD}, SEL, C/D, REQ, V_{SS}, I/O, (NC), (NC), (OPEN), V_{SS}, CLK

WT, WTG, RD, RDG, D_0, D_1, D_2, D_3, V_{DD}, D_4, D_5, D_6, D_7, DP, DPO, INTR

A_3, A_2, A_1, A_0, HDBP, HDB_7, HDB_6, V_{DD}, HDB_5, HDB_4, HDB_3, HDB_2, HDB_1, HDB_0, HIN, DREQ

RESET, V_{SS}, (OPEN), (NC), (NC), DBP, V_{SS}, DB_7, DB_6, DB_5, V_{DD}, V_{SS}, V_{SS}, DB_4, DB_3, DB_2, DB_1, V_{SS}, DB_0, (NC), (NC), TEST, V_{SS}, DRESP

INDEX

64 41 65 40 80 25 1 24

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜6.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.3	V
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−40〜125	℃

■ DC特性

(T_a＝0〜70℃，V_{CC}＝5V±10%)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝3.2mA	0.4	V
V_{OH}	I_{OH}＝0.4mA	4.0*	V
I_{IL}	V_{IN}＝0, 5.25V	±10	μA
C_{IN}	f ＝1MHz V_{CC}＝V_I＝0V	9	pF

■ 特　徴

・ＡＮＳＩ　Ｘ３．１３１準拠のＳＣＳＩコントローラ
・イニシエータとターゲットの両機能をもつ
・REQ, ACK端子にスリーステートのドライバ／レシーバ採用
・同期モードで４Ｍバイト／ｓｅｃの転送速度をもつ
・同期モード転送速度は４段階プログラマブル
・８バイトのデータ・バッファ・レジスタを内蔵
・２８ビット長の転送バイト・カウンタにより，一度に２５６ＭＢのデータ転送が可能
・独立したデータ転送用バスをもつ

■端子機能

端子名	ピン番号	入出力	機　　能
$\overline{CLK}$	41	入　力	MB87034の内部動作とデータ転送速度を制御するためのクロック入力
$\overline{RESET}$	1	入　力	MB87034の内部回路をクリアするためのリセット入力
$\overline{CS}$	64	入　力	MB87034の内部レジスタをアクセスするための選択許可信号. 本入力がアクティブのとき，以下の入出力信号が有効になる. $\overline{RD}$, $\overline{RDG}$, $\overline{WT}$, $\overline{WTG}$, A_3〜A_0, D_7〜D_0, DP
$\overline{RD}$	67	入　力	MB87034の内部レジスタを読み出すためのストローブ入力. $\overline{CS}$入力がアクティブ状態のときのみ有効となる. プログラム転送モードのデータ転送サイクルでは，本信号の立ち上がりエッジが，FIFOからのデータ読み取り完了タイミングとして使用される. 本信号と$\overline{RDG}$入力が共にアクティブ状態である間，A_3〜A_0入力で選択されている内部レジスタの値がデータ・バスD_7〜D_0, DP上に読み出される
$\overline{RDG}$	68	入　力	データ・バスD_7〜D_0, DPのアウトプット・コントロール入力. 本信号と$\overline{CS}$入力が共にアクティブ状態である間，データ・バスD_7〜D_0, DPが出力状態となる. 本入力端子は通常，$\overline{RD}$端子と接続して使用する
$\overline{WT}$	65	入　力	MB87034の内部レジスタへの書き込みを行うためのストローブ入力. $\overline{CS}$入力がアクティブ状態のときのみ有効となる. 本信号の立ち上がりエッジで，データ・バスD_7〜D_0, DP上の値が，A_3〜A_0入力で選択されている内部レジスタに書き込まれる（$A_3=A_2=A_1=A_0=$ “H” の場合を除く). プログラム転送モードのデータ転送サイクルでは，本信号の立ち上がりエッジが，FIFOへの書き込みデータ準備完了のタイミングとして使用される.
$\overline{WTG}$	66	入　力	本信号がアクティブ状態で，かつ以下に示す入力条件が成立している間，D_7〜D_0, DP上の値が，HDB_7〜HDB_0, HDBP上に出力される. 入力条件：$\overline{CS}=$ “L” $A_3=A_2=A_1=A_0=$ “H” HIN＝ “H” 本入力端子は通常，$\overline{WT}$端子と接続して使用する
A_3 ∫ A_0	40 ∫ 37	入　力	MB87034の内部レジスタを選択するためのアドレス入力. MSB：A_3　LSB：A_0
D_7 ∫ D_0 DP	77　72 ∫　∫ 74，69 78	入出力	MB87034の内部レジスタのリード／ライトを行うために使用する双方向性のデータ・バス. MSB：D_7　LSB：D_0 奇数パリティ・ビット：DP $\overline{CS}$入力と$\overline{RDG}$入力が共にアクティブ状態のとき，本データ・バスが出力状態となる. また，$\overline{CS}$入力または$\overline{RDG}$入力がノンアクティブ状態のとき，本データ・バス端子はハイ・インピーダンス状態となる
DPO	79	出　力	D_7〜D_0の奇数パリティを出力する. 本出力端子は，D_7〜D_0, DPがハイ・インピーダンス状態（入力状態）のときに出力状態となり，D_7〜D_0, DPが出力状態のときは，ハイ・インピーダンス状態となる. データ・バスのパリティ・ビットを持たないシステムでは本出力端子とDP端子を接続する
INTR	80	出　力	MB87034の内部動作の終了及びエラー検出を通知するための割り込み要求信号であり，プログラムによりマスクが可能. 割り込みが許可されていれば，割り込みの原因がクリアされるまでは本信号はアクティブ状態を保持する

■端子機能

端子名	ピン番号	入出力	機能
INT_2	62	出力	SCSI でのリセット・コンディション検出を通知するための，マスク不可能な割り込み信号．SCSI 上でのリセット・コンディション検出は，INTR 出力の要因にもなる
DREQ	25	出力	DMA モードのデータ転送サイクルにおいて，$HDB_{7\sim0}$，P に接続されているデータ・メモリと MB87034との間でデータ転送を実行するための転送要求信号． アウトプット動作では MB87034内部のデータ・バッファ・レジスタ（FIFO）に空位置があるとき，インプット動作では，バッファ・レジスタ内に有効なデータが存在するとき，本信号がクティブとなり，データ・メモリとのデータ転送を要求する
DRESP	24	入力	DREQ 信号に対する応答信号入力．本端子には，1バイトの転送毎にパルス信号を入力する． DMA モードのデータ転送サイクルでは，本信号の立ち上がりエッジが，1バイトの転送終了のタイミングとして使用される
HDB_7 ∫ HDB_0 HDBP	35, 34, 32 ∫ 27, 36	入力	DMA モードのデータ転送サイクルにおいて，データ・メモリと MB87034との間で，データ転送を行うための，双方向性のデータ・バス． MSB：HDB_7　LSB：HDB_0 奇数パリティ・ビット：HDBP HIN 入力が“H”のとき，本データ・バス端子は出力状態となり，HIN 入力が“L”のとき，本データ・バス端子はハイ・インピーダンス状態（入力状態）となる
HIN	26	入力	DMA データ転送用データ・バス・HDB_7～HDB_0，HDBP のアウトプット・コントロール入力．本信号が High のとき，HDB_7～HDB_0，HDBP が出力状態となる

端子名	ピン番号	入出力	機能
$\overline{\text{BSY}}$ $\overline{\text{SEL}}$ $\overline{\text{REQ}}$ $\overline{\text{ACK}}$ $\overline{\text{MSG}}$ $\overline{\text{C/D}}$ $\overline{\text{I/O}}$ $\overline{\text{ATN}}$ $\overline{\text{RST}}$	57 50 48 56 54 49 46 59 55	入出力	SCSI コントロール信号の入出力端子． Single-ended SCSI コネクタに，直接接続して使用する
$\overline{DB_7}$ ∫ $\overline{DB_0}$, $\overline{\text{DBP}}$	8 ∫ 10, 14 ∫ 17, 19, 6	入出力	SCSI データ・バスの入出力端子． Single-ended SCSI のコネクタに，直接接続して使用する． MSB：$\overline{DB_7}$　LSB：$\overline{DB_0}$ 奇数パリティ・ビット：$\overline{\text{DBP}}$
V_{dd}	11，33， 51，73	—	＋5 V電源供給端子
V_{SS}	2，7， 12，13， 18，23， 42，47， 52，53， 58，63	—	0 V接地端子
(OPEN)	3，43	—	接続しない
TEST	22	—	接続しない
(NC)	4，5， 20，21， 44，45， 60，61	—	NC 端子は，内部にはつながっていないが，原則として接続しないこと

SCSI Controller

■ ピン接続

MB89351

信号	ピン	ピン	信号
SDBI7 →	1	64	V_{CC}
SDBI6 →	2	63	← $\overline{CLK}$
SDBI5 →	3	62	← $\overline{RST}$
SDBI4 →	4	61	← $\overline{CS}$
SDBI3 →	5	60	← A3
SDBI2 →	6	59	V_{SS}
NC	7	58	NC
SDBI1 →	8	57	← A2
SDBI0 →	9	56	← A1
SDBIP →	10	55	← A0
SDBO7 ←	11	54	↔ D7
SDBO6 ←	12	53	↔ D6
SDBO5 ←	13	52	↔ D5
SDBO4 ←	14	51	↔ D4
SDBO3 ←	15	50	↔ D3
SDBO2 ←	16	49	↔ D2
SDBO1 ←	17	48	↔ D1
SDBO0 ←	18	47	↔ D0
SDBOP ←	19	46	↔ DP
RSTO ←	20	45	→ DPO
RSTI →	21	44	← $\overline{RD}$
SELO ←	22	43	← $\overline{WR}$
SELI →	23	42	→ INTR
BSYO ←	24	41	→ DREQ
BSYI →	25	40	← $\overline{DACK}$
I/O ↔	26	39	V_{SS}
C/D ↔	27	38	NC
MSG ↔	28	37	NC
REQ ↔	29	36	→ INIT
ACK ↔	30	35	→ TARG
ATN ↔	31	34	→ INPUT2
V_{SS}	32	33	→ INPUT1

■ 特　徴

- 同期転送以外のほとんどのＳＣＳＩ機能をサポート
- 非同期式２．６Ｍバイト／秒の転送が可能
- ８バイトＦＩＦＯによる転送タイミングの削減
- ８／１６ビットＣＰＵの周辺ＬＳＩとして使用可能
- イニシエータまたはターゲットのいずれの動作も可能
- ２４ビット長の転送バイト・カウンタ

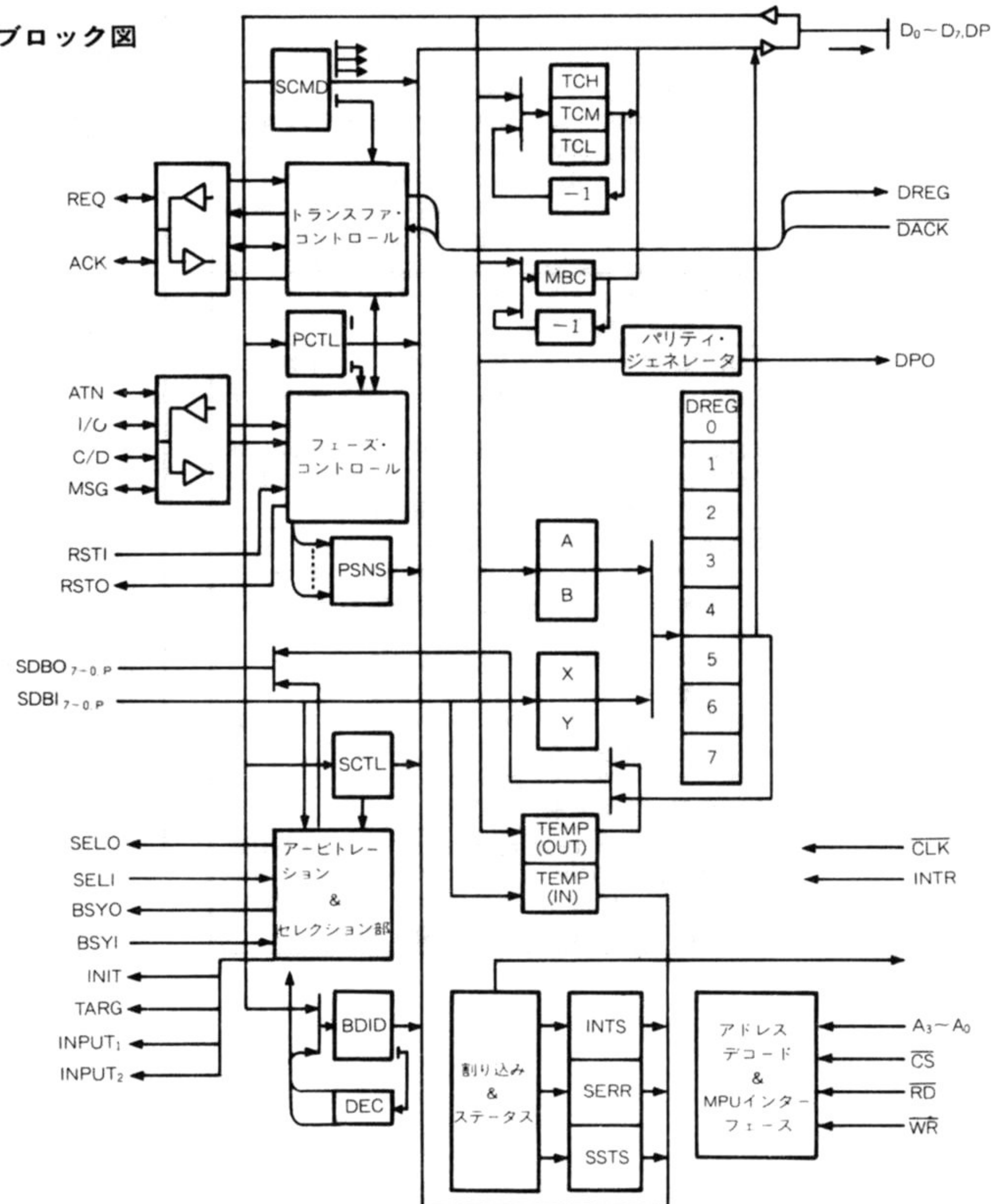
■ ブロック図

■ DC特性

（T_a＝0～70℃，V_{CC}＝5V±10%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝3.2mA	0.4	V
V_{OH}	I_{OH}＝0.4mA	4.0*	V
I_{OL}	V_{OUT}＝0～5.25V	±40	μA
I_{IL}	V_{IN}＝0～5.25V	20	μA

■ 最大定格

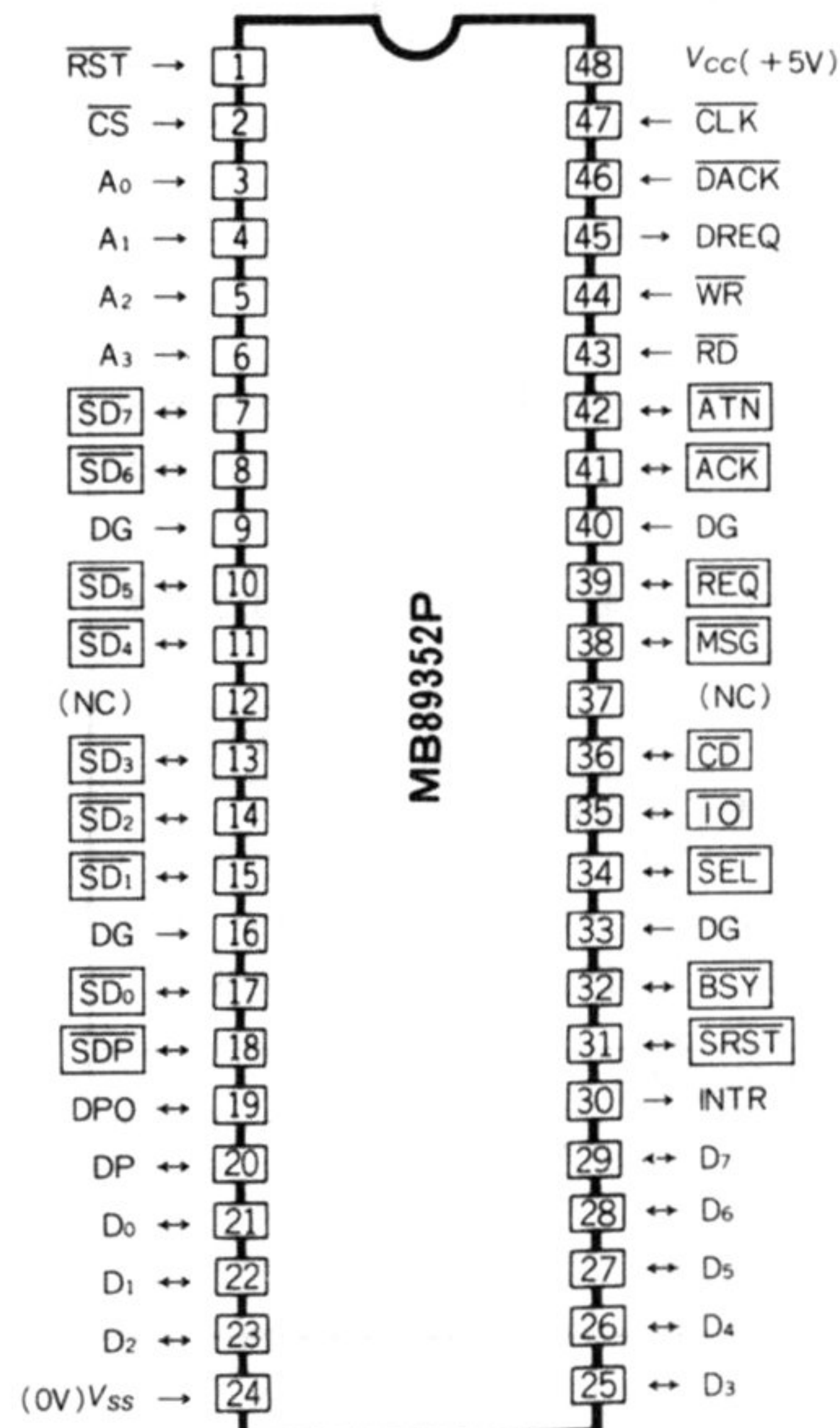
項目	記号	定格	単位
電源電圧	V_{CC}	−0.5～7.0	V
入力電圧	V_{IN}	−0.5～V_{CC}+0.5	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−55～150	℃

■端子機能

端子名	ピン番号	入出力	機　　能
$\overline{RST}$	62	入　力	内部回路をクリアするための非同期リセット入力
$\overline{CLK}$	63	入　力	クロック入力
$\overline{CS}$	61	入　力	内部レジスタの選択許可信号
$\overline{RD}$	44	入　力	内部レジスタを読み出すためのストローブ入力
$\overline{WR}$	43	入　力	内部レジスタの書き込みを行うためのストローブ入力
$A_3, A_2 \sim A_0$	60, 57～55	入　力	内部レジスタを選択するためのアドレス入力
$D_7 \sim D_0$, DP	54～46	入出力	内部レジスタのリード/ライトを行うために使用する双方向性のデータ・バス
INTR	42	出　力	内部動作の終了, DREGアクセス要求, 及びエラー検出を通知するための割り込み要求信号
$SDBI_7 \sim SDBI_0$ SDBIP	1～6, 8～10	入　力	SCSIバスの入力端子
$SDBO_7 \sim SDBO_0$ SDBOP	11～19	出　力	SCSIバスの出力端子
$\overline{DACK}$	40	入　力	DMAモードにおいて、メモリとの転送要求信号DREQに対する応答信号
RESTO RESTI	20, 21	出　力 入　力	ほかのデバイスへのリセット出力, およびほかのデバイスからのリセット入力信号
DREQ	41	出　力	DMAモードにおいて, メモリとの間でデータ転送を実行するための転送を実行するための転送要求信号
DPO	45	出　力	$D_7 \sim D_0$の奇数パリティを出力
SELO, SELI	48, 49	出　力 入　力	イニシエータおよびターゲットが出力する信号とそれらを検出するための入力信号
BSYO, BSYI	24, 25	出　力 入　力	SCSIバスの使用状態を示す信号
I/O	26	入出力	データの転送方向を示す
C/D	27	入出力	コマンド・フェーズ, ステータス・フェーズおよびメッセージ・フェーズのとき "H" となる
MSG	28	入出力	メッセージ・フェーズのみにおいて "H" となる
REQ	29	入出力	ターゲットがデータの要求やデータの用意ができたことをイニシエータに知らせるためのもの
ACK	30	入出力	ターゲットからの転送要求信号REQに対する応答信号
ATN	31	入出力	アテンション・コンディションを示す信号
INIT, TARG	36, 35	出　力	結合状態を表示する信号
$INPUT_1$, $INPUT_2$	33, 34	出　力	INIT, TARG信号とほぼ同様な信号で, それぞれ$INPUT_1$, $INPUT_2$に対応している
V_{CC}	64	入　力	＋5V電源供給端子
V_{SS}	59, 39, 32	入　力	ゼロ・グラウンド(0V)
NC	58, 38, 37, 7	—	NC端子
OPEN		—	オープン端子

SCSI PC (SCSI Protocol Controller)

■ ピン接続

MB89352P

信号	方向	ピン	ピン	方向	信号
$\overline{RST}$	→	1	48		V_{CC}(+5V)
$\overline{CS}$	→	2	47	←	$\overline{CLK}$
A_0	→	3	46	←	$\overline{DACK}$
A_1	→	4	45	→	DREQ
A_2	→	5	44	←	$\overline{WR}$
A_3	→	6	43	←	$\overline{RD}$
$\overline{SD_7}$	↔	7	42	↔	$\overline{ATN}$
$\overline{SD_6}$	↔	8	41	↔	$\overline{ACK}$
DG	→	9	40	←	DG
$\overline{SD_5}$	↔	10	39	↔	$\overline{REQ}$
$\overline{SD_4}$	↔	11	38	↔	$\overline{MSG}$
(NC)		12	37		(NC)
$\overline{SD_3}$	↔	13	36	↔	$\overline{CD}$
$\overline{SD_2}$	↔	14	35	↔	$\overline{IO}$
$\overline{SD_1}$	↔	15	34	↔	$\overline{SEL}$
DG	→	16	33	←	DG
$\overline{SD_0}$	↔	17	32	↔	$\overline{BSY}$
$\overline{SDP}$	↔	18	31	↔	$\overline{SRST}$
DPO	↔	19	30	→	INTR
DP	↔	20	29	↔	D_7
D_0	↔	21	28	↔	D_6
D_1	↔	22	27	↔	D_5
D_2	↔	23	26	↔	D_4
(0V)V_{SS}	→	24	25	↔	D_3

48ピン・プラスチックDIP
□ SCSIバス端子，ほかはCPUバス端子(除くV_{CC}, V_{SS})

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	V_{SS}−0.3～+7.0	V
入力電圧	V_{IN}	V_{SS}−0.3～+7.3	V
出力電圧	V_{OUT}	V_{SS}−0.3～+7.3	V
保存温度	T_{STG}	−55～+150	℃

■ 特　徴

・ＳＣＳＩの同期転送を除くほとんどの機能を実現可能
・８バイトＦＩＦＯによる転送タイミングの軽減
・イニシエータまたはターゲットのいずれの動作も可能
・大電流駆動用ドライバ／レシーバ内蔵

■ ブロック図

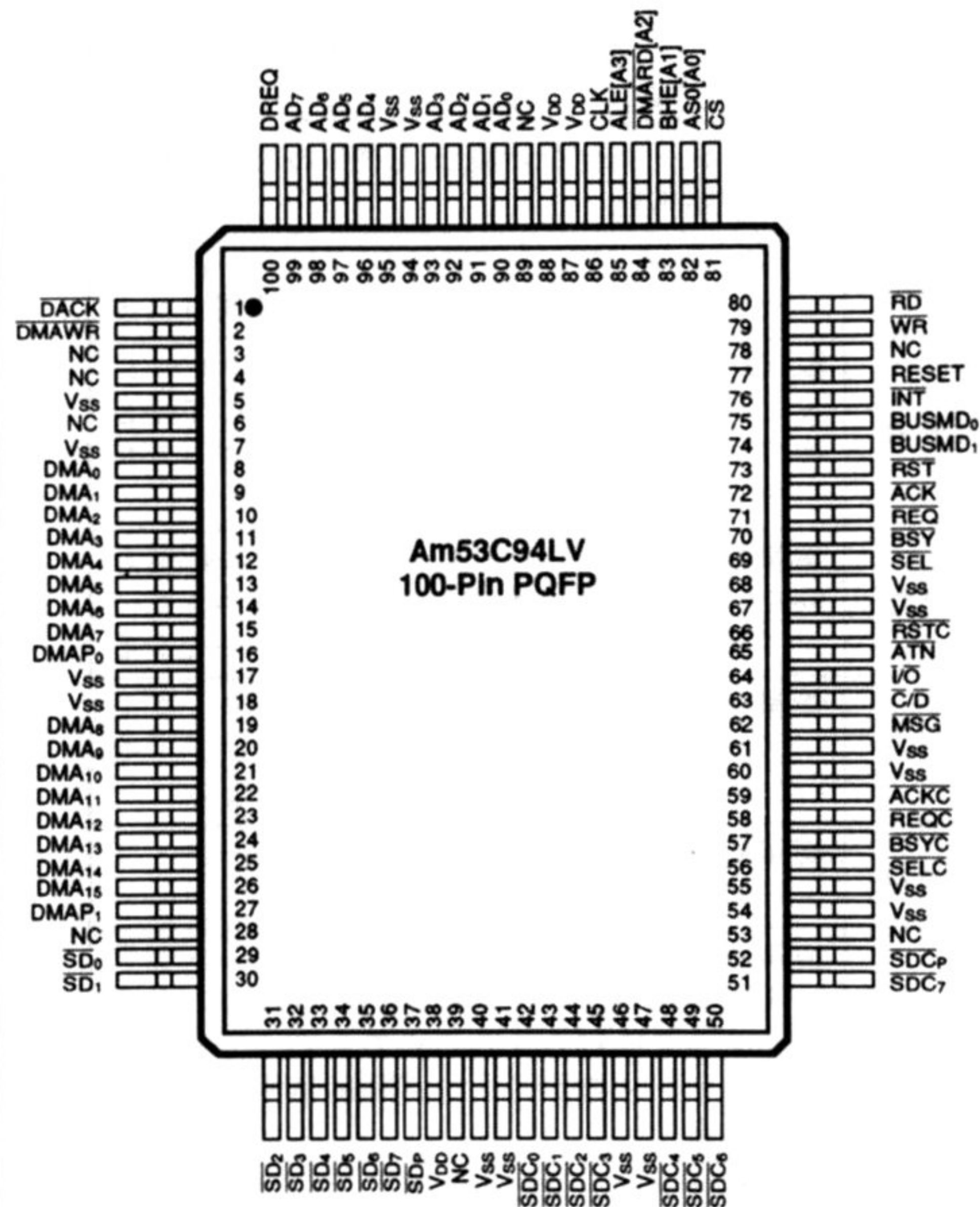
SCSI インターフェース
$\overline{REQ}$　$\overline{ACK}$　$\overline{ATN}$　$\overline{I/O}$　$\overline{C/D}$　$\overline{MSG}$　$\overline{SRST}$　$\overline{SD_{7-0}}$, SDP　$\overline{SEL}$　$\overline{BSY}$
SCMD　転送制御　フェーズ制御　PSNS　SCTL　アービトレーション & セレクション・ロジック　BDID　DEC
TCH　TCM　TCL　−1　MBC　−1　パリティ・ジェネレータ
A　B　X　Y　TEMP (OUT)　TEMP (IN)
DREG 0　1　2　3　4　5　6　7
割り込み & ステータス　INTS　SERR　SSTS
アドレス・デコード & CPUインターフェース
CPU インターフェース
D_7～DP　DREQ　$\overline{DACK}$　DPO　$\overline{CLK}$　$\overline{RST}$　INTR　A_3～A_0　$\overline{CS}$　$\overline{RD}$　$\overline{WR}$

■ 端子機能

端子名	ピン番号	入出力	機能
$\overline{RST}$	1	入　力	内部回路をクリアするリセット入力
$\overline{CLK}$	47	入　力	内部動作とデータ転送速度を制御するためのクロック入力
$\overline{CS}$	2	入　力	内部レジスタをアクセスするための選択許可信号．この信号がアクティブのとき，次の信号が有効となる．$\overline{RD}$，$\overline{WR}$，A_3～A_0，D_7～D_0，DP
$\overline{RD}$	43	入　力	内部レジスタを読み出すためのストローブ入力．$\overline{CS}$がアクティブのときのみ有効
$\overline{WR}$	44	入　力	内部レジスタの書き込みを行うためのストローブ入力．$\overline{CS}$がアクティブのときのみ有効
A_3～A_0	6～3	入　力	内部レジスタを選択するためのアドレス入力
D_7～D_0, DP	21～23, 25～29, 20	入出力	内部レジスタのリード/ライトを行うために使用する双方向性のデータ・バス，奇数パリティ・ビット：DP．リード/ライト動作以外では，ハイ・インピーダンス状態となる
INTR	30	出　力	内部動作の終了，DREGアクセス要求，およびエラー検出を通知するための割り込み要求信号．$\overline{SRST}$入力に起因する割り込み（SCSIのリセット・コンディション）以外はマスク可能．割り込みが許可されていれば，割り込み原因がクリアされるまでアクティブ状態を保持する
$\overline{SD_7}$～$\overline{SD_0}$, $\overline{SDP}$	7，8，10，11，13～15，17，18	入出力	SCSIのデータ・バス．$\overline{SDP}$：奇数パリティ・ビット，パリティ・チェック実行の有無はプログラマブル
DREQ	45	出　力	DMAモードのデータ転送サイクルにおいて，メモリとの間でのデータ転送要求信号
$\overline{DACK}$	46	入　力	メモリとの転送要求信号DREQに対する応答信号．転送モードにおいて，プログラム転送モード時の$\overline{CS}$，A_3～A_0，“\$A”に相当する
$\overline{SRST}$	31	入出力	SCSIリセット信号．レジスタの設定によりアクティブにすることができる．SCSIリセットはマスク不可能
DPO	19	入出力	D_7～D_0の奇数パリティを出力する．パリティ・ジェネレータがない場合，DPへの入力信号として使用可能
$\overline{SEL}$	34	入出力	SCSIのバス・フェーズのセレクションおよびリセレクション・フェーズにおいて使用される
$\overline{BSY}$	32	入出力	SCSIバスの使用状態を示す．アービトレーション・フェーズおよびターゲットとして結合中アクティブとなる．$\overline{SEL}$と共にバス・フリー・フェーズ検出に使用される
$\overline{IO}$	35	入出力	情報転送フェーズにおいて，データの転送方向を示す．“L”のときターゲット→イニシエータ，“H”のときイニシエータ→ターゲットとなる
$\overline{CD}$	36	入出力	情報転送フェーズにおいて，コマンド・フェーズ，ステータス・フェーズ，およびメッセージ・フェーズのときアクティブとなる
$\overline{MSG}$	38	入出力	情報転送フェーズにおいて，メッセージ・フェーズのみにアクティブになる
$\overline{REQ}$	39	入出力	情報転送フェーズにおいて，ターゲットがデータの要求やデータの用意ができたことをイニシエータに知らせるためのもの，データ転送シーケンスのタイミング制御信号として使用される
$\overline{ACK}$	41	入出力	情報転送フェーズにおいて，ターゲットからの転送要求信号$\overline{REQ}$に対する応答信号．$\overline{REQ}$と同様，データ転送シーケンスのタイミング信号として使用される
$\overline{ATN}$	42	入出力	アテンション・コンディションを示す信号．ターゲットとして動作しているとき，この信号の状態はレジスタに示される
DG	33	入　力	ドライバ・グラウンド，電気的にはV_{SS}(0V)と同じもの
(NC)	12，37	−	内部につながっていないが，原則として接続しない

SCSI-2 プロトコル・コントローラ

■ ピン接続

Am53C94LV
100-Pin PQFP

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	$-0.5 \sim +7.0$	V
入力電圧	V_{IN}	$-0.5 \sim V_{CC}+0.3$	V
動作温度	T_{OPR}	$0 \sim +70$	℃
保存温度	T_{STG}	$-65 \sim +150$	℃

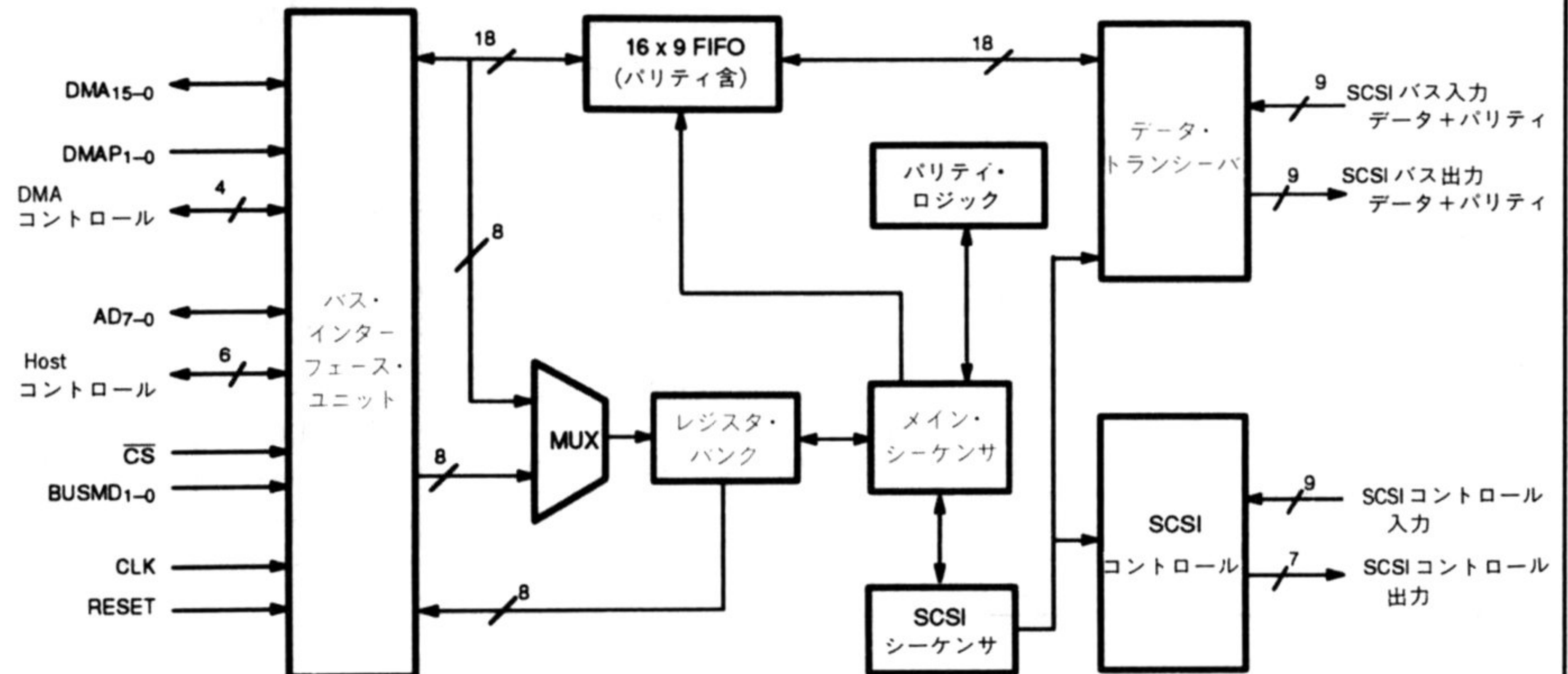
■ DC 特性

($T_a = 0 \sim 100$℃, $V_{CC} = 2.9$ V ~ 3.7 V)

記号	測定条件	max/min*	単位
V_{IL}		0.4	V
V_{IH}		2.2*	V
V_{OL}	$I_{OL} = 2$ mA	0.45	V
V_{OH}		2.2*	V
I_{OL}	$V_{OUT} = 0 \sim V_{CC}$	±15	μA
I_{IL}	$V_{IN} = 0 \sim V_{CC}$	±15	μA

■ 特　徴

- Ａｍ５３Ｃ９４とコンパチブルで，３．３Ｖでの低電圧動作可能なＳＣＳＩ-２コントローラ
- ＳＣＳＩ転送速度：５Ｍビット／秒
- ＤＭＡ転送速度　：２０Ｍビット／秒
- １６ビットのＤＭＡインターフェースと２ビットのパリティをもつ
- フレキシブルなバス・アーキテクチャ
- シングル・エンド伝送型式のＳＣＳＩバスをサポート
- アドレスおよびデータ・バスはマルチプレクス，ノン・マルチプレクスの選択可能
- ４８ｍＡのＳＣＳＩバス・ドライブ能力をもつ
- バースト・モードＤＭＡ動作をサポート

■ ブロック図

■端子機能

端子名	ピン番号	入出力	機能
$DMA_{15\sim0}$	26～19, 15～8	入出力	データ/DMA バス．バス・モードの設定でコンフィギュレーションが変わる
$DMAP_1$, $DMAP_0$	27 16	入出力	データ/DMA パリティ・バス．DMA15～0 バス・データの奇パリティ
ALE（A_3）	85	入　力	アドレス・ラッチ・イネーブル（アドレス3）
$\overline{DMARD}$(A_2)	84	入　力	DMA リード（アドレス2）
BHE（A_1）	83	入　力	バス・ハイ・イネーブル（アドレス1）
AS0（A_0）	82	入　力	アドレス・ステータス（アドレス0）
DREQ	100	出　力	DMA リクエスト端子で，DMA コントローラに接続する
$\overline{DACK}$	1	入　力	DMA アクノリッジ端子で，DMA コントローラの出力を接続
$AD_{7\sim0}$	99～96, 93～90	入出力	ホストのアドレス・データ・バス．デュアル・バス・モードの時のみ使用される
$\overline{DMAWR}$	2	入　力	DMA ライト．内蔵 FIFO のデータを DMA15～0 に出力する
$\overline{RD}$	80	入　力	内部レジスタ・データを読み出すためのリード信号
$\overline{WR}$	79	入　力	内部レジスタにデータを書き込むためのライト信号
$\overline{CS}$	81	入　力	チップ・セレクト信号
$\overline{INT}$	76	出　力	ホスト・プロセッサへのノン・マスカブル・インタラプト出力
$BUSMD_0$ $BUSMD_1$	75 74	入　力	シングル・バスまたはデュアル・バスのモードとバス幅を決定する
CLK	86	入　力	内部動作用のクロック入力端子
RESET	77	入　力	内部回路リセット入力
$\overline{SD_7\sim_0}$	36～29	入　力	SCSI データ入力端子
$\overline{SD_p}$	37	入　力	SCSI データ・パリティ入力端子
$\overline{SDC_7\sim_0}$	51～48, 45～42	出　力	SCSI 出力端子
$\overline{SDC_p}$	52	出　力	SCSI データ・パリティ出力端子
$\overline{MSG}$	62	入出力	48mA ドライブ能力をもつメッセージ端子．イニシエータのとき入力，ターゲットのとき出力となる
$\overline{C/D}$	63	入出力	48mA ドライブ能力をもつコマンド/データ端子．イニシエータのとき入力，ターゲットのとき出力となる
$\overline{I/O}$	64	入出力	48mA ドライブ能力をもつ I/O 端子．イニシエータのとき入力，ターゲットのとき出力となる
$\overline{ATN}$	65	入出力	アテンション・コンディション信号．イニシエータ・モードで48mA 出力，ターゲット・モードでシュミット入力となる
$\overline{BSY}$	70	入　力	SCSI バスの使用状態を示すビジィ入力（シュミット）
$\overline{SEL}$	69	入　力	SCSI のセレクト信号入力（シュミット）
$\overline{RST}$	73	入　力	SCSI のリセット信号入力（シュミット）
$\overline{REQ}$	71	入　力	SCSI のリクエスト信号入力（シュミット）
$\overline{ACK}$	72	入　力	SCSI のアクノリッジ信号入力（シュミット）
$\overline{BSYC}$	57	出　力	SCSI のビジィ・コントロール信号出力で，48 mA ドライブ能力のあるオープン・ドレイン端子
$\overline{SELC}$	56	出　力	SCSI のセレクト信号出力で，48mA ドライブ能力のあるオープン・ドレイン端子
$\overline{RSTC}$	66	出　力	SCSI のリセット信号出力で，48mA ドライブ能力のあるオープン・ドレイン端子
$\overline{REQC}$	58	出　力	SCSI のリクエスト信号出力で，48mA ドライブ能力のあるオープン・ドレイン端子
$\overline{ACKC}$	59	出　力	SCSI のアクノリッジ信号出力で，48mA ドライブ能力のあるオープン・ドレイン端子

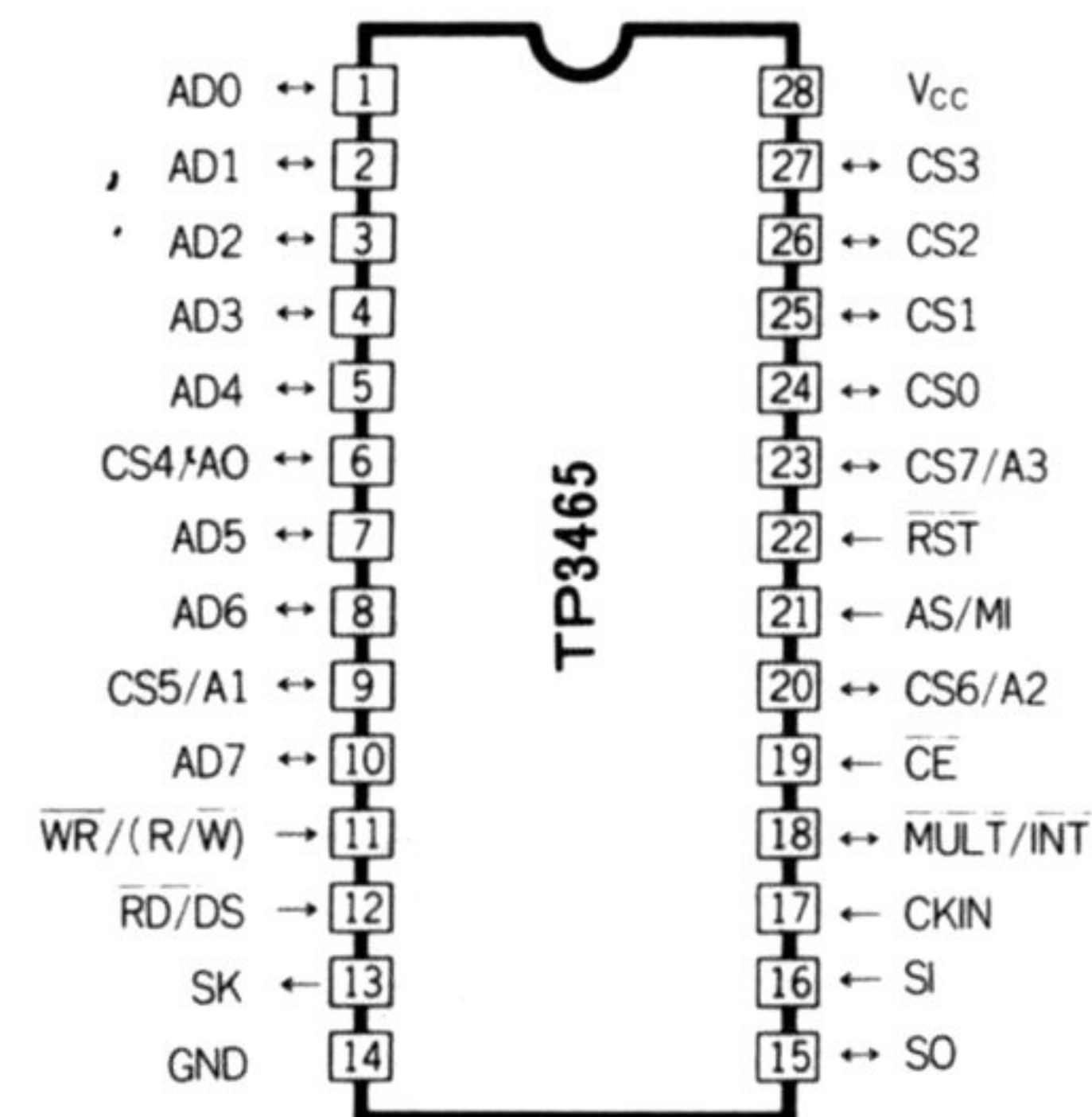
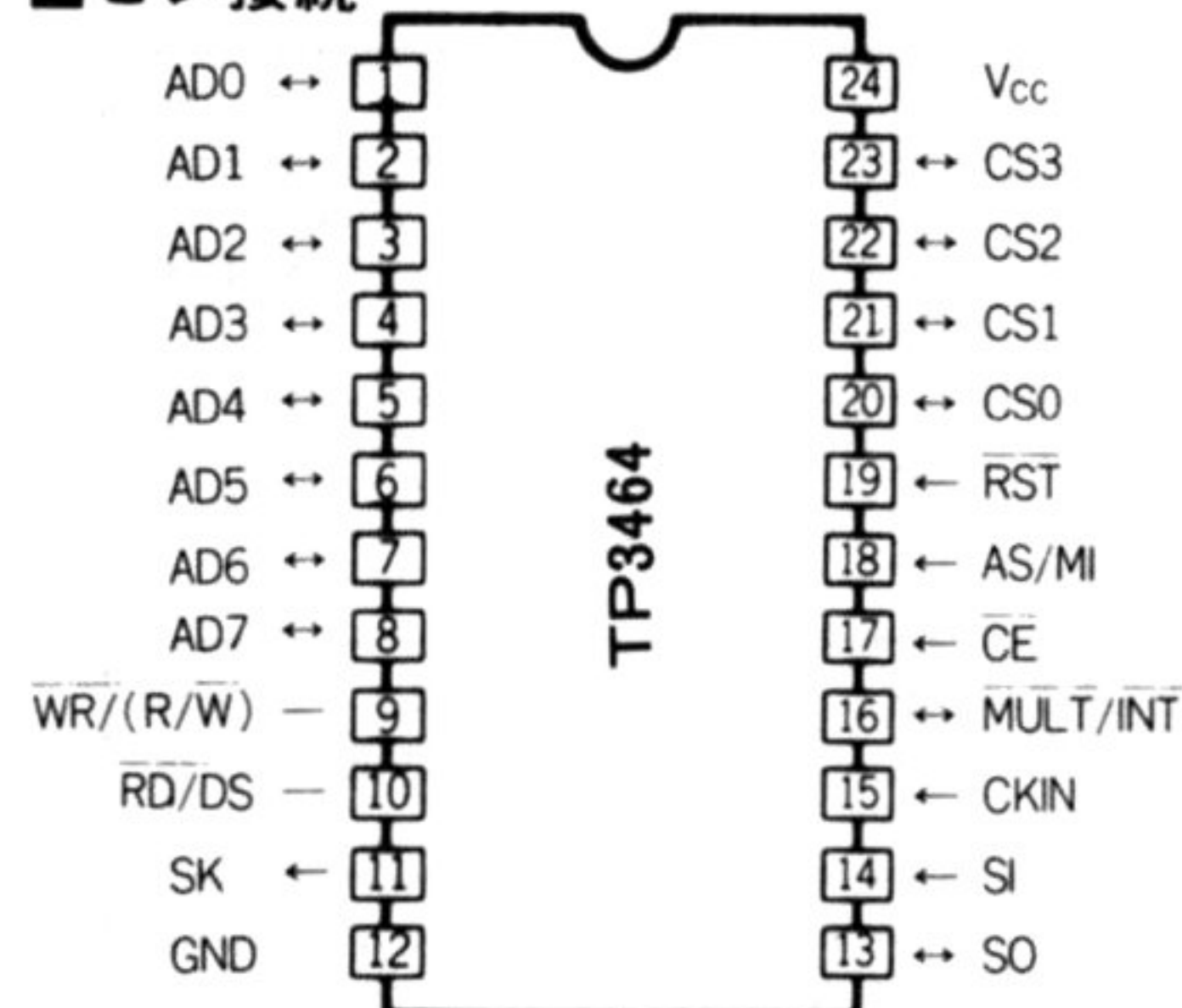
MID〔MICROWIRE™ Interface Device〕

■ピン接続

ピン	信号		ピン	信号
1	AD0 ↔		24	Vcc
2	AD1 ↔		23	↔ CS3
3	AD2 ↔		22	↔ CS2
4	AD3 ↔		21	↔ CS1
5	AD4 ↔		20	↔ CS0
6	AD5 ↔		19	← RST
7	AD6 ↔		18	← AS/MI
8	AD7 ↔		17	← CE
9	WR/(R/W) —		16	↔ MULT/INT
10	RD/DS —		15	← CKIN
11	SK ←		14	← SI
12	GND		13	↔ SO

TP3464

ピン	信号		ピン	信号
1	AD0 ↔		28	Vcc
2	AD1 ↔		27	↔ CS3
3	AD2 ↔		26	↔ CS2
4	AD3 ↔		25	↔ CS1
5	AD4 ↔		24	↔ CS0
6	CS4/A0 ↔		23	↔ CS7/A3
7	AD5 ↔		22	← RST
8	AD6 ↔		21	← AS/MI
9	CS5/A1 ↔		20	↔ CS6/A2
10	AD7 ↔		19	← CE
11	WR/(R/W) →		18	↔ MULT/INT
12	RD/DS →		17	← CKIN
13	SK ←		16	← SI
14	GND		15	↔ SO

TP3465

■特　徴

- 各種ＣＰＵと最大８個の周辺ＬＳＩとの間でシリアルMICROWIREインターフェースでの通信を可能にする
- マルチプレクス，ノン・マルチプレクスＣＰＵバスとコンパチブル
- ＣＰＵからのマスタ・クロックは最大２０ＭＨｚ
- MICROWIREシリアル・クロックは最大５ＭＨｚ
- MICROWIRE接続された周辺デバイスは，ＣＰＵからメモリ・マップドＩ／Ｏと見える
- MICROWIREシリアル・クロックはプログラマブルで，異速度デバイスとの通信を可能とする

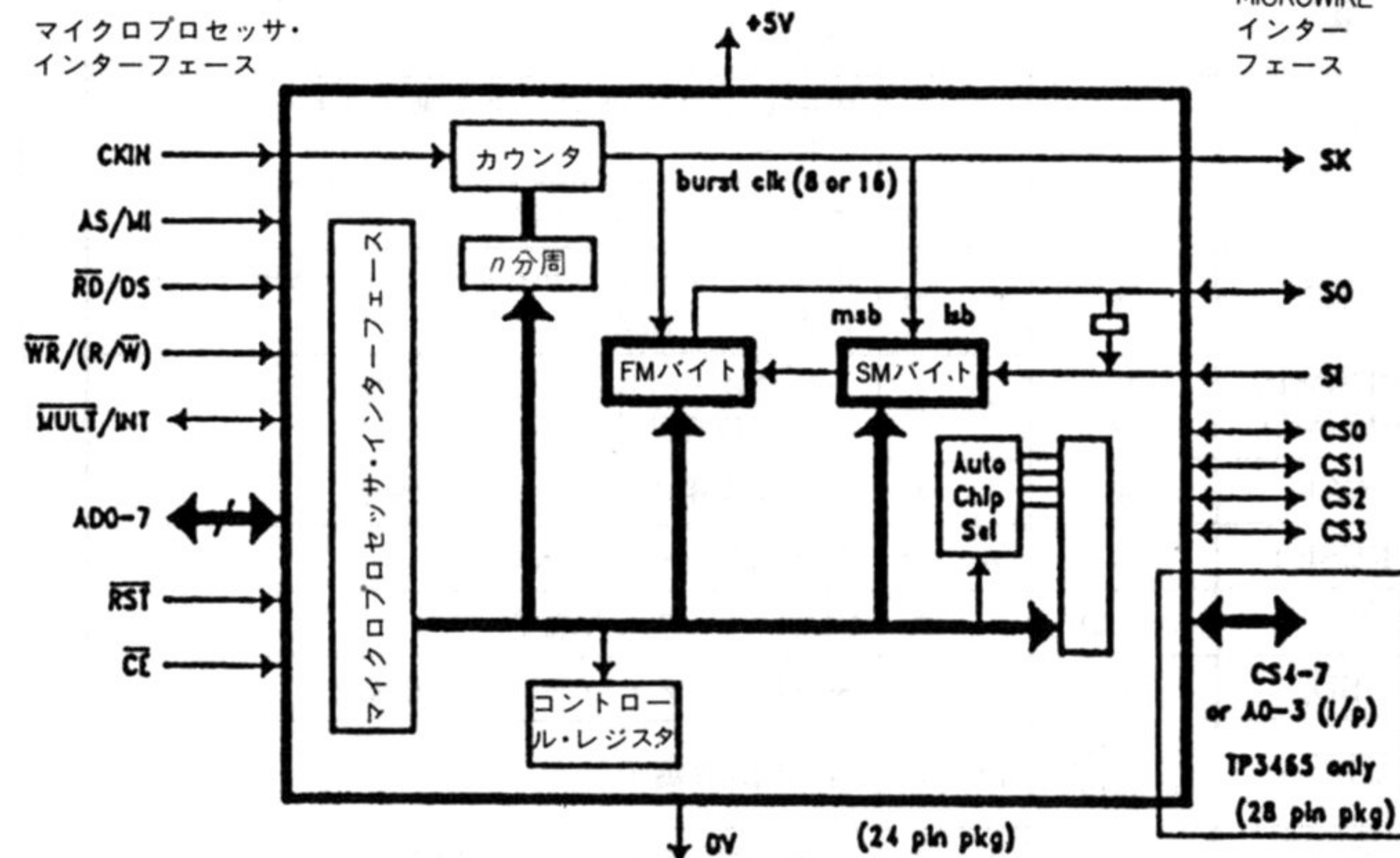
■ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	7	V
入力電圧	V_{IN}	$-0.3\sim V_{CC}+0.3$	V
消費電力	P_D	0.25	W
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−65～150	℃

■ DC 特性

（$T_a=0\sim70$℃，$V_{CC}=5\,V\pm5\,\%$）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	$I_{OL}=1\,mA$	0.4	V
V_{OH}	$I_{OH}=1\,mA$	2.4*	V
I_{OL}	$V_{OUT}=HiZ$	±20	μA
I_{IL}		10	μA

■端子機能

端子名	名　　称	TP3464 ピン番号	TP3465 ピン番号	入出力	機　　能
CKIN	クロック入力	15	17	入　力	SKクロック成生用のマスタ・クロック入力
SK	MICROWIREクロック出力	11	13	出　力	MICROWIRE™クロック出力
SO	データ出力	13	15	入出力	MICROWIREシリアル・データ出力．MICROWIREデータ入力として使われることもある
SI	データ入力	14	16	入　力	MICROWIREシリアル・データ入力
CS0～CS3	チップ・セレクト	20～23	24～27	入出力	MICROWIRE周辺デバイス選択に使用されるチップ・セレクト端子
CS4～CS7	チップ・セレクト	—	6, 9, 20, 23	入出力	マルチプレクス・バス・モードで使用されるチップ・セレクト端子で，TP3465のみで使用できる
AD0～AD7	アドレス／データ・バス	1～8	1, 2, 3, 4, 5, 7, 8, 10	入出力	アドレス，データ・バス．CPUとの間でデータ，アドレスの転送を行う
$\overline{CE}$	チップ・イネーブル	17	19	入　力	“L”のときに，リード／ライト動作が可能になる
$\overline{WR}$/(R/$\overline{W}$)	ライト／リード・ライト方向	9	11	入　力	ライト動作またはリード・ライト方向を示す信号の入力
$\overline{RD}$/DS	リード／データ・ストローブ	10	12	入　力	リード動作またはデータ・ストローブ信号の入力
AS/MI	アドレス・ラッチ／アドレス・ストローブ	18	21	入　力	“H”のとき，外部A/Dバスにアドレスがあることを示す．MULT＝1のときは，バスのタイプ（MI＝1はNSC/INTELフォーマット，MI＝0はMotorolaフォーマット）を示す信号の入力
$\overline{RST}$	マスタ・リセット	19	22	入　力	パワー・オン・リセット入力
$\overline{MULT}$/$\overline{INT}$	マルチプレクス・バス／割り込み出力	16	18	入出力	内部でプルアップされており，マルチプレクス・バス・フォーマット時は外部でプルダウンする

(注) MICROWIRE™インターフェース・デバイス(MID)は，パワー・オン時に$\overline{MULT}$/$\overline{INT}$端子をサンプリングし，この端子が“LOW”の時は，マルチプレクス・バス・モードで動作し，“High”の時はノン・マルチプレクス・バス・モードで動作する．各モードの時のMID端子と各社バスの信号との対応は下表の通りである．

MID端子	NSC/Intelバス		Motorolaバス	
	マルチプレクス・バス	ノン・マルチプレクス・バス	マルチプレクス・バス	ノン・マルチプレクス・バス
AS/MI	ALE	MI＝1	AS	MI＝0
$\overline{RD}$/DS	$\overline{RD}$	$\overline{RD}$	DS	DS
$\overline{WR}$/(R/$\overline{W}$)	$\overline{WR}$	$\overline{WR}$	(R/$\overline{W}$)	(R/$\overline{W}$)

UART (Universal Asynchronous Receiver/Transmitter)

■ ピン接続

左側ピン	番号	番号	右側ピン
V_{CC}	1	40	← TRC
NC	2	39	← EPE
GND	3	38	← WLS_1
RRD →	4	37	← WLS_2
RR_8 ←	5	36	← SBS
RR_7 ←	6	35	← PI
RR_6 ←	7	34	← CRL
RR_5 ←	8	33	← TR_8
RR_4 ←	9	32	← TR_7
RR_3 ←	10	31	← TR_6
RR_2 ←	11	30	← TR_5
RR_1 ←	12	29	← TR_4
PE ←	13	28	← TR_3
FE ←	14	27	← TR_2
OE ←	15	26	← TR_1
SFD →	16	25	→ TR_0
RRC →	17	24	→ TRE
DRR →	18	23	← THRL
DR ←	19	22	→ THRE
RI →	20	21	← MR

MB8868

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～7.0	V
入力電圧	V_{IN}	−0.3～7.0	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−55～150	℃

■ DC特性

(T_a=0～70℃, V_{CC}=5V±5%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}=1.8mA	0.4	V
V_{OH}	I_{OH}=0.2mA	2.4*	V
I_{OL}	V_{OUT}=0～V_{CC}	±20	μA
I_{IL}	V_{IN}=0～V_{CC}	350	μA
C_{IN}		10	pF

■ 特　徴

・シリアル・ポートをもったＣＰＵのシリアル・バス・インターフェース
・ＥＭＩを妨げる様に設計された中速非同期ディファレンシャル・シグナル・バスへの接続を提供する
・６８ＨＣ０５系のネットワーク・バスへの接続が可能
・ＳＣＩ，ＳＰＩ，バッファＳＰＩの三つの動作モードをもつ
・データ・コリージョン・ディテクション機能をもつ
・バス・アービトレーション機能をもつ
・アイドル・ディテクション機能をもつ
・プログラマブル・クロック分周
・パワーオン・リセット回路内蔵

■ ブロック図

■端子機能

端子名	名　　称	ピン番号	入出力	機　　能
V_{CC}	電源	1	—	＋5V電源
GND	グラウンド	3	—	グラウンド
RRD	RRディスコネクト	4	入　力	"H"にするとRR₈～RR₁出力がハイ・インピーダンス状態となる
RR_8～RR_1	レシーバ・レジスタ	5～12	出　力	RRD入力が"L"レベルのとき，受信ホールディング・レジスタのデータがこれらの端子にパラレルで出力される
PE	パリティ・エラー	13	出　力	"H"レベル出力のとき，受信したパリティがプログラムされたものと異なっていることを示す
FE	フレーミング・エラー	14	出　力	"H"レベル出力のとき，受信データのストップ・ビットが不完全であることを示す
OE	オーバラン・エラー	15	出　力	"H"レベル出力のとき，次のキャラクタが受信ホールディング・レジスタに転送される前にDR端子がリセットされなかったことを示す
SFD	ステータス・フラグ・ディスコネクト	16	入　力	"H"レベルの電圧を加えることにより，PE，FE，OE，DRおよびTHRE端子はハイ・インピーダンス状態となる
RRC	レシーブ・クロック	17	入　力	レシーバ・クロックをこの端子に入力する
DRR	DRリセット	18	入　力	"L"レベルの電圧を加えることによりDR端子がリセットされる
DR	データ・レシーブ	19	出　力	"H"レベル出力になればデータが受信され，受信ホールディング・レジスタに転送されたことを示す
RI	レシーバ入力	20	入　力	シリアル・データはこの端子から受信され，受信レジスタに送られ，ワード長，パリティおよびストップ・ビットがチェックされる
MR	マスタ・リセット	21	入　力	"H"レベルの電圧を加えるとUARTはマスタ・リセットされる
THRE	THRエンプティ	22	出　力	"H"レベル出力のとき，送信ホールディング・レジスタに新しいデータの書き込みが可能であることを示す
THRL	THRロード	23	入　力	"L"レベルの電圧を加えることにより，TR_8～TR_1にセットされているデータは，送信ホールディング・レジスタに書き込まれる
TRE	TRエンプティ	24	出　力	"H"レベル出力のとき，送信レジスタがストップ・ビットをも含めたデータの送信を完了したことを示す
TRO	TR出力	25	出　力	送信レジスタ内のデータはこの端子からシリアルに出力される
TR_1～TR_8	トランスミッタ・レジスタ	26～33	入　力	送信されるデータは，これらの入力端子（TR_8～TR_1）から送信ホールディング・レジスタに書き込まれる
CRL	コントロール・レジスタ・ロード	34	入　力	"H"レベルの電圧を加えることにより，コントロール端子（WLS_1，WLS_2，EPE，PI，SBS）にセットされているデータがコントロール・レジスタに書き込まれる
PI	パリティ禁止	35	入　力	"H"レベルの電圧が加えられると，パリティの発生およびチェックが禁止され，PE出力は"L"レベル出力に保たれる
SBS	ストップ・ビット選択	36	入　力	パリティ・ビットの後に続いて送信されるストップ・ビットの数を選択する
WLS_2，WLS_1	ワード長選択	37～38	入　力	これらの二つの端子により，ワード長（パリティ・ビットを除く）を5～8ビットのいずれかを選択する
EPE	パリティ種別	39	入　力	送信部で発生するパリティと受信部でチェックするパリティを偶数か奇数に決める
TRC	トランスミット・クロック	40	入　力	トランスミッタ・クロックを，この端子に入力する

MFP(Multi Function Peripheral)

■ピン接続

PIN ASSIGNMENT

MCCS16C452
MCCS16C462

9 X_{out}（462のみ）, 8 DCD1, 7 GND, 6 RI1, 5 DSR1, 4 X_{in}, 3 CSSE1, 2 PDM, 1 LPTOE, 68 ACK, 67 PE, 66 BUSY, 65 SLCT, 64 V_{CC}, 63 ERROR, 62 SIN1, 61 GND

10 SOUT1, 11 DTR1, 12 RTS1, 13 CTS1, 14 D0, 15 D1, 16 D2, 17 D3, 18 D4, 19 D5, 20 D6, 21 D7, 22 GND, 23 V_{CC}, 24 RTS0, 25 DTR0, 26 SOUT0

27 GND, 28 CTS0, 29 DCD0, 30 RI0, 31 DSR0, 32 CSSE0, 33 A2, 34 A1, 35 A0, 36 IOW, 37 IOR, 38 CSPA, 39 RESET, 40 V_{CC}, 41 SIN, 42 GND, 43 GND

60 INTSE1, 59 IRQ7PA, 58 SLIN, 57 INIT, 56 AUTOFD, 55 STROBE, 54 GND, 53 PD0, 52 PD1, 51 PD2, 50 PD3, 49 PD4, 48 PD5, 47 PD6, 46 PD7, 45 INTSE0, 44 BD0

■特　徴

・ＩＢＭ　ＰＣ　ＸＴ／ＡＴシステムとコンパチブルなＩ／Ｏコントローラ
・ＮＳ１６４５０，ＮＳ８２５０とコンパチブルな二つの全二重シリアル・ポート内蔵
・各シリアル・ポートのボーレートはプログラマブル
・セントロニクス・プリンタ対応可能な双方向パラレル・ポート内蔵
・パラレル・ポートはレベル・センスの割り込み入力機能を持つ
・１６Ｃ４５２は外部クロック動作，１６Ｃ４６２は水晶発振回路内蔵

■ブロック図

シリアル・ポート1 インターフェース/コントロール: SERIAL INPUT 1, SERIAL OUTPUT 1, RTS1, CTS1, DTR1, DSR1, DCD1, RI1

シリアル・ポート0 インターフェース/コントロール: SERIAL INPUT 0, SERIAL OUTPUT 0, RTS0, CTS0, DTR0, DSR0, DCD0, RI0

D0–D7 — データ・バス・バッファ

BD0, A0–A2 — アドレス・デコーダ — IOR, IOW, CSPA, CSSE0, CSSE1

インタラプト・コントロール: INTERRUPT PARALLEL PORT, INTERRUPT SERIAL PORT 0, INTERRUPT SERIAL PORT 1

X_{in}, X_{out} (MCCS16462 ONLY), PDM — クロック・ジェネレータ

LPTOE — パラレル・ポート・インターフェース/コントロール: PD0–PD7 PARALLEL PORT DATA, BUSY, ACK, PE, SLCT, ERROR, INIT, AUTOFD, STROBE, SLIN

■ DC 特性

（T_a＝0～70°C,　V_{CC}＝5 V±5 %）

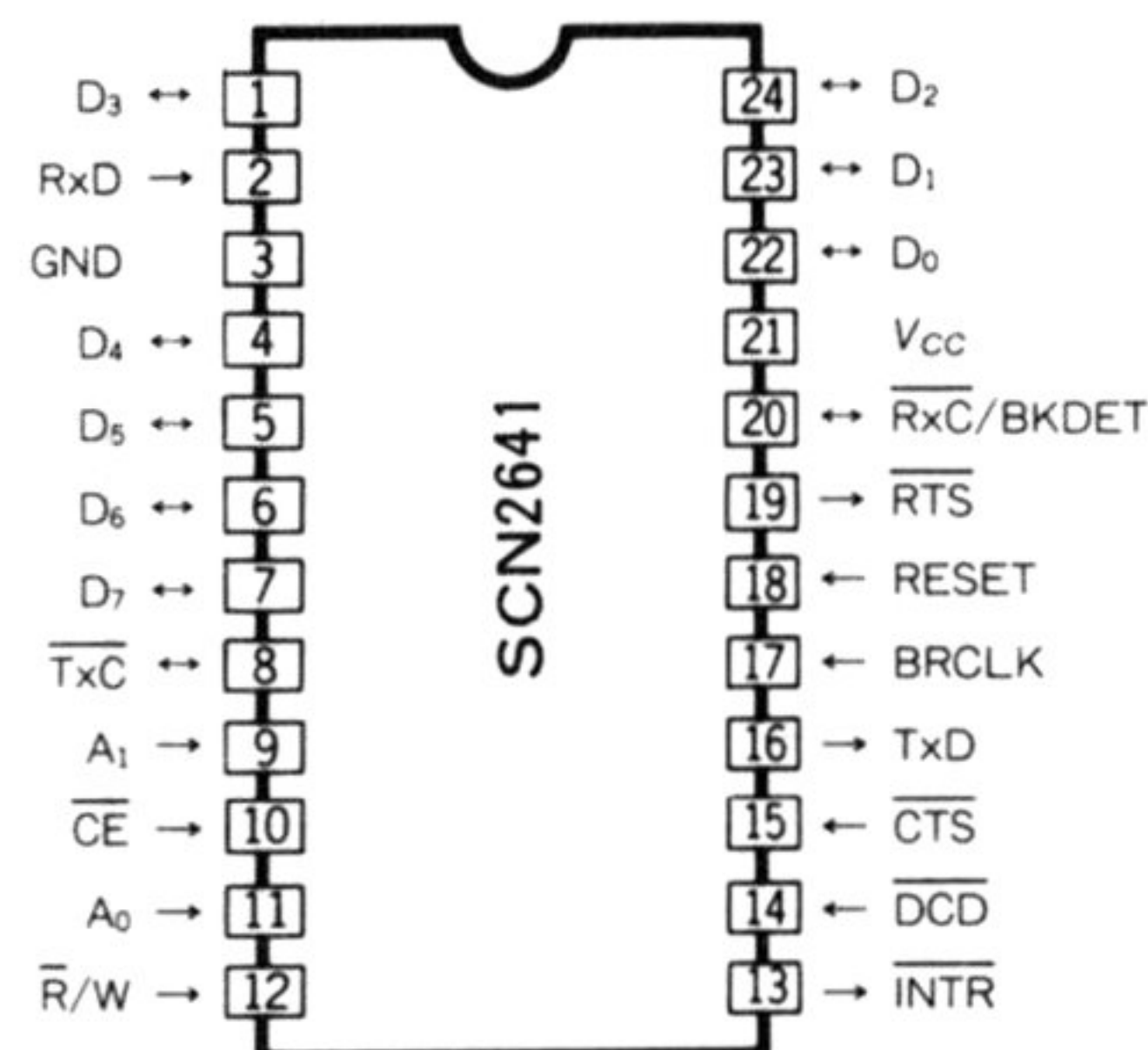
記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝4 mA	0.4	V
V_{OH}	I_{OH}＝4 mA	2.4*	V
I_{OFL}	V_{OUT}＝0～V_{CC}	±1	μA
I_{IL}	V_{IN}＝0,　V_{CC}	±10	μA
C_{IN}	f＝1 MHz	10	pF

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～7.0	V
入力電圧	V_{IN}	−0.5～V_{CC}+0.5	V
消費電力	P_D	1	W
動作温度	T_{OPR}	0～70	°C
保存温度	T_{STG}	−50～150	°C

■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{\text{LPTOE}}$	ライン・プリンタ出力イネーブル	1	入力	PD0～PD7のパラレル・データがイネーブルであることを示す入力
PDM	パワー・ダウン・モード	2	入力	内部クロックを停止させるためのパワー・ダウン端子
$\overline{\text{CSSE1}}$	シリアル・ポート1・セレクト	3	入力	シリアル・ポート1のチップ・セレクト．ロー・アクティブ
Xin	クロック入力	4	入力	外部クロック入力．1.8432，2.4576，3.072 MHzのいずれかを入力する
Xout	クロック出力	9	出力	MCCS16462のみの端子で，水晶接続用端子．Xinとペアで使用
$\overline{\text{DSR1}}$, $\overline{\text{DSR0}}$	データ・セット・レディ1，0	5，31	入力	“L”のとき，モデムまたはデータ・セットが送信可能な状態であることを示す
$\overline{\text{DTR1}}$, $\overline{\text{DTR0}}$	データ・ターミナル・レディ1，0	11，25	出力	“L”のとき，モデムに通信可能な状態であることを示す
$\overline{\text{RTS1}}$, $\overline{\text{RTS0}}$	リクエスト・トゥ・センド1，0	12，24	出力	“L”のとき，モデムにデータ転送可能な状態であることを示す
$\overline{\text{CTS1}}$, $\overline{\text{CTS0}}$	クリア・トゥ・センド1，0	13，28	入力	“L”のとき，モデムまたはデータ・セットが受信可能な状態であることを示す
$\overline{\text{DCD1}}$, $\overline{\text{DCD0}}$	データ・キャリア・ディテクト1，0	8，29	入力	“L”のとき，データ・キャリアがモデムまたはデータ・セットによって検出されたことを示す
SOUT1, SOUT0	シリアル・アウト1，0	10，26	出力	シリアル・データの送信端子
SIN1, SIN0	シリアル・イン1，0	62，41	入力	シリアル・データの受信端子
$\overline{\text{RI1}}$, $\overline{\text{RI0}}$	リング・インジケータ1，0	6，30	入力	“L”のとき，電話のベル音がモデムまたはデータ・セットに受信されたことを示す
$\overline{\text{CSSE0}}$	シリアル・ポート0・セレクト	32	入力	シリアル・ポート0のチップ・セレクト．ロー・アクティブ
D0～D7	データ・バス0～7	14～21	入出力	データの転送に使用する双方向バス
A0～A2	アドレス・バス0～2	33～35	入力	内部レジスタ，バッファ選択用のアドレス入力
$\overline{\text{IOW}}$	I/Oライト	36	入力	I/Oバスからのデータ書き込みストローブ
$\overline{\text{IOR}}$	I/Oリード	37	入力	I/Oバスからのデータ読み取りストローブ
$\overline{\text{CSPA}}$	パラレル・ポート・チップ・セレクト	38	入力	パラレル・ポートのチップ・セレクト信号．ロー・アクティブ
$\overline{\text{RESET}}$	リセット	39	入力	内部レジスタ類のリセット信号入力
BD0	バス・データ出力	44	出力	シリアル・ポート，パラレル・ポートが読み取り中であることを示す
$\overline{\text{INTSE1}}$, $\overline{\text{INTSE0}}$	シリアル・インタラプト1，0	60，45	出力	“H”のときCPUに対し，シリアル・ポートの割り込み要求を示す
$\overline{\text{STROBE}}$	プリンタ・ストローブ	55	入出力	プリンタ・データ・バス上のデータが読み取り可であることを示す．オープン・ドレイン端子
$\overline{\text{AUTOFD}}$	オート・フォーム・フィード	56	入出力	プリンタへのライン・フィード信号．オープン・ドレイン
$\overline{\text{INIT}}$	プリンタ・イニシャライズ	57	入出力	プリンタへのイニシャライズ信号で．内部プリント・バッファをクリアする必要がある．オープン・ドレイン端子
$\overline{\text{SLIN}}$	プリンタ・セレクト・イン	58	入出力	プリンタへのデータ入力準備を知らせる信号．オープン・ドレイン端子
PD0～PD7	パラレル・ポート・データ・バス	46～53	入出力	パラレル・ポートのデータ入出力バス
$\overline{\text{ERROR}}$	プリンタ・エラー	63	入力	プリンタからのエラー信号で，紙切れ，オフラインなどを知らせる
IRQPA	パラレル・ポート・インタラプト・リクエスト	59	出力	“H”のときCPUに対し，プリンタ・レディであることを示す割り込み要求
SLCT	プリンタ・セレクト	65	入力	“H”のとき，プリンタが選択されデータ受け付け可であることを示す
BUSY	プリンタ・ビジィ	66	入力	“H”のとき，プリンタがビジィでデータ受け付け不可であることを示す
PE	ペーパ・エンプティ	67	入力	“H”のとき，プリンタから紙切れ発生を示す
$\overline{\text{ACK}}$	データ・アクノリッジ	68	入力	“L”のとき，プリンタがデータを受け入れたことを示す

ACI (Asynchronous Communication Controller)

■ ピン接続

SCN2641

ピン	信号	ピン	信号
1	D_3 ↔	24	↔ D_2
2	RxD →	23	↔ D_1
3	GND	22	↔ D_0
4	D_4 ↔	21	V_{CC}
5	D_5 ↔	20	↔ $\overline{RxC}$/BKDET
6	D_6 ↔	19	→ $\overline{RTS}$
7	D_7 ↔	18	← RESET
8	$\overline{TxC}$ ↔	17	← BRCLK
9	A_1 →	16	→ TxD
10	$\overline{CE}$ →	15	← $\overline{CTS}$
11	A_0 →	14	← $\overline{DCD}$
12	$\overline{R}$/W →	13	→ $\overline{INTR}$

■ 特　徴

- 調歩同期式シリアル伝送用ＬＳＩ
- 全二重／半二重動作可能
- ボーレイト・ジェネレータを内蔵し，内部／外部クロックを使用できる
- 内部クロック動作では１６種類のボーレイトを選択できる
- 誤スタート・ビットの検出機能をもつ
- パリティ，オーバラン，フレーミング・エラーを検出
- 自動エコー・モード
- ローカルまたはリモート・ループバック・モード
- ワード長，ストップ・ビット数，パリティ・ビットの発生，検出がプログラマブル

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～6.0	V
入力電圧	V_{IN}	−0.5～6.0	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−65～150	℃

■ DC特性

(T_a＝0～70℃，V_{CC}＝5.0V±5%)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝2.2mA	0.4	V
V_{OH}	I_{OH}＝400μA	2.4*	V
I_{OL}	V_{OUT}＝0.45～4V	10	μA
I_{IL}	V_{IN}＝0～V_{CC}	10	μA
C_{IN}		20	pF

■ ブロック図

データ・バス D_0～D_7 ⇔ データ・バス・バッファ

動作コントロール部（モード・レジスタ1／モード・レジスタ2／コマンド・レジスタ／ステータス・レジスタ）: RESET, A_0, A_1, $\overline{R}$/W, $\overline{CE}$, $\overline{INTR}$*

ボーレイト生成器&クロック・コントロール: BRCLK, $\overline{TxC}$, $\overline{RxC}$/BKDET

モデム・コントロール部: $\overline{DCD}$, $\overline{CTS}$, $\overline{RTS}$

送信部（送信データ・ホールディング・レジスタ／送信シフトレジスタ）→ TxD

受信部（受信データ・ホールディング・レジスタ／受信シフトレジスタ）← RxD

V_{CC}, GND

(注)＊オープン・ドレイン出力

■端子機能

端子名	名　　称	ピン番号	入出力	機　　　能
RESET	リセット	18	入　力	マスタ・リセット．すべてのデバイス動作を非同期に終了させ，モード，コマンド・ステータス・レジスタをクリアする
A_1～A_0	アドレス	9，11	入　力	2641の内部レジスタ選択用アドレス・ライン
$\overline{R}$/W	リード/ライト	12	入　力	“L”のとき読み出しコマンド，“H”のとき書き込みコマンド
$\overline{CE}$	チップ・イネーブル	10	入　力	チップ選択
D_7～D_0	データ・バス	7，6，5，4，1，24，23，22	入出力	3ステート・データ・バス．CPUとの間のコマンド，データ，ステータスの転送に使う
$\overline{INTR}$	割り込み要求	13	出　力	割り込み要求出力（オープン・ドレイン）．この出力は以下の要因で発生する． (1) 送信ホールディング・レジスタがCPUからのデータを受け取る準備ができたとき (2) 送信ホールディング・レジスタのデータをCPUが読める状態になったとき (3) CPUから受け取った最後の送信データが直列データに変換されたとき (4) 受信または送信がイネーブルのとき$\overline{DCD}$信号入力時，ステータスに変化があったとき
BRCLK	ボーレイト・クロック	17	入　力	内部ボーレイト生成用のクロック入力
$\overline{RxC}$/BKDET	受信クロック	20	入出力	受信部クロック．外部受信クロックを用いる場合には，この入力はキャラクタを受信するレートをコントロールする
$\overline{TxC}$	送信クロック	8	入出力	送信部クロック．外部送信クロックを用いる場合には，この入力はキャラクタを送信するレートをコントロールする
RxD	受信データ	2	入　力	受信部への直列データ入力
TxD	送信データ	16	出　力	送信部からの直列データ出力
$\overline{DCD}$	キャリア検出	14	入　力	データ・キャリア検出入力．受信部が動作するためには“L”でなければならない
$\overline{CTS}$	送信可	15	入　力	クリア・ツゥ・センド（送信可）入力．送信部が動作するためには“L”でなければならない
$\overline{RTS}$	送信要求	19	出　力	汎用出力で，コマンド・レジスタのビットCR_5の反転．通常は送信要求に使われる
V_{CC}	電源	21	—	＋5V電源入力
GND	グラウンド	3	—	グラウンド

UART (Universal Asynchronous Receiver Transmitter)

■ ピン接続

SCN2651

ピン	信号		ピン	信号
1	D_2 ↔		28	↔ D_1
2	D_3 ↔		27	↔ D_0
3	RxD →		26	V_{CC}
4	GND		25	↔ $\overline{RxC}$
5	D_4 ↔		24	→ $\overline{DTR}$
6	D_5 ↔		23	→ $\overline{RTS}$
7	D_6 ↔		22	← $\overline{DSR}$
8	D_7 ↔		21	← RESET
9	$\overline{TxC}$ ↔		20	← BRCLK
10	A_1 →		19	→ TxD
11	$\overline{CE}$ →		18	→ $\overline{TxEMT}/\overline{DSCHG}$
12	A_0 →		17	← $\overline{CTS}$
13	$\overline{R}$/W →		16	← $\overline{DCD}$
14	$\overline{RxRDY}$ ←		15	→ $\overline{TxRDY}$

■ 特　徴

・汎用同期式／非同期式シリアル伝送用ＬＳＩ
・全二重／半二重動作可能
・ボーレイト・ジェネレータを内蔵し，内部／外部クロックを使用できる
・内部クロック動作では１６種類のボーレイトを選択できる
・同期動作
　５～８ビット・キャラクタ
　単一／二重ＳＹＮ動作
　透過／非透過モード
　自動ＳＹＮ／ＤＬＥ・ＳＹＮ挿入
・非同期動作
　５～８ビット・キャラクタ
　ストップ・ビット長，パリティは設定可能
　パリティ，オーバラン，フレーミング・エラー検出
　ライン・ブレークの検出／生成
　誤スタート・ビットの検出
　自動エコー・モード

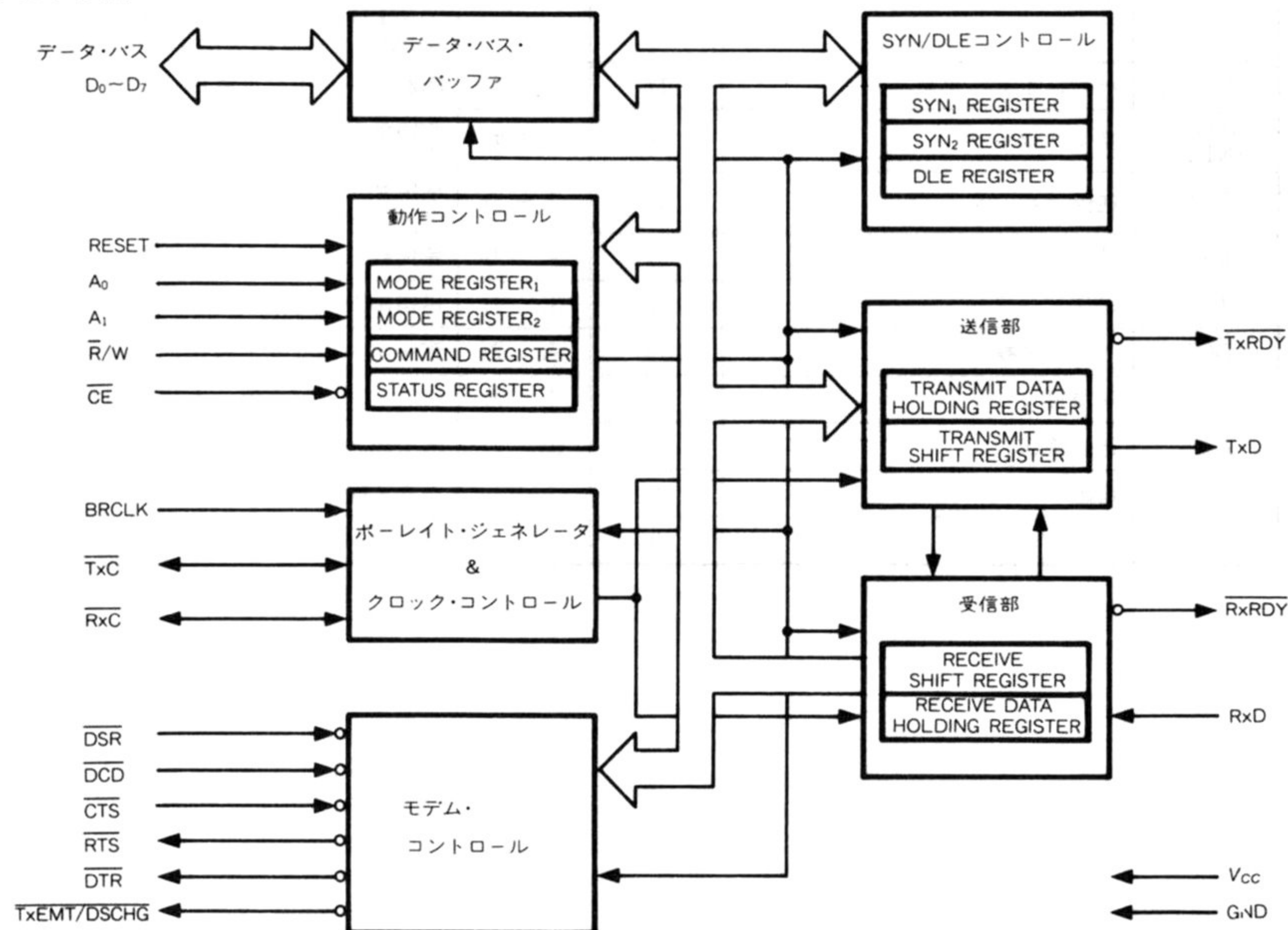
■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～6.0	V
入力電圧	V_{IN}	−0.5～6.0	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−65～150	℃

■ DC特性

(T_a=0～70℃, V_{CC}=5.0V±5%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=1.6mA	0.4	V
V_{OH}	I_{OH}=100μA	2.4*	V
I_{OL}	V_{OUT}=0.45～4V	±10	μA
I_{IL}	V_{IN}=0～5.25V	±10	μA
C_{IN}		20	pF

■ ブロック図

■端子機能

端子名	名　称	ピン番号	入出力	機　能
V_{CC}	電源	26	入　力	＋5Ｖ電源
GND	グラウンド	4	入　力	グラウンド
RESET	リセット	21	入　力	すべてのデバイス動作を非同期に終了させ，モード・コマンド・ステータス・レジスタをクリアする
A_1～A_0	アドレス	10，12	入　力	内部レジスタ選択用アドレス・ライン
$\overline{R}$/W	リード/ライト	13	入　力	“L”のとき読み出しコマンド，“H”のとき書き込みコマンド
CE	チップ・イネーブル	11	入　力	チップ選択端子
D_7～D_0	データ・バス	8, 7, 6, 5, 2, 1, 28, 17	入出力	8ビット，3ステート・データ・バス
$\overline{TxRDY}$	送信レディ	15	出　力	ステータス・レジスタのビット SR_0 の反転．送信部の動作可のときのみ有効
RxRDY	受信レディ	14	出　力	ステータス・レジスタのビット SR_1 の反転．CPU が RHR を読み出したとき，および受信部が動作不可になったときには“H”になる
$\overline{TxEMT/DSCHG}$	送信バッファ・エンプティ	18	出　力	ステータス・レジスタのビット SR_2 の反転．TxEMT 状態でないときには，CPU がステータス・レジスタを読み出すとこの出力は“H”になる
BRCLK	ボーレイト・クロック	20	入　力	内部ボーレイト生成用のクロック
$\overline{RxC}$	受信クロック	25	入出力	受信部クロック．内部受信クロックを用いる場合には出力ピンにできる
$\overline{TxC}$	送信クロック	9	入出力	送信部クロック．内部送信クロックを用いる場合にはクロック出力に使える
RxD	受信データ	3	入　力	受信部への直列データ入力
TxD	送信データ	19	出　力	送信部からの直列データ出力
$\overline{DSR}$	データ・セット	22	入　力	汎用入力データ・セット準備完了，または被呼表示に用いることができる
$\overline{DCD}$	キャリア検出	16	入　力	データ・キャリア検出入力
$\overline{CTS}$	送信可	17	入　力	送信可入力．送信部が動作するためには“L”でなければならない
$\overline{DTR}$	端末レディ	24	出　力	汎用出力でコマンド・レジスタのビット CR_1 の反転．データ端末レディに使われる
RTS	送信要求	23	出　力	汎用出力でコマンド・レジスタのビット CR_5 の反転．送信要求に使われる

UART (Universal Asynchronous Receiver Transmitter)

■ ピン接続

SCN2691

入出力	ピン	ピン	入出力
RDN →	1	24	V_{CC}
RxD →	2	23	← WRN
TxD ←	3	22	↔ D_0
MPO ←	4	21	↔ D_1
MPI →	5	20	↔ D_2
A_2 →	6	19	↔ D_3
A_1 →	7	18	↔ D_4
A_0 →	8	17	↔ D_5
X_1/CLK →	9	16	↔ D_6
X_2 ←	10	15	↔ D_7
RESET →	11	14	← CEN
GND	12	13	→ INTRN

■ 特　徴

・調歩同期式シリアル伝送用ＬＳＩ
・全二重／半二重動作可能
・データ・フォーマットはプログラマブル
　５～８ビット・キャラクタ
　ストップ・ビット長，パリティは設定可能
・パリティ，フレーミング，オーバラン・エラー検出
・誤りスタート・ビットの検出
・ライン・ブレークの生成と検出
・多機能プログラマブル１６ビット・カウンタ／タイマを内蔵
・７マスカブル割り込み要因で単一割り込み出力
・水晶発振回路を内蔵し外部クロックでの動作も可能
・各送受信部に対するボーレイトはプログラマブル
　１８固定レート：50～38.4Kボー
　タイマ／カウンタから任意のボーレイト生成
　外部からの１倍または１６倍クロック入力

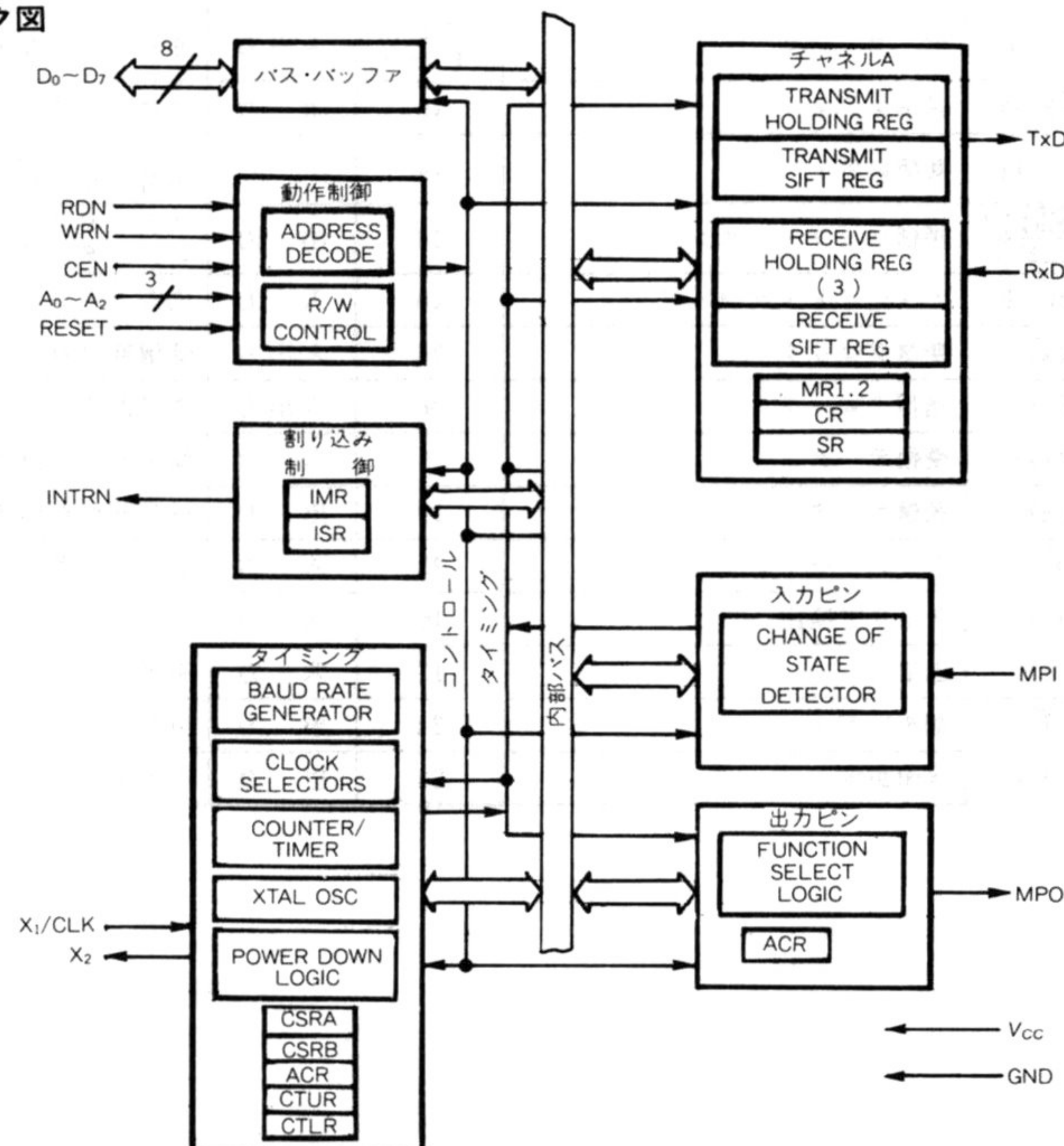
■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～7.0	V
入力電圧	V_{IN}	−0.5～V_{CC}±10%	V
消費電力	P_D	0.2	W
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−65～150	℃

■ DC特性

(T_a=0～70℃，V_{CC}=5.0V±10%)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=2.4mA	0.4	V
V_{OH}	I_{OH}=400μA	2.4*	V
I_{OL}	V_{OUT}=0.4～V_{CC}	±10	μA
I_{IL}	V_{IN}=0～V_{CC}	±10	μA

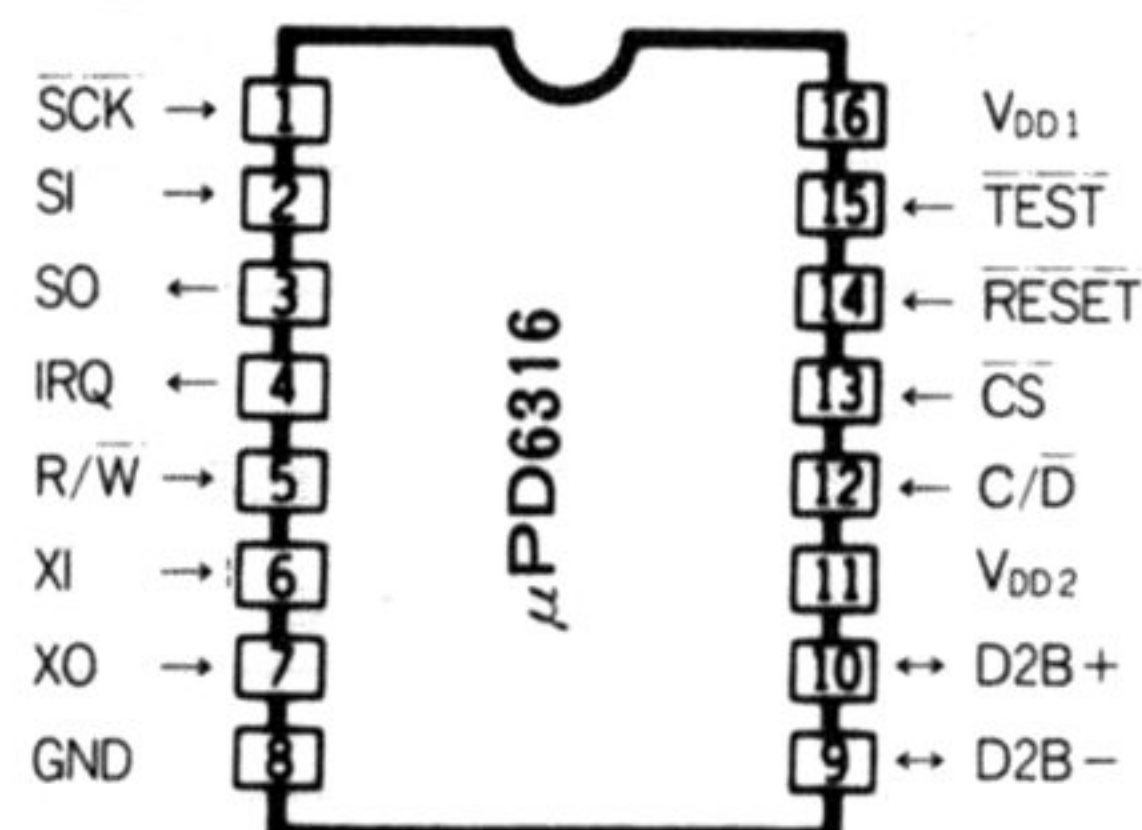
■ ブロック図

■端子機能

端子名	名称	ピン番号	入出力	機能
D_0〜D_7	データ・バス	22〜15	入出力	双方向3ステート・データ・バス
CEN	チップ・イネーブル	14	入力	チップ選択端子
WRN	ライト・ストローブ	23	入力	“L”のとき，データ・バス上の内容がA_0〜A_2によって選択されたレジスタにロードされる
RDN	リード・ストローブ	1	入力	“L”のとき，A_0〜A_2によって選択されたレジスタの内容がデータ・バス上に送出される
A_0〜A_2	アドレス入力	8〜6	入力	UARTの読み出し/書き込み動作用のレジスタを選択する
RESET	リセット	11	入力	“L”レベル状態で，ステータス・レジスタ，割り込みマスク・レジスタ，補助制御レジスタをクリアする
INTRN	割り込み要求	13	出力	アクティブ“L”信号でマスク可能な7割り込み要因のうち，1要因以上の発生でアサートされる
X_1/CLK	クリスタル1	9	入力	水晶振動子または外部クロック入力
X_2	クリスタル2	10	入力	水晶振動子のもう一方の側を接続する
RxD	シリアル・データ入力	2	入力	LSBから受信する．外部受信クロックが指定されると，この入力はクロックの立ち上がりでサンプリングされる
TxD	シリアル・データ出力	3	出力	LSBから送信する
MPO	汎用出力	4	出力	出力ポート構成レジスタをプログラムすることによって，RSTN，カウンタ/タイマ出力，送受信クロックなどの機能を選択できる．リクエスト・トゥ・センド
MPI	汎用入力0	5	入力	プログラムによって，汎用入力，CTSN，カウンマ/タイマ入力，受信クロック入力などの機能を選択できる
V_{CC}	電源電圧	24	入力	＋5V
GND	グラウンド	12	入力	グラウンド

DDB(Domestic Digital Bus)

■ピン接続

信号	ピン	ピン	信号
SCK →	1	16	V_{DD1}
SI →	2	15	← TEST
SO ←	3	14	← RESET
IRQ ←	4	13	← CS
R/W →	5	12	← C/D
XI →	6	11	V_{DD2}
XO →	7	10	↔ D2B＋
GND	8	9	↔ D2B－

μPD6316

■特　徴

・マイクロコンピュータ間データ伝送に使用できるＤ２Ｂ(Domestic Digital Bus)２線式シリアル・バス・インターフェース用ＬＳＩ
・転送速度
　モード０：　２０９バイト／秒
　モード１：２４５７バイト／秒
　モード２：７７６０バイト／秒
・Ｄ２Ｂ用ドライバ／レシーバ内蔵
・ＣＰＵとのインターフェース方式は３線式
・送信用データ・バッファ：　４バイト
・受信用データ・バッファ：２０バイト

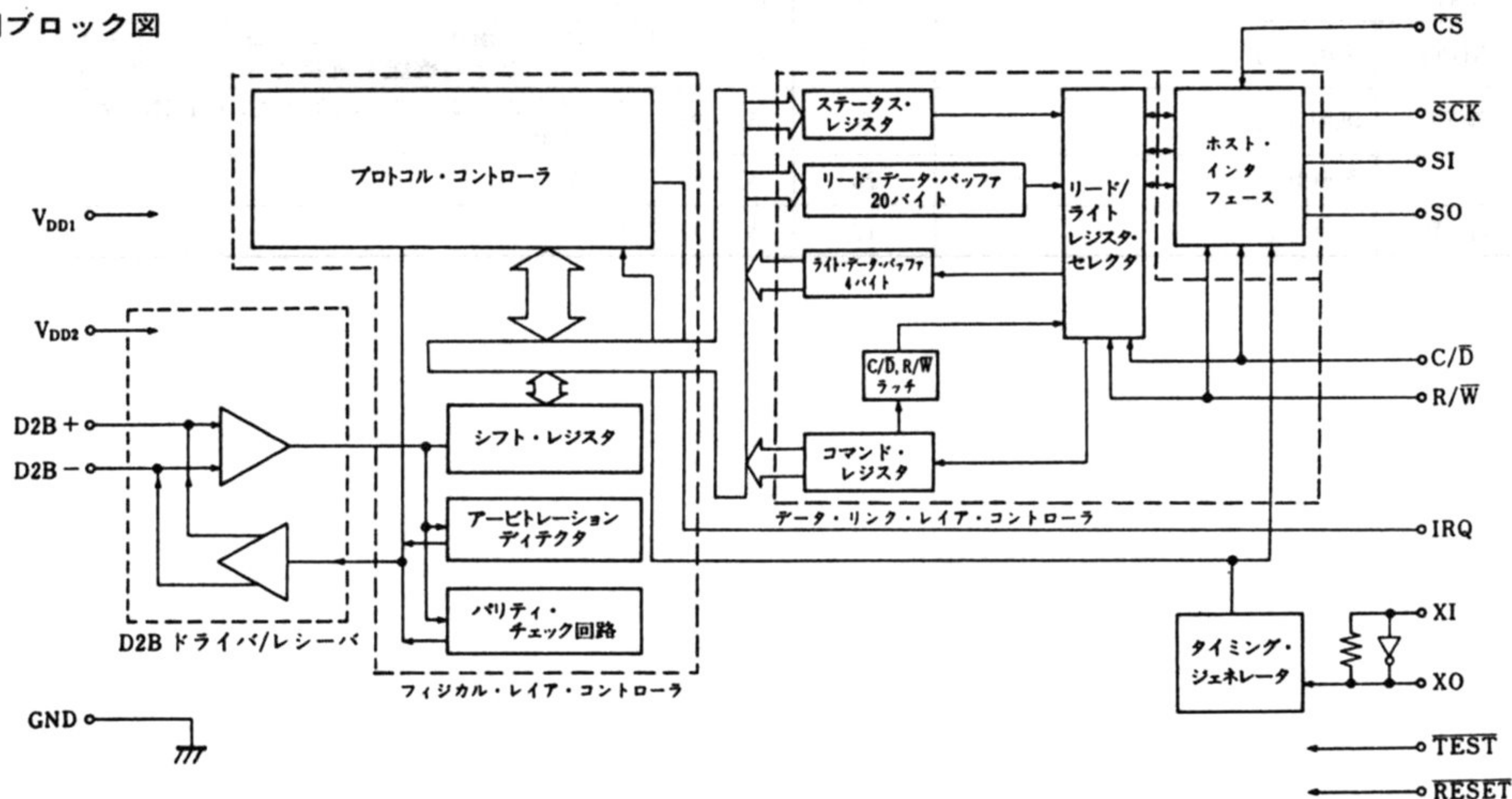
■ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜V_{DD}+0.3	V
動作温度	T_{OPR}	−40〜85	℃
保存温度	T_{STG}	−65〜150	℃

■ DC 特性

(T_a＝−40〜85℃,　V_{DD}＝5 V±5 %)

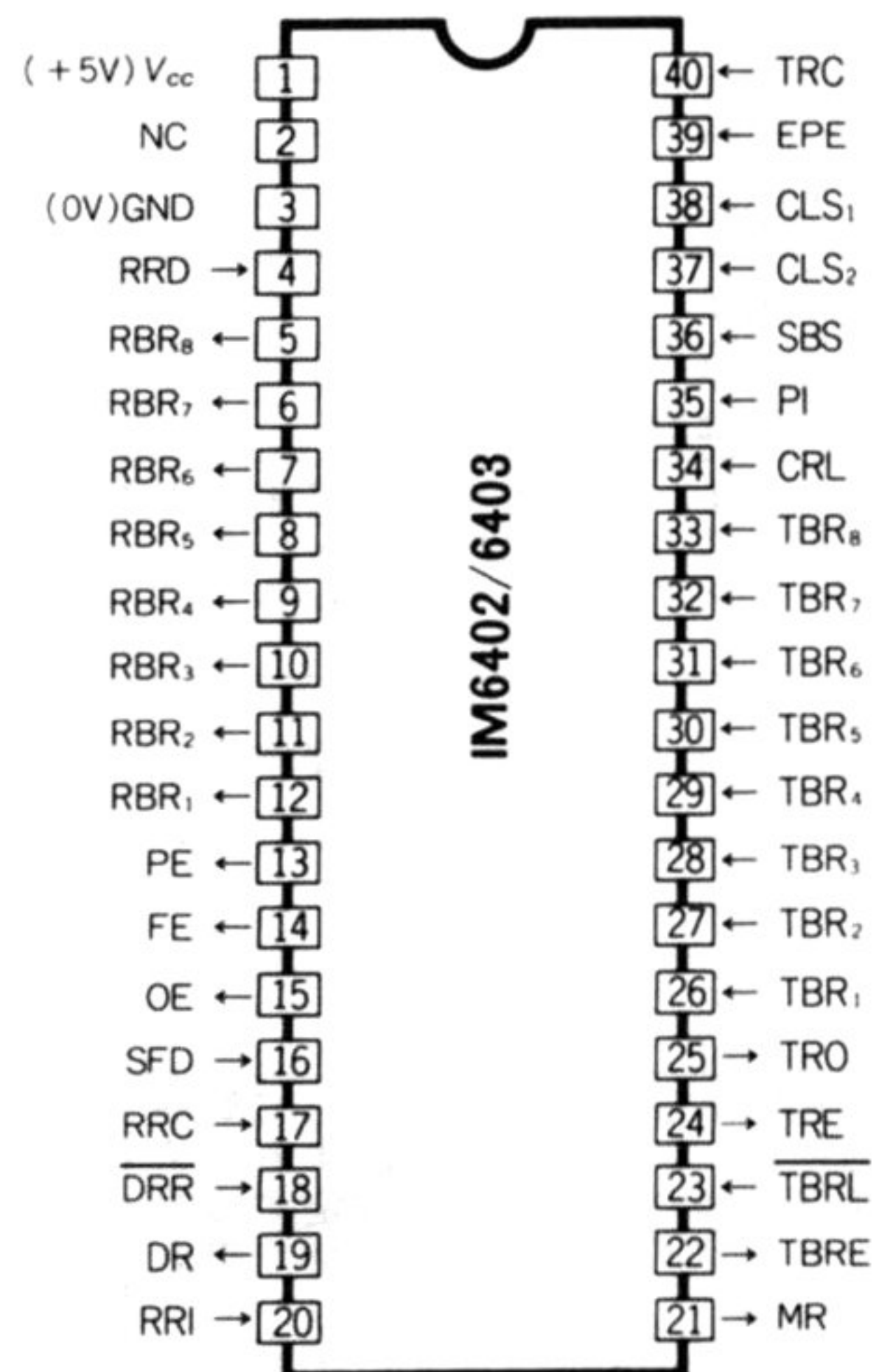
記号	測定条件	max/min*	単位
V_{IL}		0.2 V_{DD}	V
V_{IH}		0.8 V_{DD}*	V
V_{OL}	I_{OL}＝2.5 mA	0.4	V
V_{OH}	I_{OH}＝400 μA	0.7　V_{DD}*	V
I_{OFL}	V_{OUT}＝0,　V_{DD}	±10	μA
I_{IL}	V_{IN}＝0,　V_{DD}	±10	μA
C_{IN}	f＝1 MHz	15	pF

■端子機能

端子名	名　称	ピン番号	入出力	機　能
$\overline{\mathrm{SCK}}$	シリアル・クロック入力	1	入　力	ホスト・コントローラとのインターフェース用シリアル・クロック入力端子
SI	シリアル・データ入力	2	入　力	ホスト・コントローラとのインターフェース用シリアル・データ入力端子
SO	シリアル・データ出力	3	出　力	ホスト・コントローラとのインターフェース用シリアル・データ出力端子
IRQ	割り込み要求信号出力	4	出　力	通信結果やコマンド実行結果により発生する割り込み要求信号の出力端子．ホスト・コントローラに対する動作開始要求信号として使用する．割り込み要求信号出力時間は約10μs
R/$\overline{\mathrm{W}}$	リード／ライト切り替え入力	5	入　力	シリアル・インターフェースのリード／ライト・モード切り替え入力端子．ハイ・レベルにするとリード・モードになり，ロウ・レベルにするとライト・モードになる．この端子をロウ・レベルにして，かつC/$\overline{\mathrm{D}}$端子をハイ・レベルに固定することにより，シリアル・インターフェースからのコマンド入力でリード／ライト・モードを切り替えることもできる
XI XO	システム・クロック入力	6 7	入　力	システム・クロック用発振子接続端子． 12MHzの水晶振動子またはセラミック発振子を使用する．なお，発振精度を±0.5%以内で使用すること
D2B－ D2B＋	D2B入出力	9 10	入出力	D2Bに接続する端子
V_{DD2}	D2B用正電源	11	—	D2Bバス・ドライバ用正電源端子． V_{DD1}と接続して使用する
C/$\overline{\mathrm{D}}$	コマンド／データ切り替え入力	12	入　力	シリアル・インターフェースに入力されたデータをコマンドとして処理するか，データとして処理するかを切り替える端子．ハイ・レベルにするとコマンドとして処理し，ロウ・レベルにするとデータとして処理する．この端子をハイ・レベルにして，かつR/$\overline{\mathrm{W}}$端子をロウ・レベルに固定することにより，シリアル・インターフェースからのコマンド入力でリード／ライト・モードを切り替えることもできる
$\overline{\mathrm{CS}}$	チップ・セレクト	13	入　力	ロウ・レベルにすると，シリアル・インターフェース入力が有効となる．ハイ・レベルにするとシリアル・クロック（$\overline{\mathrm{SCK}}$）入力は無効となり，SO端子がハイ・インピーダンスになる．また，シリアル・クロック・カウンタがリセットされる．$\overline{\mathrm{CS}}$端子の状態はD2Bの送受信動作に影響しない
$\overline{\mathrm{RESET}}$	リセット入力	14	入　力	システム・リセット信号入力端子．ロウ・レベル入力によりリセットがかかる．電源投入後，必ずロウ・レベルを一度入力する．通常使用時はハイ・レベルを入力すること
$\overline{\mathrm{TEST}}$	テスト	15	入　力	V_{DD1}端子と接続して使用する

UART (Universal Asynchronous Receiver Transmitter)

■ピン接続

ピン	信号		ピン	信号
1	(+5V) V_{CC}		40	← TRC
2	NC		39	← EPE
3	(0V)GND		38	← CLS_1
4	RRD →		37	← CLS_2
5	RBR_8 ←		36	← SBS
6	RBR_7 ←		35	← PI
7	RBR_6 ←		34	← CRL
8	RBR_5 ←		33	← TBR_8
9	RBR_4 ←		32	← TBR_7
10	RBR_3 ←		31	← TBR_6
11	RBR_2 ←		30	← TBR_5
12	RBR_1 ←		29	← TBR_4
13	PE ←		28	← TBR_3
14	FE ←		27	← TBR_2
15	OE ←		26	← TBR_1
16	SFD →		25	→ TRO
17	RRC →		24	→ TRE
18	$\overline{DRR}$ →		23	→ $\overline{TBRL}$
19	DR ←		22	→ TBRE
20	RRI →		21	→ MR

IM6402/6403

■最大定格

項目	記号	定格	単位
電源電圧	V_{CC}	0～+8	V
入力電圧	V_{IN}	−0.3～V_{CC}+0.3	V
動作温度	T_{OPR}	−40～+85	℃
保存温度	T_{STG}	−65～+150	℃

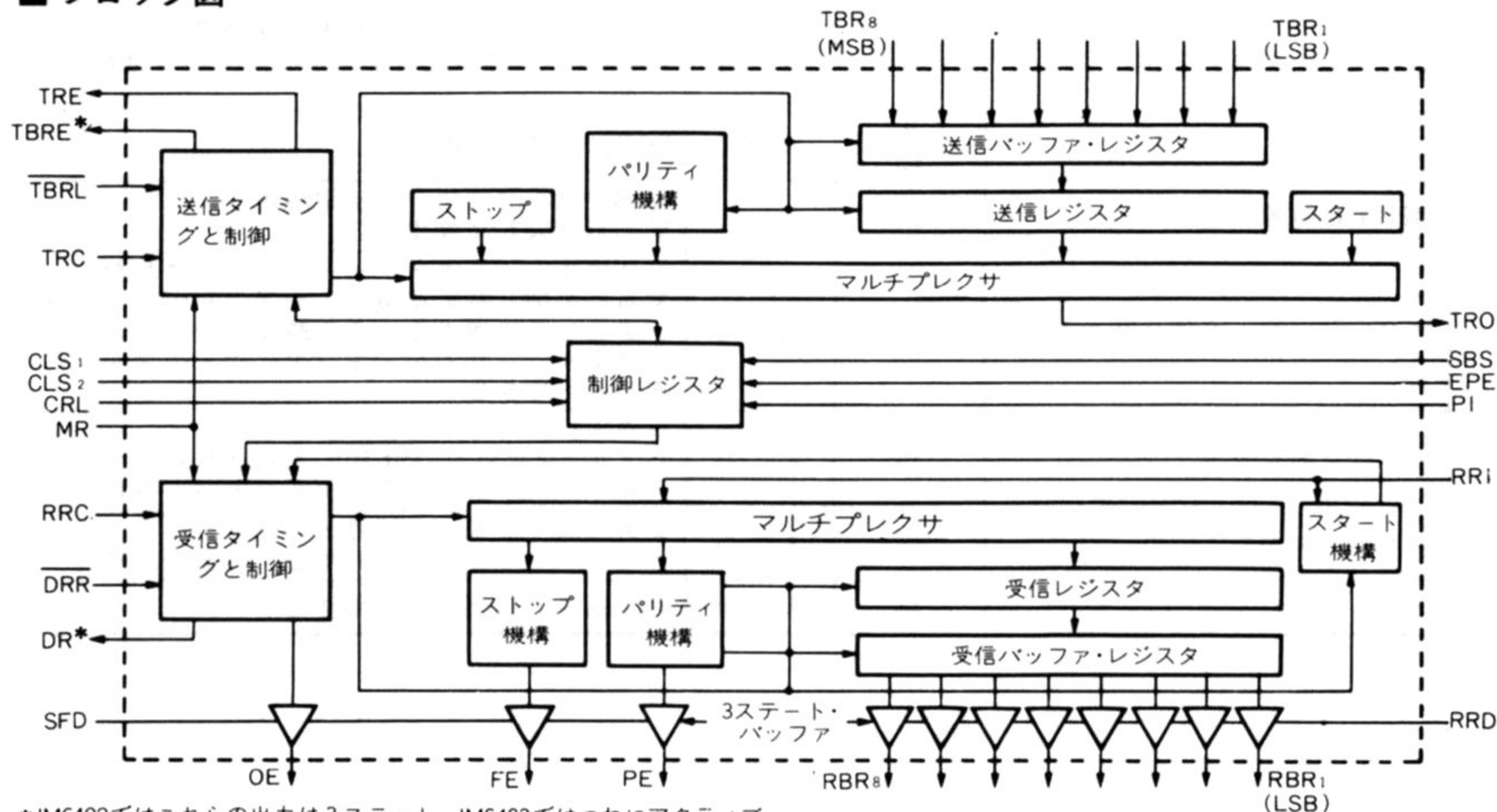
■DC特性

(T_a=−40～+85℃, V_{CC}=5V±10%)

記号	測定条件	min	max	単位
V_{IH}		$V_{CC}-2.0$		V
V_{IL}			0.8	V
I_{IL}	$V_{SS} \leq V_{IN} \leq V_{CC}$	−5.0	5.0	μA
V_{OH}	I_{OH}=−0.2mA	2.4		V
V_{OL}	I_{OL}=2.0mA		0.45	V
I_{OLK}	$V_{SS} \leq V_{OUT} \leq V_{CC}$	−5.0	5.0	μA

■特　徴

・フルスタティック動作のＵＡＲＴ
・プログラムによる初期設定不要
・ワード長５，６，７，８ビットをピン設定可能
・偶数，奇数パリティ，パリティなしをピン設定可能
・ストップ・ビット長１，２をピン設定可能
・データ，コマンド，ステータスは単独アクセス可能かつ単独出力可能であるため，ワイヤード・ロジックでの使用が容易

■ブロック図

＊IM6402ではこれらの出力は３ステート，IM6403ではつねにアクティブ．

■端子機能

端子名	名　　称	ピン番号	入出力	機　　能
MR	マスタ・リセット	21	出　力	エラー出力，DR，TRE がリセットされ，TBRE，TRO はセットされる．MR が“L”となった 18 クロック後 TRE は“H”となる
CRL	コントロール・レジスタ・ロード	34	入　力	“H”レベルでコントロール入力がセットされる
PI, SBS, CLS, EPE	コントロール入力	35～39	入　力	パリティ，ストップ・ビット長，ワード長の設定入力
SFD	ステータス・フラグ・ディセーブル	16	入　力	“L”でステータス出力がアクティブ
EP, FE, OE	受信エラー	13～15	出　力	パリティ・エラー，フレーミング・エラー，オーバラン・エラーSFD でアクティブとなる．パリティ禁止の場合はパリティ・エラーは“L”となる
$RBR_{1\sim8}$	レシーブ・データ	5～12	出　力	RBR_1が LSB．データ長 5～7 ビットでは MSB 側が 0 となる
RDD	レシーブ・データ・ディセーブル	4	入　力	“L”でデータ・アクティブ(DRはリセットされない)
$\overline{DRR}$	DR リセット	18	入　力	“L”で DR をリセット
RRI	レシーバ・レジスタ・インプット	20	入　力	シリアル入力端子（正論理入力）
DR	データ・レシーブ	19	出　力	データが受信され，読み出し可能なことを示す． 6402 では SFD でアクティブ 6403 は常時アクティブ
RRC	レシーバ・クロック	17	入　力	ボーレイトの 16 倍．6403 では水晶振動子または送受信共通，外部クロックとなる
$TRB_{1\sim8}$	トランスミット・データ	26～33	入　力	TRB_1が LSB．データ長 5～7 ビットでは LSB 側を使用
$\overline{TBRL}$	トランスミッタ・バッファ・レジスタ・ロード	23	入　力	“L”でデータがセットされる
TRO	トランスミッタ・レジスタ・アウト	25	出　力	シリアル出力端子．ドライバ IC の 75188 などをダイレクト接続可(正論理出力)
TRE	トランスミッタ・レジスタ・エンプティ	24	出　力	“H”で全データの送出終了を示す 8251 A の Tx EMPTY に相当
TRBE	トランスミッタ・レジスタ・バッファ・エンプティ	22	出　力	次のデータが書き込み可能なことを示す． 6402 では SFD でアクティブ 6403 は常時アクティブ
TRC	トランスミッタ・クロック	40	入　力	ボーレイトの 16 倍．6403 では水晶振動子または外部クロック時 GND
DC	ディバイド・コントロール	2	入力/NC	6403 の場合 “L”→分周比 2^{11}，“H”→分周比 2^4となる．6402 では NC ピン

ACIA (Asynchronous Communication Interface Adaptor)

■ ピン接続

S65C51

ピン	信号	ピン	信号
1	GND	28	R/$\overline{W}$
2	CS_0	27	ϕ_2
3	$\overline{CS_1}$	26	$\overline{IRQ}$
4	$\overline{RES}$	25	DB_7
5	RxC	24	DB_6
6	$XTAL_1$	23	DB_5
7	$XTAL_2$	22	DB_4
8	$\overline{RTS}$	21	DB_3
9	$\overline{CTS}$	20	DB_2
10	TxD	19	DB_1
11	$\overline{DTR}$	18	DB_0
12	RxD	17	$\overline{DSR}$
13	RS_0	16	$\overline{DCD}$
14	RS_1	15	V_{CC}

■ 特　徴

- 調歩同期式シリアル伝送用ＬＳＩ
- 全二重／半二重動作可能
- ボーレイト・ジェネレータ内蔵
- １．８４３２ＭＨｚの水晶振動子により１５種類のボーレイトが設定可能（５０〜１９２００ｂｐｓ）
- ソフトウェアを簡素化するためのプログラム可能な割り込み機能とステータス・レジスタを内蔵
- シリアル・エコー・モードの機能をもつ
- 誤スタート・ビット検出機能をもつ
- ワード長，ストップ・ビット数，パリティ・ビットの発生，検出がプログラマブル
- モデム用のコントロール信号端子をもつ

■ DC特性

(T_a=0〜70℃, V_{CC}=5V±5%)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=1.6mA	0.4	V
V_{OH}	I_{OH}=100μA	2.4*	V
I_{OL}	V_{OUT}=0〜V_{CC}	10	μA
I_{IL}	V_{IN}=0〜V_{CC}	10	μA
C_{IN}		10	pF

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜V_{CC}+0.3	V
消費電力	P_D	0.6	W
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−55〜150	℃

■ ブロック図

■端子機能

端子名	名称	ピン番号	入出力	機能
$\overline{RES}$	リセット	4	入力	システムのイニシャライズ時に$\overline{RES}$入力を“L”にすると内部レジスタがクリアされる
ϕ_2	インプット・クロック	27	入力	マイクロプロセッサとのデータ転送の基本となるクロック
R/$\overline{W}$	リード/ライト	28	入力	この信号が“H”のとき6551からデータを読み，“L”のとき6551にデータを書き込む
$\overline{IRQ}$	割り込み要求	26	出力	割り込み要求信号．この端子はオープン・ドレイン出力で，ほかの周辺LSIの$\overline{IRQ}$とともに$\overline{IRQ}$入力端子にワイヤードOR結合できる
DB_0～DB_7	データ・バス	18～25	入出力	双方向バスで，チップ・セレクト時のリード・サイクルを除いて，通常ハイ・インピーダンス状態になっている
CS_0, $\overline{CS_1}$	チップ・セレクト	2，3	入力	CPUのアドレス・バスとつなぐ．6551はCS_0が“H”，$\overline{CS_1}$が“L”のときチップ・セレクトされる
RS_0, RS_1	レジスタ選択	13，14	入力	CPUのアドレス・バスにつながれ，6551内部レジスタの選択に使用
$XTAL_1$, $XTAL_2$	クリスタル・ピン	6，7	入力	内蔵のボーレイト・ジェネレータによって，プログラムされたボーレイトを得るため，この2本の端子を外部水晶振動子（1.8432MHz）につなぐ
TxD	送信データ	10	出力	TxD出力はモデムにシリアル・データを転送するときに用いる
RxD	受信データ	12	入力	RxD入力はシリアル・データをモデムから6551に転送するときに用いる
RxC	受信クロック	5	入出力	16倍の受信クロック入力あるいは受信クロック出力端子として使われる双方向ピン
$\overline{RTS}$	送信要求	8	出力	CPUからモデムをコントロールするのに使用される．$\overline{RTS}$ピンの状態は，コマンド・レジスタの内容によって決まる
$\overline{CTS}$	送信可	9	入力	トランスミッタのコントロール用に使用される．“L”でトランスミッタがイネーブルされ，“H”になると自動的にディセーブルとなる
$\overline{DTR}$	データ・ターミナル・レディ	11	出力	モデムに6551のステータスを伝えるために使用される．$\overline{DTR}$が“L”のとき6551がイネーブルであることを示し，“H”のときはディセーブルであることを示す
$\overline{DSR}$	データ・セット・レディ	17	入力	モデム状態を6551に伝えるために使用される．“L”のときはモデムがレディであることを，“H”のときはノット・レディであることを示す
$\overline{DCD}$	キャリア検出	16	入力	6551にモデムのキャリア・ディテクト出力の状態を伝えるために使用．“L”のときはモデム・キャリア信号がONであることを示し，“H”のときはOFFであることを示す

SBC (Serial Bus Controller)

■ピン接続

M66011FP

機能	信号	ピン	ピン	信号	機能
リセット入力	$\overline{RESET}$ →	1	24	Vcc	
ライト入力	$\overline{WR}$ →	2	23	← $\overline{RD}$	リード入力
チップセレクト入力	$\overline{CS}$ →	3	22	← A0	アドレス入力
データバス	D0 ↔	4	21	← A1	アドレス入力
データバス	D1 ↔	5	20	→ SCLK	シフトクロック出力
データバス	D2 ↔	6	19	→ SOUT	シリアルデータ出力
データバス	D3 ↔	7	18	← SIN	シリアルデータ入力
データバス	D4 ↔	8	17	→ $\overline{OE}$	アウトップット イネーブル出力
データバス	D5 ↔	9	16	→ INT	割り込み出力
データバス	D6 ↔	10	15	← X_{in}	クロック入力
データバス	D7 ↔	11	14	→ X_{out}	クロック出力
	GND	12	13	Vcc	

■特　徴

・マイコンから出力される2バイトのパラレル・データをシリアル・データに変換して出力するシリアル・バス・コントローラ
・汎用8ビットMPUバス・コンパチブル
・割り込み出力付き
・リセット、CS、シリアル入力はシュミット入力
・マイコンの入出力ポートの拡張、シリアル・バスの周辺機器との双方向通信用コントローラ

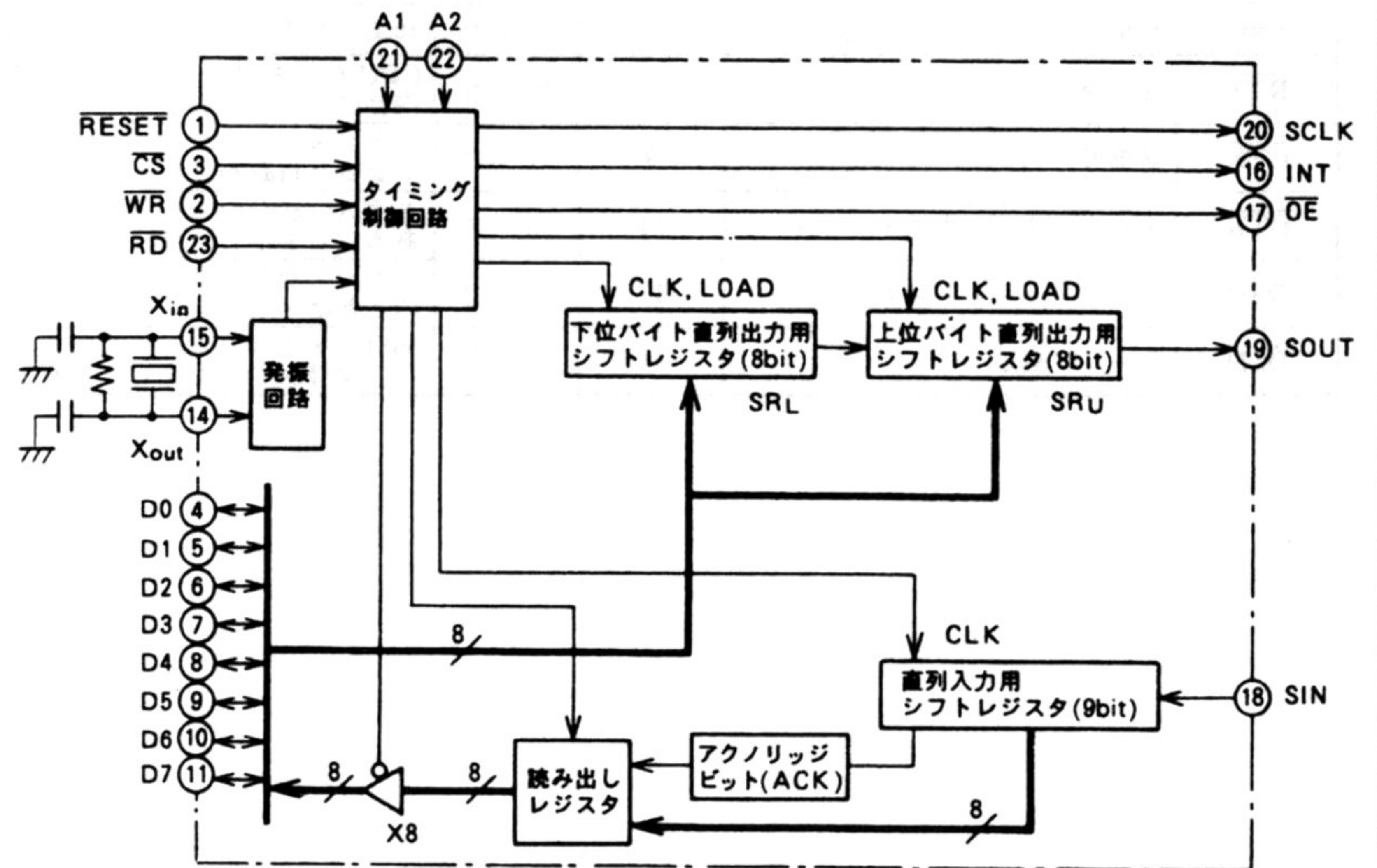
■最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜V_{CC}+0.5	V
消費電力	P_D	0.5	W
動作温度	T_{OPR}	20〜75	℃
保存温度	T_{STG}	−60〜150	℃

■DC 特性

(T_a=−20〜75℃,　V_{CC}=5 V±10 %)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=4 mA	0.4	V
V_{OH}	I_{OH}=4 mA	V_{CC}−0.8*	V
I_{OFL}	V_{OUT}=0〜V_{CC}	±10	μA
I_{IL}	V_{IN}=0〜V_{CC}	±10	μA
C_{IN}		20	pF

■ブロック図

■端子機能

端子名	名　称	ピン番号	入出力	機　　能
$\overline{\mathrm{RESET}}$	リセット出力	1	入　力	“L” レベルで M66011 の内部状態が初期化される.
$\overline{\mathrm{CS}}$	チップ・セレクト入力	3	入　力	“L” レベルで M66011 がアクセス可能となる.
$\overline{\mathrm{WR}}$	ライト入力	2	入　力	“L” レベルでデータ・バスの 8 ビット・パラレル・データが M66011 に書き込まれる.
$\overline{\mathrm{RD}}$	リード入力	23	入　力	“L” レベルのときに, シリアル入力された 8 ビット・データあるいは内部ステータス情報がデータ・バスにパラレル出力される.
D0～D7	データ・バス	4～11	入出力	8 ビットの双方向性バス・バッファ. 本端子を介してマイコンとの間でデータのライト/リードを行う.
SCLK	シフト・クロック出力	20	出　力	シリアル・バスへのクロック出力端子. 通常はアクティブ “H” 状態になっている.
SOUT	シリアル・データ出力	19	出　力	シリアル・バスへのシリアル・データ出力端子. 通常はアクティブ “H” 状態になっている.
SIN	シリアル・データ入力	18	入　力	シリアル・バスからのシリアル・データ入力端子.
$\overline{\mathrm{OE}}$	アウトプット・イネーブル出力	17	出　力	シリアル通信実行時に “L” になり, それ以外の期間はアクティブ “H” 状態になる.
INT	割り込み出力	16	出　力	シリアル通信終了時にマイコンに対して割り込み要求信号を出力する.
A0, A1	アドレス入力	22, 21	入　力	ライト動作時は書き込み先レジスタの選択を, リード動作時はリードしたいデータの指定を行う.
X_{in}	クロック入力	15	入　力	セラミック振動子を接続することにより, M66011 の動作クロックおよび SCLK 出力クロックを発生させる. 外部からクロックを入力する場合には X_{in} 端子に入力し, X_{out} 端子は開放する.
X_{out}	クロック出力	14	出　力	
V_{CC}	正電源端子	24	—	正電源 (5V)
GND	接地端子	12	—	接地 (0V)

■機能概要

M66011 は, 並列入力データを直列出力するための 8 ビット・シフトレジスタ 2 本と, 直列入力データを並列出力するための 9 ビット・シフトレジスト 1 本を内蔵したシリアル・バス制御用半導体集積回路.

マイコンとは 8 ビット・パラレル・データの送受信を行い, シリアル・バスへの16ビット・データ出力動作およびシリアル・バスからの 9 ビット・データの入力動作を行う.

シリアル・データの送受信は, シフト・クロック出力 SCLK, シリアル・データ出力 SOUT, シリアル・データ入力 SIN およびアウトプット・イネーブル出力 $\overline{\mathrm{OE}}$ の 4 本の信号線で行う.

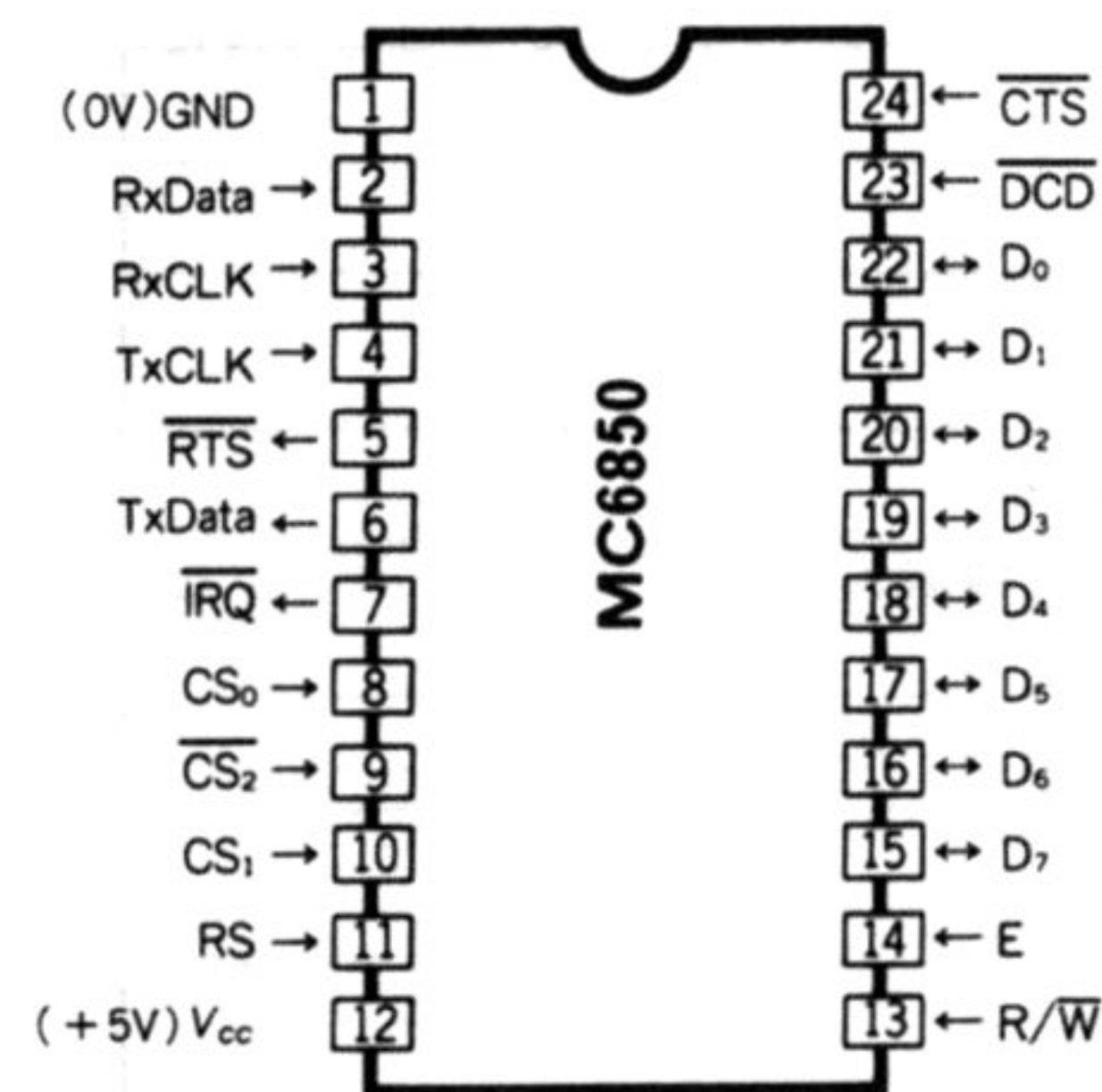
シフト・クロックの立ち下がりエッジに同期してシリアル・データが出力され, シフト・クロックの立ち上がりエッジでシリアル・データが取り込まれる.

シリアル受信データは, 先頭 1 ビットのアクノリッジ・ビットと 8 ビットのデータ・ビットから構成される.

ACIA (Asynchronous Communications Interface Adapter)

■ ピン接続

MC6850

ピン	信号	ピン	信号
1	(0V)GND	24	← $\overline{CTS}$
2	RxData →	23	← $\overline{DCD}$
3	RxCLK →	22	↔ D_0
4	TxCLK →	21	↔ D_1
5	$\overline{RTS}$ ←	20	↔ D_2
6	TxData ←	19	↔ D_3
7	$\overline{IRQ}$ ←	18	↔ D_4
8	CS_0 →	17	↔ D_5
9	$\overline{CS_2}$ →	16	↔ D_6
10	CS_1 →	15	↔ D_7
11	RS →	14	← E
12	(+5V) V_{cc}	13	← R/$\overline{W}$

■ 特　徴

- ７ビットおよび８ビットのデータ転送
- スタート，ストップ・ビットの挿入，削除機能
- 偶数，奇数パリティの挿入機能
- パリティ，オーバラン，フレーミング・エラーのチェック機能
- クロック分周比÷１，÷１６，÷６４の選択可能
- 最大１Ｍｂｉｔ／ｓｅｃの転送可能
(分周比÷１の同期転送時)
- 送受信共に２段バッファ構成
- ブレーク状態可能

■ ブロック図

Tx CLK
E
R/$\overline{W}$
CS_0
$\overline{CS_1}$
$\overline{CS_2}$
RS
D_0
D_7
RxCLK
チップ・セレクトおよびR/Wコントロール
データ・バス・バッファ
送信データ・レジスタ
ステータス・レジスタ
コントロール・レジスタ
受信データ・レジスタ
クロック・ジェネレータ
パリティ・ジェネレータ
送信シフトレジスタ
送信コントロール
割り込み回路
受信コントロール
パリティ・チェック
受信シフトレジスタ
クロック・ジェネレータ
同期回路
Tx Data
$\overline{CTS}$
$\overline{IRQ}$
$\overline{DCD}$
$\overline{RTS}$
Rx Data

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～+7.0	V
入力電圧	V_{IN}	−0.3～+7.0	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−55～+150	℃

■ DC特性

記号	測定条件	max/min*	単位
V_{IH}		2.0*	V
V_{IL}		0.8	V
V_{OH}	($I_{OH}=-250\mu A$) $D_{0\sim7}$ ($I_{OH}=-100\mu A$) TxData, $\overline{RTS}$	2.4*	V
V_{OL}		0.4	V
P_D		525	mW

■端子機能

端子名	名　　称	ピン番号	入出力	機　　能
E	イネーブル	14	入　力	E信号はリード/ライト時以外も周期的に入力する必要がある
D_0〜D_7	双方向性データ・バス	22〜15	入出力	双方向性データ・バス(D_0〜D_7). データ・バスの出力は3ステート・バッファ
R/$\overline{W}$	リード/ライト	13	入　力	双方向性データ・バスのデータ転送方向を制御する
CS_0, CS_1, CS_2	チップ・セレクト0, チップ・セレクト1, チップ・セレクト2	8, 10, 9	入　力	アドレスを決定するために使われる. CS_0とCS_1が"H"レベルでかつ$\overline{CS_2}$が"L"レベルのとき選択される
RS	レジスタ・セレクト	11	入　力	トランスミット・データ・レジスタ/レシーブ・データ・レジスタあるいはコントロール・レジスタ/ステータス・レジスタのいずれかを選択するために使われる
$\overline{IRQ}$	インタラプト・リクエスト	7	出　力	割り込み要求出力. 割り込み状態が続いている間, $\overline{IRQ}$は"L"レベルになったままとなる
TxCLK	トランスミット・クロック	4	入　力	送信されるデータとの同期を取るために使用. クロックの立ち下がりでデータを送信
RxCLK	レシーブ・クロック	3	入　力	受信されるデータとの同期を取る信号. 受信側クロックの立ち上がりでデータをサンプリングして取り込む
TxData	トランスミット・データ	6	出　力	直列データの出力端子
RxData	レシーブ・データ	2	入　力	直列データの入力端子
$\overline{CTS}$	送信要求	24	入　力	モデムの"クリア・ツー・センド"出力. TDREフラグを読み出し可能とし, かつ送信の割り込み要求を出力可能とするための入力信号
$\overline{RTS}$	送信要求	5	出　力	モデムの$\overline{RTS}$入力
$\overline{DCD}$	データ・キャリア・ディテクト	23	入　力	"キャリア・ディテクト"信号

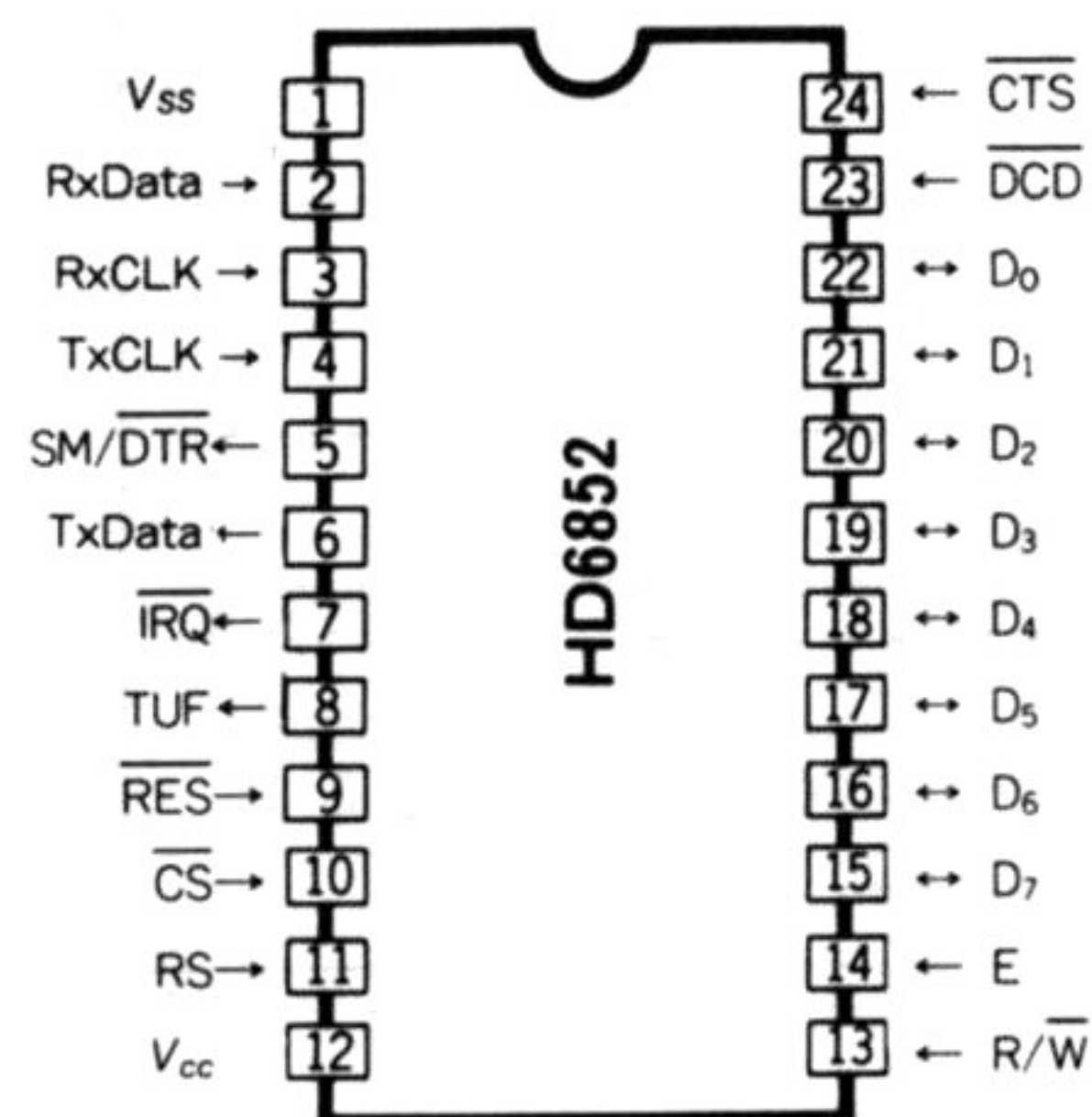
■直列データ・タイミング

項　目	モード	max/min*			単位
		MC6850	MC68A50	MC68B50	
PW (CLK)	÷1	900*	650*	500*	ns
	÷16, ÷64	600*	450*	280*	
fe (CLK)	÷1	500	750	1000	kHz
	÷16, ÷64	0.8	1.0	1.5	MHz
ボーレイト	÷1	500	750	1000	Kbps
	÷64	50	62.5	93.75*	
	÷64	1.25	15.625	23.4375	

SDA (Serial Data Adapter)

■ ピン接続

HD6852

ピン	信号		ピン	信号
1	V_{SS}		24	← $\overline{CTS}$
2	RxData →		23	← $\overline{DCD}$
3	RxCLK →		22	↔ D_0
4	TxCLK →		21	↔ D_1
5	SM/$\overline{DTR}$ ←		20	↔ D_2
6	TxData ←		19	↔ D_3
7	$\overline{IRQ}$ ←		18	↔ D_4
8	TUF ←		17	↔ D_5
9	$\overline{RES}$ →		16	↔ D_6
10	$\overline{CS}$ →		15	↔ D_7
11	RS →		14	← E
12	V_{CC}		13	← R/$\overline{W}$

■ 特　徴

・モデムあるいは周辺機器との間で使用される同期式シリアル・データ伝送用アダプタ
・送信，受信およびエラー検出回路からの割り込みがプログラム可能
・1バイトまたは2バイトのシンク・コードによるキャラクタ同期が可能
・並列-直列変換の外部同期制御が可能
・プログラム可能なシンク・コード・レジスタ
・モデムおよび周辺機器の制御機能をもつ
・送信，受信用にそれぞれ3バイトのＦＩＦＯ内蔵
・6，7，8ビットのデータ送受信機能
・偶数または奇数パリティ，パリティなしのプログラムが可能
・パリティ・エラー，オーバラン，アンダフローのチェック機能をもつ

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜7.0	V
動作温度	T_{OPR}	−20〜+75	℃
保存温度	T_{STG}	−55〜+150	℃

■ DC特性

(T_a＝−20〜+75℃，V_{CC}＝5V±5%)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝1.6mA	0.4	V
V_{OH}	I_{OH}＝100μA	2.4*	V
I_{OL}	V_{OUT}＝2.4V	10	μA
I_{IL}	V_{IN}＝0.4〜2.4V	10	μA
C_{IN}		10	pF

■ ブロック図

V_{CC}＝12ピン
V_{SS}＝1ピン

■端子機能

端子名	名　称	ピン番号	入出力	機　能
D_0〜D_7	双方向性データ・バス	22〜15	入出力	CPUとの間のデータ転送に使用される．データ・バスの出力は3ステート回路となっている
E	イネーブル	14	入　力	データ・バスからのデータ入力あるいはデータ・バスへのデータ出力ができるようにするとともにCPUとの間のデータ転送を同期させる
R/$\overline{\text{W}}$	リード/ライト	13	入　力	入出力データ・バスのデータ転送方向を制御する．またR/$\overline{\text{W}}$信号は内部のリード専用レジスタの選択にも使われる
$\overline{\text{CS}}$	チップ・セレクト	10	入　力	チップ・セレクト信号．データ転送はE信号，R/$\overline{\text{W}}$信号およびRS信号により実行される
RS	レジスタ・セレクト	11	入　力	レジスタ・セレクト信号．"H"レベルのときにコントロール・レジスタC_2とC_3シンク・コード・レジスタおよびトランスミット/レシーブ・データ・レジスタが選択される．また"L"レベルのときにはコントロール・レジスタ1とステータス・レジスタが選択される
$\overline{\text{IRQ}}$	インタラプト・リクエスト	7	出　力	$\overline{\text{IRQ}}$はオープン・ドレインの出力であり，CPUへ割り込み信号を出す．"L"レベルで割り込みとなりCPUによって解除されるまで"L"レベルを保つ
$\overline{\text{RES}}$	リセット	9	入　力	リセット信号
TxCLK	トランスミッタ・クロック	4	入　力	送信されるデータとの同期をとるために使われ，データはクロックの立ち下がりで送信される
RxCLK	レシーブ・クロック	3	入　力	受信されるデータとの同期をとるために使われる．クロックとデータは外部で同期されていることが必要で，受信側はクロックの立ち上がりでデータを受信する
RxData	レシーブ・データ	2	入　力	受信シリアル・データの入力端子
TxData	トランスミット・データ	6	出　力	送信シリアル・データの出力端子
$\overline{\text{CTS}}$	送信要求	24	入　力	CSに対応する入力信号で，シリアル・データ送信を制御する
$\overline{\text{DCD}}$	データ・キャリア・ディテクト	24	入　力	モデムの搬送波検出を示す"CD"信号に対応する入力信号
SM/$\overline{\text{DTR}}$	シンクマッチ/データ・ターミナル・レディ	5	出　力	PC_1とPC_2のコントロール・ビットの状態によって四つの機能をもつ．シンク・マッチ・モードが選択されると(PC_1＝"1"，PC_2＝"0")，シンク・コードを検出したときにSM/$\overline{\text{DTR}}$出力は，1ビットの幅のパルスを出す．PC_2＝"1"になるとSM出力はPC_2の反転したレベルになる．(PC_2＝"1"のときは$\overline{\text{DTR}}$＝"L")
TUF	トランスミッタ・アンダフロー	8	出　力	TUFトランスミット・データFIFOの最後のロケーション(#3)が空になり，トランスミッタ・シフトレジスタに"フィル・キャラクタ"の転送がなされたときに出力される

DUART (Dual Universal Asynchronous Receiver Transmitter)

■ ピン接続

信号	ピン		ピン	信号
A_1 →	1		40	V_{CC}
IP_3 →	2		39	← IP_4
A_2 →	3		38	← IP_5
IP_1 →	4		37	← $\overline{IACK}$
A_3 →	5		36	← IP_2
A_4 →	6		35	← $\overline{CS}$
IP_0 →	7		34	← $\overline{RESET}$
$R/\overline{W}$ →	8		33	← X_2
$\overline{DTACK}$ ←	9	MC68681	32	← X_1/CLK
RxDB →	10		31	← RxDA
TxDB ←	11		30	→ TxDA
OP_1 ←	12		29	→ OP_0
OP_3 ←	13		28	→ OP_2
OP_5 ←	14		27	→ OP_4
OP_7 ←	15		26	→ OP_6
D_1 ↔	16		25	↔ D_0
D_3 ↔	17		24	↔ D_2
D_5 ↔	18		23	↔ D_4
D_7 ↔	19		22	↔ D_6
GND	20		21	→ $\overline{IRQ}$

■ 特　徴

・６８０００バス・コンパチブルなデュアル全二重非同期式データ伝送用ＬＳＩ
・四つの受信データ・レジスタ・バッファ
・データ・フォーマットはプログラマブル．
　５～８ビット・キャラクタ．
　ストップ・ビット長，パリティは設定可能
・各送受信部に対してプログラマブル・ボーレート．
　１８固定レート：50～38.4Kボー．
　タイマ／カウンタによる任意設定．
　外部の１倍または１６倍クロック使用
・パリティ，フレーミング，オーバラン・エラー検出
・誤りスタート・ビットの検出
・ライン・ブレークの生成と検出
・多機能プログラマブル１６ビット・カウンタ／タイマを内蔵
・多機能６ビット入力ポート：クロック／制御入力として利用
・多機能８ビット出力ポート：ステータス／割り込み信号としてプログラム可能
・８マスカブル割り込み要因で単一割り込み出力

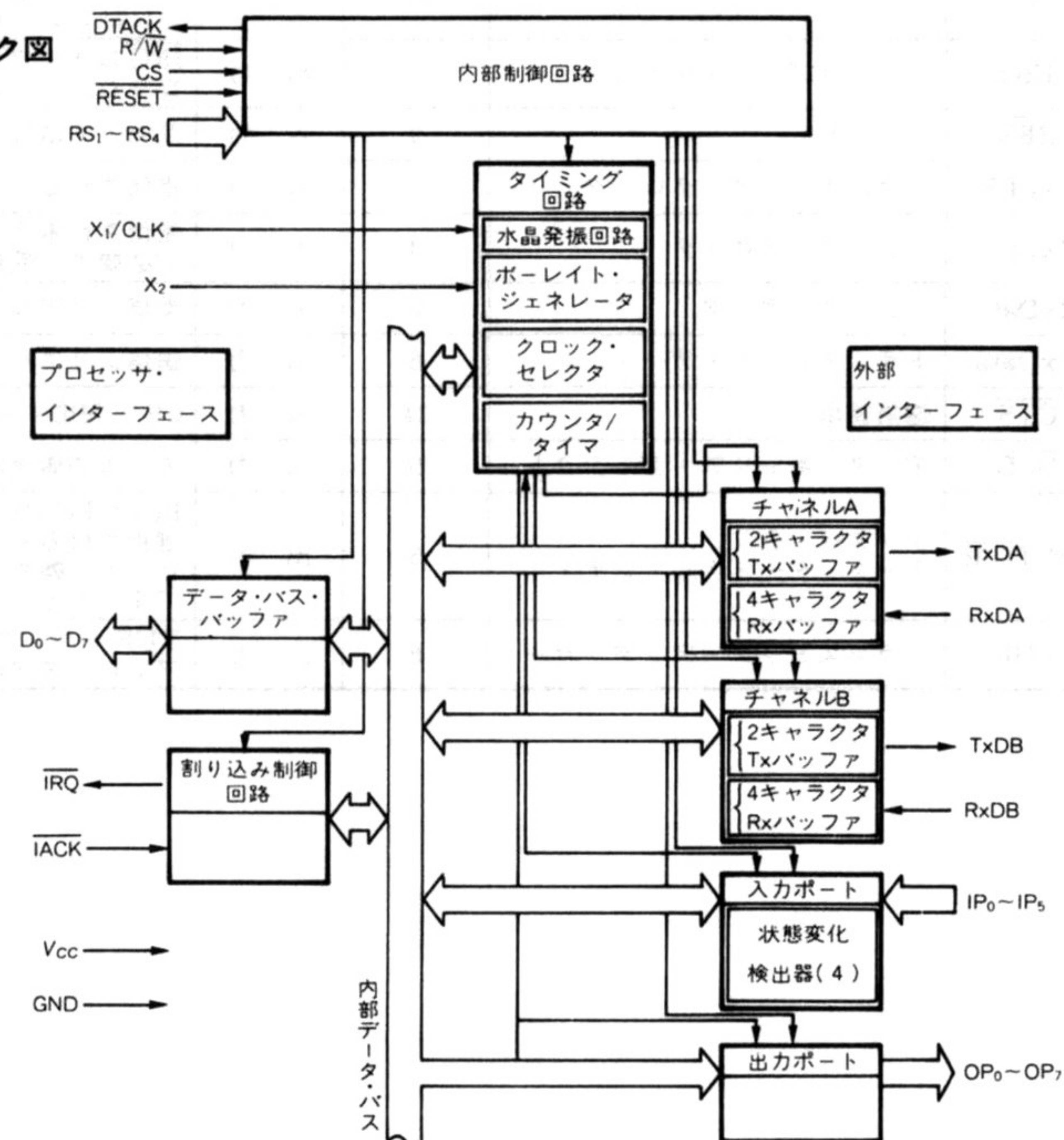
■ ブロック図

■ 最大定格

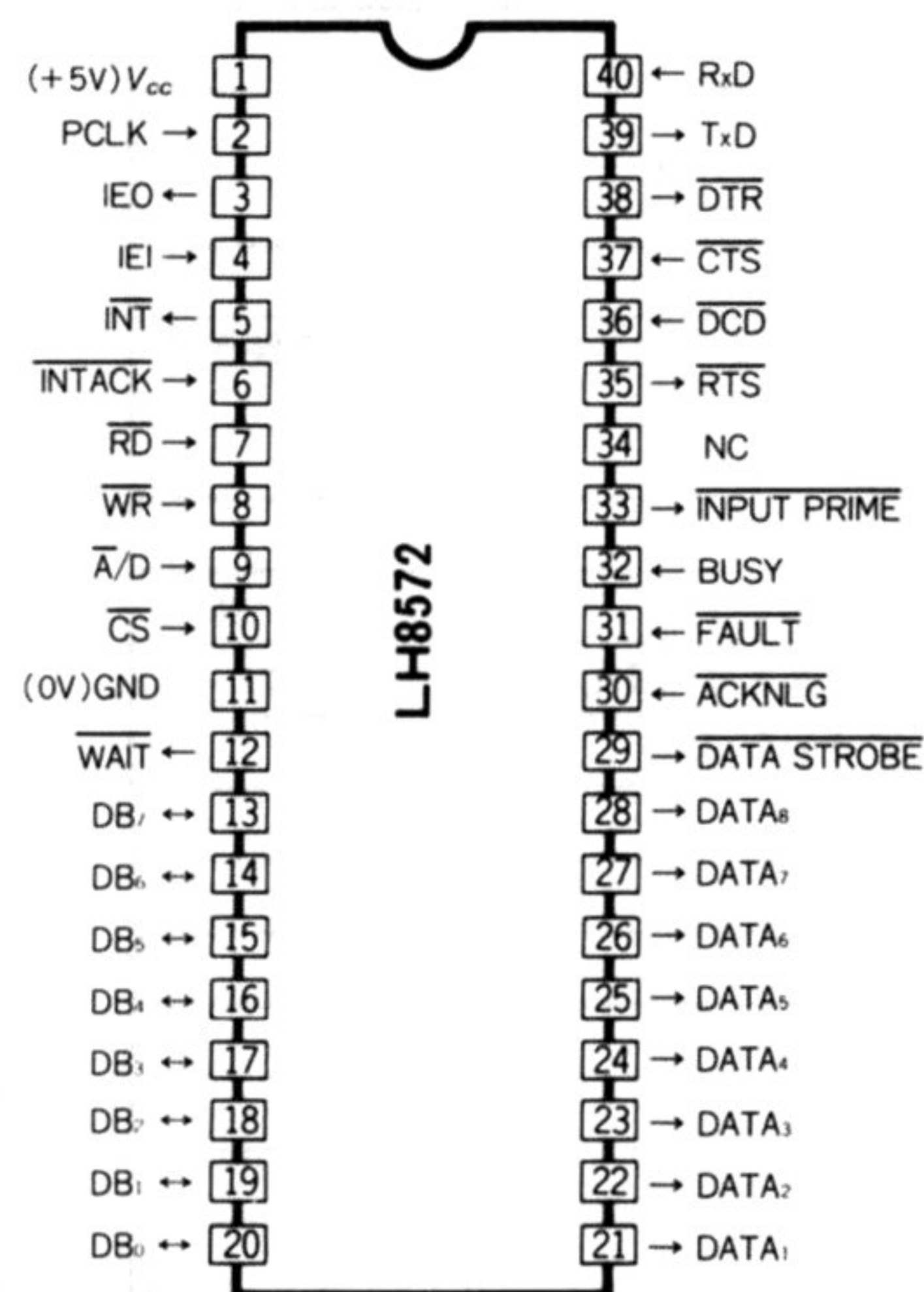
項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～6.0	V
入力電圧	V_{IN}	−0.5～6.0	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−65～150	℃

■ DC特性

(T_a＝0～70℃，V_{CC}＝5.0V±5%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝2.4mA	0.4	V
V_{OH}	I_{OH}＝400μA	2.4*	V
I_{OL}	V_{OUT}＝0～V_{CC}	±10	μA
I_{IL}	V_{IN}＝0～V_{CC}	±10	μA
C_{IN}		15	pF

■端子機能

端子名	名称	ピン番号	入出力	機能
D_0～D_7	データ・バス	25, 16, 24, 17, 23, 18, 22, 19	入出力	コマンド，データおよびステータス転送に使われる双方向3ステート・データ・バス
$\overline{CS}$	チップ・セレクト	35	入力	チップ選択信号
R/$\overline{W}$	リード/ライト	8	入力	$\overline{CS}$ 入力のアサートで，サイクルが起動すると“H”入力で読み出しサイクル，“L”入力で書き込みサイクルを示す
A_1～A_4	アドレス入力	1, 2, 5, 6	入力	読み出し，書き込み動作用の内部レジスタとポートを選択する
$\overline{RESET}$	リセット	34	入力	“L”レベル状態で内部レジスタをクリアする
$\overline{DTACK}$	データ転送アクノリッジ	9	出力	書き込み，読み出しまたは割り込みサイクルでアサートされる3ステート・アクティブ“L”出力
$\overline{IRQ}$	割り込み要求	21	出力	マスク可能な8割り込み要因のうち，1要因以上が“真”であることをCPUに知らせる出力
$\overline{IACK}$	割り込みアクノリッジ	37	入力	割り込みアクノリッジ・サイクルであることを示すアクティブ“L”入力
X_1/CLK	クリスタル$_1$/クロック	32	入力	水晶振動子または外部クロック入力
X_2	クリスタル$_2$	33	入力	水晶振動子のもう一方の側を接続する
RxDA	受信データA	31	入力	チャネルAの受信データ入力
RxDB	受信データB	10	入力	チャネルBの受信データ入力
TxDA	送信データA	30	出力	チャネルAの送信データ出力
TxDB	送信データB	11	出力	チャネルBの送信データ出力
OP_0	出力0	29	出力	汎用出力．チャネルA送信要求
OP_1	出力1	12	出力	汎用出力．チャネルB送信要求
OP_2	出力2	28	出力	汎用出力．チャネルA送信部クロック出力，チャネルA受信部クロック出力
OP_3	出力3	13	出力	汎用出力．カウンタ/タイマ出力．チャネルB送信部クロック，チャネルB受信部クロック出力
OP_4	出力4	27	出力	汎用出力．チャネルA RxRDYA/FFULLA出力
OP_5	出力5	14	出力	汎用出力．チャネルB RxRDYB/FFULLB出力
OP_6	出力6	26	出力	汎用出力．チャネルA TxRDYA出力
OP_7	出力7	15	出力	汎用出力．チャネルB TxRDYB出力
IP_0	入力0	7	入力	汎用入力．チャネルA送信可入力
IP_1	入力1	4	入力	汎用入力．チャネルB送信可入力
IP_2	入力2	36	入力	汎用入力．チャネルB受信外部クロック入力．カウンタ/タイマ外部クロック入力
IP_3	入力3	2	入力	汎用入力．チャネルA送信外部クロック入力
IP_4	入力4	39	入力	汎用入力．チャネルA受信外部クロック入力
IP_5	入力5	38	入力	汎用入力．チャネルB送信外部クロック入力

SPCC (Serial Parallel Combination Controller)

■ ピン接続

LH8572

ピン	信号	ピン	信号
1	(+5V)V_{cc}	40	← RxD
2	PCLK →	39	→ TxD
3	IEO ←	38	→ $\overline{DTR}$
4	IEI →	37	← $\overline{CTS}$
5	$\overline{INT}$ ←	36	← $\overline{DCD}$
6	$\overline{INTACK}$ →	35	→ $\overline{RTS}$
7	$\overline{RD}$ →	34	NC
8	$\overline{WR}$ →	33	→ $\overline{INPUT\ PRIME}$
9	$\overline{A}$/D →	32	← BUSY
10	$\overline{CS}$ →	31	← $\overline{FAULT}$
11	(0V)GND	30	← $\overline{ACKNLG}$
12	$\overline{WAIT}$ ←	29	→ $\overline{DATA\ STROBE}$
13	DB_7 ↔	28	→ $DATA_8$
14	DB_6 ↔	27	→ $DATA_7$
15	DB_5 ↔	26	→ $DATA_6$
16	DB_4 ↔	25	→ $DATA_5$
17	DB_3 ↔	24	→ $DATA_4$
18	DB_2 ↔	23	→ $DATA_3$
19	DB_1 ↔	22	→ $DATA_2$
20	DB_0 ↔	21	→ $DATA_1$

■ 最大定格

項　目	記号	定　格	単位
入力電圧	V_{IN}*	−0.3〜+7.0	V
出力電圧	V_{OUT}*	−0.3〜+7.0	V
動作温度	T_{OPR}	0〜+70	℃
保存温度	T_{STG}	−65〜+150	℃

＊全端子に加わるGNDに対する電圧

■ DC特性

（T_a=0〜+70℃，V_{CC}=5V±5%）

記号	測定条件	min	max	単位
V_{CH}		2.4	V_{CC}	V
V_{CL}		−0.3	0.8	V
V_{IH}		2	V_{CC}	V
V_{IL}		−0.3	0.8	V
V_{OH}	I_{OH}=−250μA	2.4		V
V_{OL}	I_{OL}=2mA		0.4	V
I_{IL}	0≦V_{IN}≦5.25V		10	μA
I_{OL}	0≦V_{IN}≦5.25V		10	μA
I_{CC}			250	mA

■ 特　徴

・調歩同期式シリアル・データ伝送とセントロニクス準拠プリンタ制御を行うインターフェースを備えたシリアル・パラレル・コンビネーション・コントローラ

・調歩同期式全二重データ転送
　5〜8キャラクタ長指定可能
　ストップ・ビットの1，2指定可能
　パリティ・ビットの偶奇および有無の指定可能
　マーク・ライン上のスパイク・ノイズを検出し，誤スタート・ビットを検出する
　送信バッファはダブル・バッファ構成
　受信バッファは4段FIFO構成
　パリティ，オーバラン，フレーミングの各エラー検出機能をもつ

・セントロニクス・プリンタ制御機能
　データ出力のためのハンドシェイク機能を内蔵
　内部バッファは128バイトのFIFO構成
　プリンタ・フォールト，ペーパ・エンプティのエラー検出機能をもつ

・送信バッファ空，受信キャラクタ有効，プリンタ出力，バッファ空の条件で割り込み発生可能

・割り込みベクタ設定可能

■ ブロック図

データ・バス（13〜20）　データ・バス・インターフェース
$\overline{Address}$/Data（9）　$\overline{Read}$（7）　$\overline{Chip\ Select}$（10）　$\overline{Write}$（8）　$\overline{Wait}$（12）　バス・タイミング制御
Interrupt Request（5）　Interrupt Acknowledge（6）　Interrupt Enable In（4）　Interrupt Enable Out（3）　割り込み制御
+5V（1）　GND（11）　PCLK（2）

内部制御回路
プリントFIFO 128バイト　受信FIFO 4バイト　エラーFIFO 4バイト
ERR　MSR　CTL　TxS　RxS　PRS　TxB　RxB　PRB　TxV　RxV　PRV　ERV　MIC

プリント・データ・バス・インターフェース　データ・バス（21〜28）
プリント・タイミング制御　Input Prime（33）　Data Strobe（29）　Fault（31）　Busy（32）　Acknowledge（30）
セントロニクス・インターフェース
受信制御　RxD（40）　$\overline{DTR}$（38）　$\overline{DCD}$（36）
送信制御　TxD（39）　$\overline{RTS}$（35）　$\overline{CTS}$（37）
RS-232Cインターフェース

■端子機能

端子名	名　　称	ピン番号	入出力	機　　　　能
DB_0～DB_7	データ・バス	20～13	入出力	システム・データ・バス
$\overline{A}/D$	アドレス/データ選択	9	入　力	アドレス/データ選択信号
$\overline{RD}$	読み出し	7	入　力	アクティブ“L”．読み出し動作中であることを示す
$\overline{WR}$	書き込み	8	入　力	アクティブ“L”．書き込み動作中であることを示す
$\overline{CS}$	チップ選択	10	入　力	アクティブ“L”．チップ選択信号
$\overline{WAIT}$	ウェイト	12	出　力	アクティブ“L”．オープン・ドレイン．CPUとの同期用
$\overline{INT}$	割り込み要求	5	出　力	アクティブ“L”．オープン・ドレイン．CPUへ割り込み要求を示す
$\overline{INTACK}$	割り込み応答	6	入　力	アクティブ“L”．割り込み応答サイクルを示す
IEI	割り込みイネーブル入力	4	入　力	アクティブ“H”．割り込み優先順位を決めるデイジィ・チェーンを形成するために使用
IEO	割り込みイネーブル出力	3	出　力	アクティブ“H”．割り込み優先順位を決めるデイジィ・チェーンを形成するために使用
$DATA_1$～$DATA_8$	出力データ	21～28	出　力	出力データ
$\overline{DATA\ STROBE}$	データ・ストローブ	29	出　力	アクティブ“L”．データの確定を示す
BUSY	ビジィ	32	入　力	アクティブ“H”．プリンタ装置動作中を示す
ACKNLG	応答	30	入　力	アクティブ“H”．プリンタ装置からの応答信号
$\overline{FAULT}$	フォルト	31	入　力	アクティブ“L”．プリンタ装置の動作不能状態を示す
$\overline{INPUT\ PRIME}$	プライム入力	33	出　力	アクティブ“L”．プリンタ装置の初期化信号
RxD	受信データ	40	入　力	受信用データ線
TxD	送信データ	39	出　力	送信用データ線
$\overline{RTS}$	送信要求	35	出　力	アクティブ“L”．データ転送(送信)の用意完了を示す信号
$\overline{CTS}$	送信可	37	入　力	アクティブ“L”．データの送信可能状態を示す信号
$\overline{DTR}$	データ・ターミナル・レディ	38	出　力	アクティブ“L”．データの送信要求信号
$\overline{DCD}$	受信可	36	入　力	アクティブ“L”．データの受信可能状態を示す信号
PCLK	クロック	2	入　力	単相クロック，CPUと同一のものでなくてよい

UART (Asynchronous Communication Element)

■ ピン接続

INS8250

ピン	信号	ピン	信号
1	D_0 ↔	40	V_{CC}(+5V)
2	D_1 ↔	39	← $\overline{RI}$
3	D_2 ↔	38	← $\overline{RLSD}$
4	D_3 ↔	37	← $\overline{DSR}$
5	D_4 ↔	36	← $\overline{CTS}$
6	D_5 ↔	35	← MR
7	D_6 ↔	34	→ $\overline{OUT_1}$
8	D_7 ↔	33	→ $\overline{DTR}$
9	RCLK →	32	→ $\overline{RTS}$
10	SIN →	31	→ $\overline{OUT_2}$
11	SOUT ←	30	→ INTRPT
12	CS_0 →	29	NC
13	CS_1 →	28	← A_0
14	$\overline{CS_2}$ →	27	← A_1
15	$\overline{BAUDOUT}$ ←	26	← A_2
16	$XTAL_1$	25	← $\overline{ADS}$
17	$XTAL_2$	24	→ CSOUT
18	$\overline{DOSTR}$ →	23	→ DDIS
19	DOSTR →	22	← DISTR
20	(0V) V_{SS}	21	← $\overline{DISTR}$

■ 特　徴

・各種の調歩同期式の直列通信処理をプログラマブルに設定できる
・8ビット／16ビットなど各種のCPUと容易に接続できる仕様となっている
・プログラマブルなボーレイト・ジェネレータを内蔵している
・送信，受信，ライン・ステータス，データ・セットなどの割り込み処理をそれぞれ独立にセットできる
・モデム制御のために信号線が用意されている（CTS，RTS，DSR，RI，CD）

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～+7.0	V
入力電圧	V_{IN}	−0.5～+7.0	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−65～+150	℃

■ DC特性

（T_a=0℃～+70℃，V_{CC}=+5V±5%，V_{SS}=0V）

記号	項　目	min	typ	max	単位
V_{ILX}	クロック"L"入力電圧	−0.5		0.8	V
V_{IHX}	クロック"H"入力電圧	2.0		V_{CC}	V
V_{IL}	入力電圧"L"	−0.5		0.8	V
V_{IH}	入力電圧"H"	2.0		V_{CC}	V
V_{OL}*	出力電圧"L"			0.4	V
V_{OH}*	出力電圧"H"	2.4			V
$I_{CC(AV)}$	消費電流（V_{CC}）		65	80	mA

＊I_{OL}=1.6mA すべての出力，I_{OH}=−100μA

■ ブロック図

内部データ・バス
D_7～D_0（①～⑧）　データ・バス・バッファ
受信バッファ・レジスタ　受信シフト・レジスタ　⑩ SIN
ライン制御レジスタ　受信タイミング制御　⑨ RCLK
(LS) 分周データ・ラッチ (MS)　ボーレイト・ジェネレータ　⑮ $\overline{BAUDOUT}$
A_0 ㉘　A_1 ㉗　A_2 ㉖　CS_0 ⑫　CS_1 ⑬　$\overline{CS_2}$ ⑭　$\overline{ADS}$ ㉕　MR ㉟　DISTR ㉒　$\overline{DISTR}$ ㉑　DOSTR ⑲　$\overline{DOSTR}$ ⑱　DDIS ㉓　CSOUT ㉔　$XTAL_1$ ⑯　$XTAL_2$ ⑰　選択制御回路
ライン・ステータス・レジスタ　送信タイミング制御
送信データ・レジスタ　送信シフトレジスタ　⑪ SOUT
モデム制御レジスタ　モデム・ステータス・レジスタ　モデム制御回路　㉜ $\overline{RTS}$　㊱ $\overline{CTS}$　㉝ $\overline{DTR}$　㊲ $\overline{DSR}$　㊳ $\overline{RLSD}$　㊴ $\overline{RI}$　㉞ $\overline{OUT_1}$　㉛ $\overline{OUT_2}$
電源 ㊵ +5V　⑳ GND
割り込み可否レジスタ　割り込み制御回路　㉚ 割り込み
割り込みIDレジスタ

■端子機能

端子名	名称	ピン番号	入出力	機能
CS_0, CS_1, $\overline{CS_2}$	チップ・セレクト	12～14	入力	CS_0，CS_1がともに“H”レベルでかつ$\overline{CS_2}$が“L”レベルのとき，本チップが選択される
DISTR, $\overline{DISTR}$	データ・インプット・ストローブ	22，21	入力	チップが選択され，DISTR 入力が“H”レベルまたは$\overline{DISTR}$入力が“L”レベルのとき，選択されたレジスタからのステータス情報やデータがCPU に読み込まれる
DOSTR, $\overline{DOSTR}$	データ・アウトプット・ストローブ	19，18	入力	チップが選択され，DOSTR 入力が“H”レベルまたは$\overline{DOSTR}$が“L”レベルのとき，選択されたレジスタへデータやコントロール・ワードが書き込まれる
$\overline{ADS}$	アドレス・ストローブ	25	入力	この入力が“L”レベルのとき，レジスタ・セレクト信号(A_0, A_1, A_2)およびチップ・セレクト信号(CS_0, CS_1, $\overline{CS_2}$のラッチ動作が行われる
A_0, A_1, A_2	レジスタ・セレクト	26～28	入力	これらの入力は，リードまたはライト動作時にその対象になるレジスタを指定するために使用される
MR	マスタ・リセット	35	入力	“H”レベル時には，すべてのレジスタ（レシーバ・バッファ，トランスミット・ホールディング，ディバイサ・ラッチの3レジスタは除く）および制御ロジックがクリアされる
RCLK	レシーバ・クロック	9	入力	レシーバ回路を制御する16倍のクロックの入力端子である
SIN	シリアル・インプット	10	入力	直列データ入力端子である
$\overline{CTS}$	クリア・トゥ・センド	36	入力	$\overline{CTS}$はモデム・コントロール用の入力であり，その状態はモデム・ステータス・レジスタのビット4 (CTS)を参照することによってテストされる
$\overline{DSR}$	データ・セット・レディ	37	入力	“L”レベルのとき，モデムまたはデータ・セットが送信可能な状態であることを示す
DCD	データ・キャリア・ディテクタ	38	入力	“L”レベルのとき，データ・キャリアがモデムまたはデータ・セットによって検出されたことを示す
$\overline{RI}$	リング・インジケータ	39	入力	“L”レベルのとき，電話のベルの音がモデムまたはデータ・セットに受信されたことを示す
$\overline{DTR}$	データ・ターミナル・レディ	33	出力	“L”レベルのとき，モデムに通信可能な状態であることを示す
$\overline{RTS}$	リクエスト・トゥ・センド	32	出力	“L”レベルのとき，モデムにデータ転送可能な状態であることを示す
$\overline{OUT_1}$	アウトプット1	34	出力	汎用の出力端子であり，モデム・コントロール・レジスタのビット2 (OUT_1)をプログラムでセットすることにより，アクティブとなる
$\overline{OUT_2}$	アウトプット2	31	出力	汎用の出力端子であり，モデム・コントロール・レジスタのビット3 ($\overline{OUT_2}$)をプログラムすることにより，アクティブとなる
CSOUT	チップ・セレクト・アウト	24	出力	CS_0, CS_1, $\overline{CS_2}$がともにアクティブとなり，チップが選択状態となった場合に“H”レベル信号を出力する
DDIS	ドライバ・ディセーブル	23	出力	データがCPU によって読み出されているとき，“L”レベルとなる．外部データ・トランシーバをディセーブルするために使用される
$\overline{BAUDOUT}$	ボーレイト・アウト	15	出力	送信回路に使用される16倍のクロックを出力する
INTRPT	インタラプト	30	出力	インタラプト要求がアクティブ状態となり，かつIER の対応ビットがセットされていた場合に“H”レベルとなる
SOUT	シリアル・アウトプット	11	出力	シリアル・データを出力する
D_7～D_0	データ・バス	1～8	入出力	8ラインの3ステート入出力で構成されており，CPU 間との双方向性のデータ通信を行う
$XTAL_1$, $XTAL_2$	クロック入出力	16，17	—	水晶振動子または外部クロックが接続される

MFP (Multi Function Peripheral)

■ ピン接続

RESERVED RESERVED RESERVED RESERVED NC ←X_{in} V_{CC} RESERVED ←EXTEND ←ACK ←PE ←BUSY ←SLCT V_{CC} ←$\overline{ERROR}$ ←ALE V_{SS}

9 1 68 61

NC 10
RESERVED
NC
V_{SS}
D_0↔
D_1↔
D_2↔
D_3↔
D_4↔
D_5↔
D_6↔
D_7↔
RESERVED
V_{SS}
$\overline{RTS}$←
$\overline{DTR}$←
SOUT← 26

MCS16C461

60 RESERVED
→IRQ7AT
↔$\overline{SLIN}$
↔$\overline{INIT}$
↔$\overline{AUTOFD}$
↔$\overline{STROBE}$
V_{SS}
↔PD_0
↔PD_1
↔PD_2
↔PD_3
↔PD_4
↔PD_5
↔PD_6
↔PD_7
→INTAT
44 →PEND

27 43

V_{SS} $\overline{CTS}$→ $\overline{DCD}$→ $\overline{RI}$→ $\overline{DSR}$→ $\overline{CSSE}$→ A_2→ A_1→ A_0→ $\overline{IOW}$→ $\overline{IOR}$→ $\overline{CSPA}$→ RESET→ V_{CC} SIN→ V_{SS} V_{SS}

■ 特　徴

- ＩＢＭ　ＰＣ／ＡＴ，ＸＴポート・アドレス・デコーダをサポートする複合機能コントローラ
- ＩＮＳ８２５０　ＵＡＲＴと互換のある全二重シリアル・ポート内蔵
- 受信／送信部ごとにボーレートをプログラム可能
- 完全なモデム制御機能内蔵
- キャラクタ・モードでのダブル・バッファリングが可能
- 異常スタート・ビット検出機能をもつ
- セントロニクス・プリンタ・インターフェース
- パラレル・ポート拡張モードでは双方向入出力をサポート
- パラレル・ポートは，レベル感知のリード可能な割り込みペンディング・ステータスをサポート
- パラレル・ポート・インターフェースを直接ドライブ可能

■ 最大定格

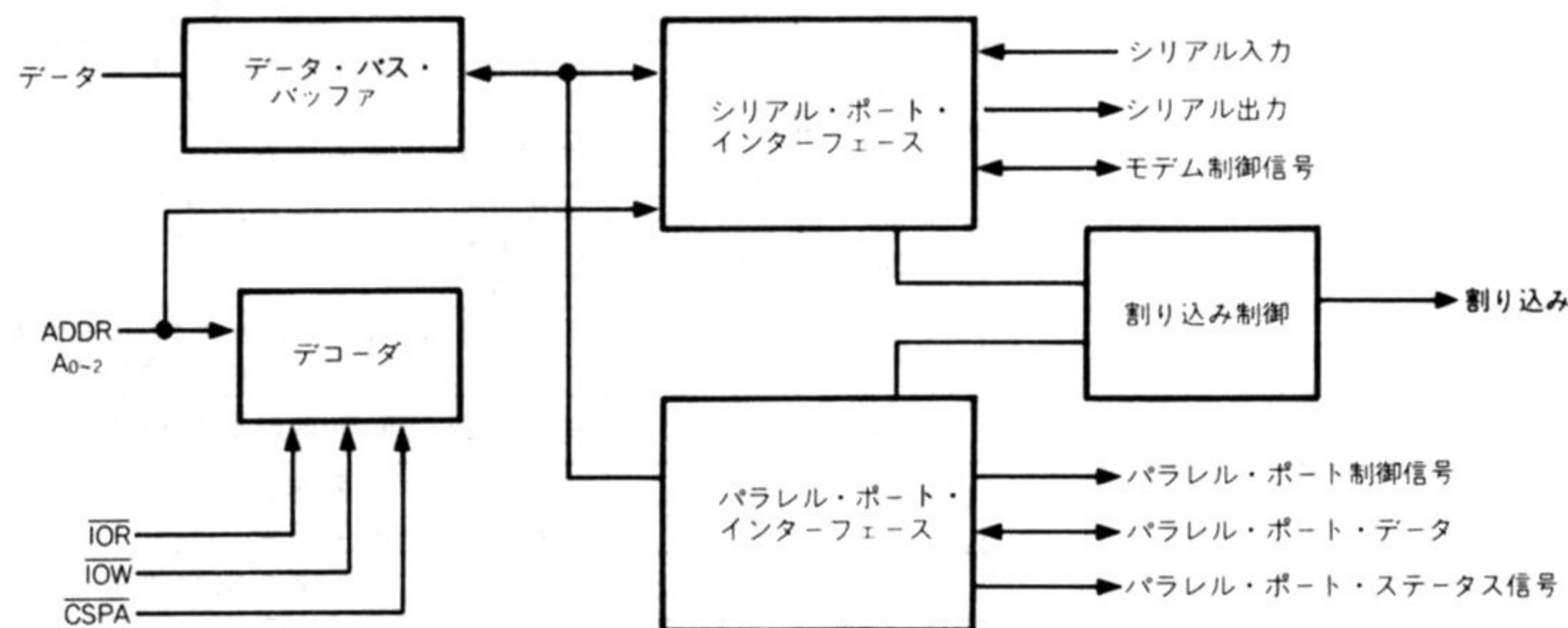
項　　目	記号	定　格	単位
電源電圧	V_{CC}	3.0～7.0	V
入力電圧	V_{IN}	0～5.5	V
消費電力	P_D	1.0	W
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−50～150	℃

■ ブロック図

データ
データ・バス・バッファ
シリアル・ポート・インターフェース
シリアル入力
シリアル出力
モデム制御信号
ADDR $A_{0\sim2}$
デコーダ
割り込み制御
割り込み
$\overline{IOR}$
$\overline{IOW}$
$\overline{CSPA}$
パラレル・ポート・インターフェース
パラレル・ポート制御信号
パラレル・ポート・データ
パラレル・ポート・ステータス信号

■ DC特性

（$T_a=0\sim70$℃，$V_{CC}=5V\pm5\%$）

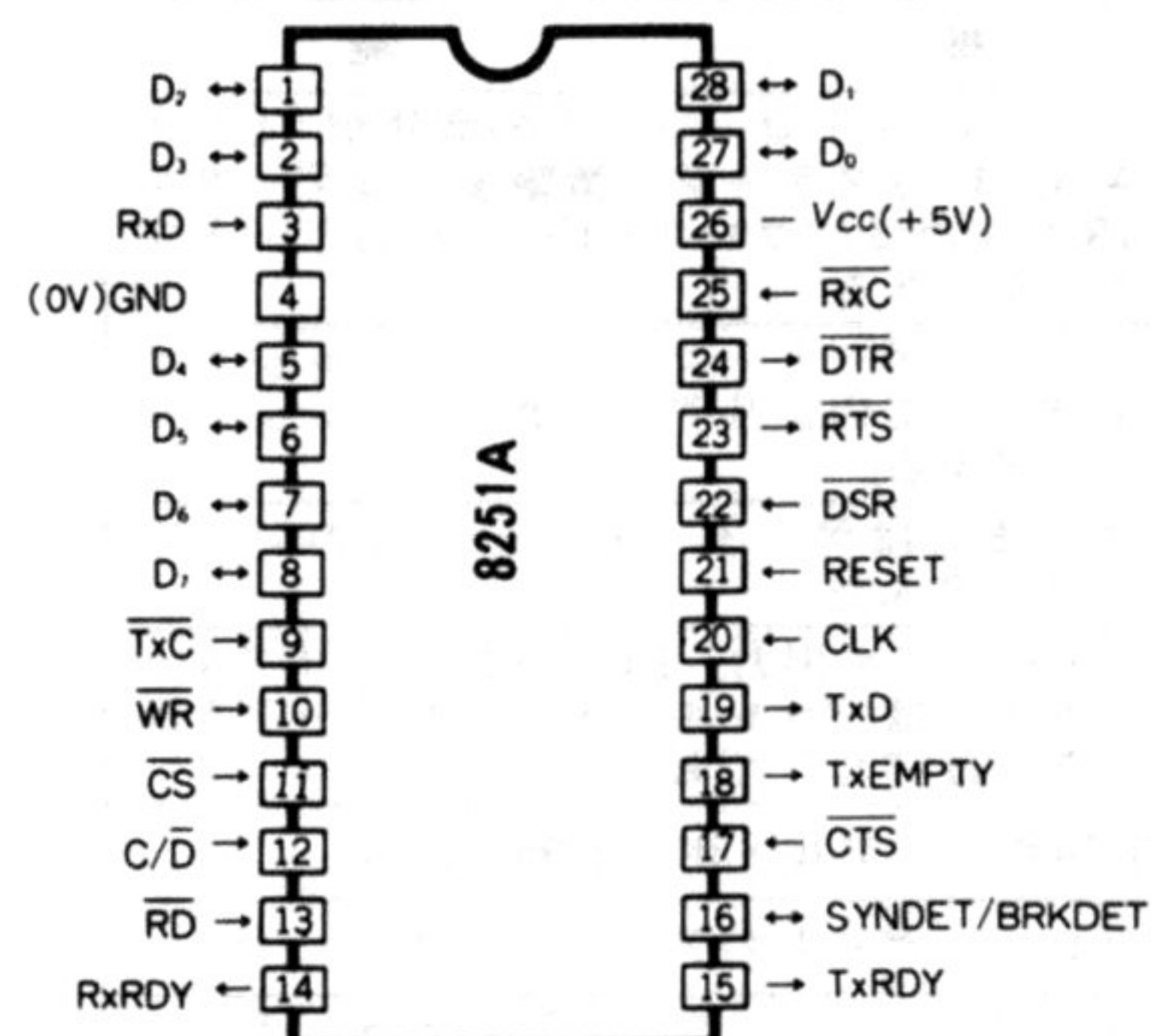
記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}		0.4	V
V_{OH}		2.4*	V
I_{OL}		±10	μA
I_{IL}	$V_{IN}=0, V_{CC}$	±10	μA
C_{IN}		10	pF

■ 端子機能

端子名	ピン番号	入出力	機能
EXTEND	1	入力	このピンが0にセットされると，拡張モードが選択される．拡張モードでは，パラレル・データは8ビット・パラレルの双方向インターフェースになる
X_{in}	4	入力	外部クロック入力．メイン・タイミング基準をUARTに接続する
D_0～D_7	14～21	入出力	CPUデータ・バス
$\overline{RTS}$	24	出力	送信要求．“L”のとき，UARTがデータを送出する準備ができていることをモデムまたはデータ・セットに知らせる
$\overline{DTR}$	25	出力	データ・ターミナル・レディ．“L”のとき，$\overline{DTR}$はUARTがデータを受信する準備ができていることをモデムまたはデータ・セットに知らせる
SOUT	26	出力	シリアル・データ出力
$\overline{CTS}$	28	入力	送信許可．“L”のとき，モデムまたはデータ・セットがデータを受信する準備ができていることを示す
$\overline{DCD}$	29	入力	受信キャリア検出．“L”のとき，モデムまたはデータ・セットがデータ・キャリアを検出したことを示す
$\overline{RI}$	30	入力	リング・インジケータ．“L”のとき，モデムまたはデータ・セットが電話リング信号を検出したことを示す
$\overline{DSR}$	31	入力	データ・セット・レディ．“L”のとき，モデムまたはデータ・セットがUARTで通信リンクおよび転送データをセットする準備ができていることを示す
$\overline{CSSE}$	32	入力	シリアル・ポート・セレクト．この信号が“L”のとき，シリアル・ポートがセレクトされる
$\overline{CSPA}$	38	入力	パラレル・ポート・セレクト．この信号が“L”のとき，パラレル・ポートが選択される
A_0～A_2	35～33	入力	CPUのアドレス・バス
$\overline{IOW}$	36	入力	I/Oライト・ストローブ．この信号が“L”のとき，CPUはデータをUARTまたはパラレル・ポートにライトすることができる
$\overline{IOR}$	37	入力	I/Oリード・ストローブ．この信号が“L”のとき，CPUはステータス情報またはデータをUARTまたはパラレル・ポートからリードすることができる
RESET	39	入力	パラレル・ポート・コントロール・レジスタおよびすべてのシリアル・ポート・レジスタをクリアする
SIN	41	入力	モデムまたはデータ・セットからのシリアル・データ入力
PEND	44	出力	バス・バッファ出力．PENDは，シリアル・ポートまたはパラレル・ポートがリードされるときには“L”である
INTAT	45	出力	AT用のシリアル・ポート割り込み
PD_0～PD_7	53～46	入出力	パラレル・ポートのデータ・バス
$\overline{STROBE}$	55	入出力	プリンタ・ストローブ．“L”のとき，データをプリンタにクロック出力する
$\overline{AUTOFD}$	56	入出力	プリンタ自動給紙．“L”のとき，各々の行がプリントされた後でライン・フィードを行う
$\overline{INIT}$	57	入出力	プリンタの初期化．“L”のとき，プリンタは初期化ルーチンを開始する
$\overline{SLIN}$	58	入出力	プリンタ・セレクト．“L”のとき，プリンタを選択する
IRQ7AT	59	出力	AT用のパラレル・ポート割り込み
ALE	62	入力	アドレス・ラッチ・イネーブル．アクティブ“H”
$\overline{ERROR}$	63	入力	プリンタ・エラー．“L”のときプリンタ・エラーを示す
SLCT	65	入力	プリンタ・セレクテッド．“H”のときプリンタを選択されていることを示す
BUSY	66	入力	プリンタ・ビジィ．“H”のときプリンタがデータを受け入れることができないことを示す
PE	67	入力	用紙の終わり．“H”のときプリンタが用紙の終わりを検出したことを示す
ACK	68	入力	プリンタ・アクノリッジ．“H”のときプリンタがデータを受信したことを示す

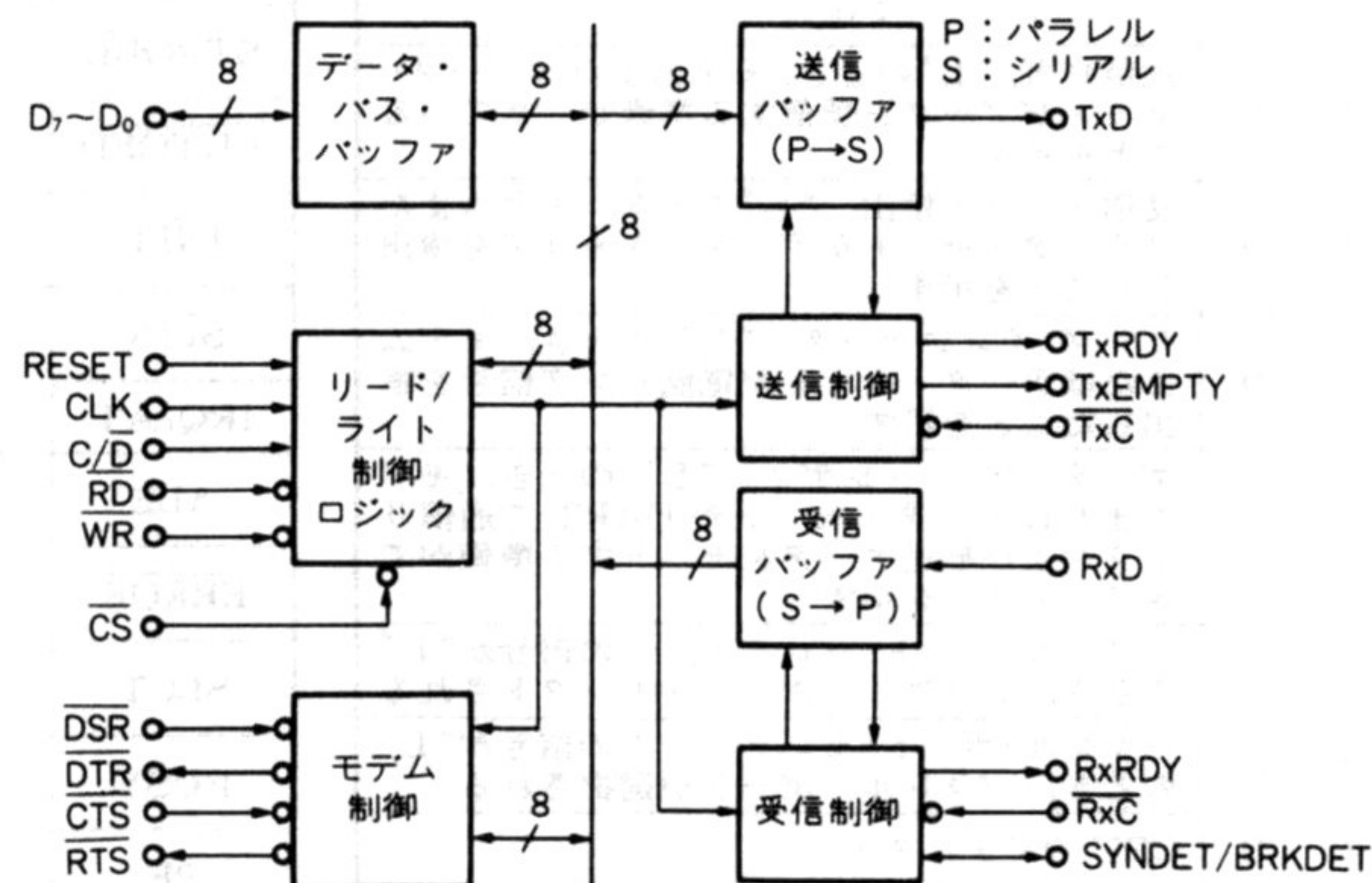
USART〔Universal Synchronous Asynchronous Receiver Transmitter〕

■ ピン接続

8251A

左側	ピン	ピン	右側
D₂ ↔	1	28	↔ D₁
D₃ ↔	2	27	↔ D₀
RxD →	3	26	— Vcc(+5V)
(0V)GND	4	25	← $\overline{RxC}$
D₄ ↔	5	24	→ $\overline{DTR}$
D₅ ↔	6	23	→ $\overline{RTS}$
D₆ ↔	7	22	← $\overline{DSR}$
D₇ ↔	8	21	← RESET
$\overline{TxC}$ →	9	20	← CLK
$\overline{WR}$ →	10	19	→ TxD
$\overline{CS}$ →	11	18	→ TxEMPTY
C/$\overline{D}$ →	12	17	← $\overline{CTS}$
$\overline{RD}$ →	13	16	↔ SYNDET/BRKDET
RxRDY ←	14	15	→ TxRDY

■ 特　徴

・プログラマブルに，非同期／同期通信のいずれも選択することができる
・同期式では5〜8ビット・キャラクタの処理，内部／外部キャラクタ同期を選択できる
・ＢＳＣに対応し，自動ＳＹＮキャラクタ挿入ができる
・伝送速度
　同期：ＤＣ〜５６Ｋｂｉｔ／ｓｅｃ
　非同期：ＤＣ〜１９．２Ｋｂｉｔ／ｓｅｃ
・全二重，ダブル・バッファ方式による送受信バッファをもっている
・エラー検出としてパリティ，オーバラン，フレーミング・エラーがある
・非同期モードでは，５〜８ビット・キャラクタ，ストップ・ビット１，１．５，２などの使用選択ができる
・ブレーク・キャラクタ送出ができる
・８ビット，１６ビットＣＰＵと容易に接続できる

■ ブロック図

P：パラレル
S：シリアル

D₇〜D₀ — データ・バス・バッファ — 送信バッファ (P→S) — TxD
リード/ライト制御ロジック: RESET, CLK, C/$\overline{D}$, $\overline{RD}$, $\overline{WR}$, $\overline{CS}$
送信制御: TxRDY, TxEMPTY, $\overline{TxC}$
受信バッファ (S→P): RxD
モデム制御: $\overline{DSR}$, $\overline{DTR}$, $\overline{CTS}$, $\overline{RTS}$
受信制御: RxRDY, $\overline{RxC}$, SYNDET/BRKDET

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜+7.0	V
入力電圧	V_{IN}	−0.5〜+7.0	V
動作温度	T_{OPR}	0〜+70	℃
保存温度	T_{STG}	−65〜+150	℃

■ DC特性

記号	測 定 条 件	min	max	単位
V_{IH}		2.0	V_{CC}	V
V_{IL}		−0.5	0.8	V
V_{OH}	$I_{OH}=-0.4$mA	2.4		V
V_{OL}	$I_{OL}=-2.2$mA		0.45	V
V_{CC}		−0.5	7	V
I_{CC}	全出力"H"		100	mA

■ 端子機能

<table>
<tr><th>端子名</th><th>ピン番号</th><th>入出力</th><th>機能</th></tr>
<tr><td>CLK</td><td>20</td><td>入力</td><td>メイン・クロックでありRxC，TxCの4.5倍以上の周波数でなくてはならない（×1モードは30倍以上）</td></tr>
<tr><td>RESET</td><td>21</td><td>入力</td><td>マスタ・リセット，システム・クロックの6サイクル分のパルス幅が必要</td></tr>
<tr><td>$\overline{CS}$</td><td>11</td><td>入力</td><td rowspan="4">
<table>
<tr><th></th><th>データ WRITE</th><th>データ READ</th><th>コマンド WRITE</th><th>ステータス READ</th><th colspan="2">ハイ・インピーダンス</th></tr>
<tr><td>$\overline{CS}$</td><td>L</td><td>L</td><td>L</td><td>L</td><td>L</td><td>H</td></tr>
<tr><td>C/$\overline{D}$</td><td>L</td><td>L</td><td>H</td><td>H</td><td>×</td><td>×</td></tr>
<tr><td>$\overline{WR}$</td><td>L</td><td>H</td><td>L</td><td>H</td><td>H</td><td>×</td></tr>
<tr><td>$\overline{RD}$</td><td>H</td><td>L</td><td>H</td><td>L</td><td>H</td><td>×</td></tr>
</table>
$\overline{WR}$=$\overline{RD}$“L”は禁止</td></tr>
<tr><td>C/$\overline{D}$</td><td>12</td><td>入力</td></tr>
<tr><td>$\overline{WR}$</td><td>10</td><td>入力</td></tr>
<tr><td>$\overline{RD}$</td><td>13</td><td>入力</td></tr>
<tr><td>$\overline{DTR}$, $\overline{RTS}$, $\overline{DSR}$</td><td>24，23，22</td><td>出力，出力，入力</td><td>RS-232Cの信号に対応する入出力信号。使用しない場合は，たんなるI/O信号（自由に使える）</td></tr>
<tr><td>$\overline{CTS}$</td><td>17</td><td>入力</td><td>“H”であると送信回路はディセーブル</td></tr>
<tr><td>TxD</td><td>19</td><td>出力</td><td>シリアル出力</td></tr>
<tr><td>TxRDY</td><td>15</td><td>出力</td><td>次のデータを書き込めることを示す（データを書き込むと“L”となる）Txディセーブルにするとマスクされて“H”とならない</td></tr>
<tr><td>TxEMPTY</td><td>18</td><td>出力</td><td>すべてのデータが送出し終わったことを示す（データを書き込むと“L”となる）</td></tr>
<tr><td>$\overline{TxC}$</td><td>9</td><td>入力</td><td>送信クロック</td></tr>
<tr><td>RxD</td><td>3</td><td>入力</td><td>シリアル入力</td></tr>
<tr><td>RxRDY</td><td>14</td><td>出力</td><td>データが全ビット受信終了し，読み出せることを示す（データを読み出すと“L”となる）</td></tr>
<tr><td>$\overline{RxC}$</td><td>25</td><td>入力</td><td>受信クロック</td></tr>
</table>

<table>
<tr><th>端子名</th><th>ピン番号</th><th>入出力</th><th>機能</th></tr>
<tr><td>SYNDET
（同期モード）</td><td rowspan="2">16</td><td>入出力</td><td>内部SYNC(O)所定のSyncキャラクタ検出で“H”，ステータス読み出しで“L”
外部SYNC(I)$\overline{RxC}$ 1サイクル以上の入力で同期検出モードから抜ける</td></tr>
<tr><td>BRKDET
（非同期モード）</td><td>出力</td><td>ブレーク状態検出，1ワード分のスペース入力で“H”となり，マーク入力あるいはRESETで“L”となる（×1モードでは2ワードのスペース入力で“H”となる）</td></tr>
</table>

BSPSC (Boundary Scan Parallel Serial Converter)

■ピン接続

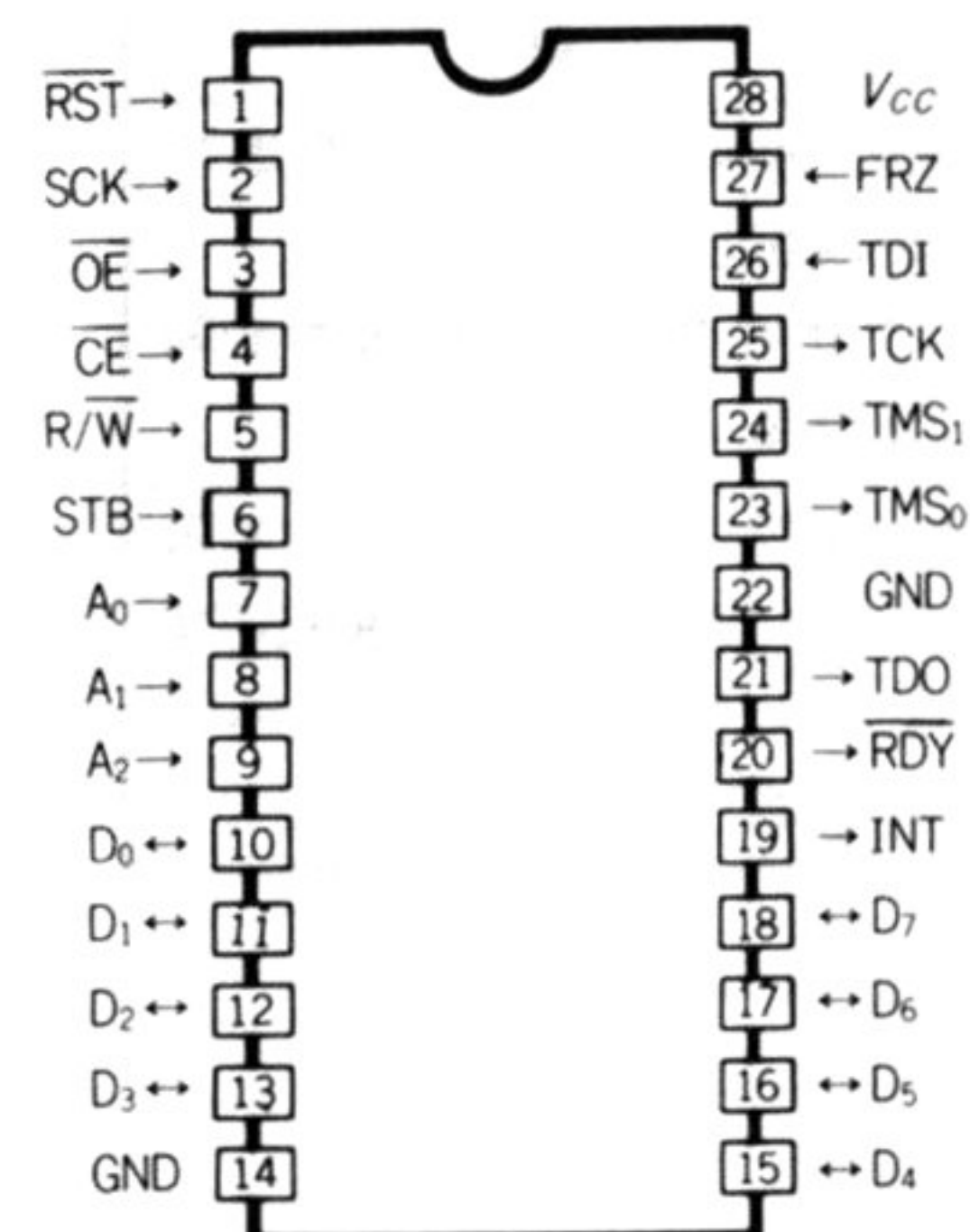
ピン	信号	ピン	信号
1	$\overline{RST}$ →	28	V_{CC}
2	SCK →	27	← FRZ
3	$\overline{OE}$ →	26	← TDI
4	$\overline{CE}$ →	25	→ TCK
5	R/$\overline{W}$ →	24	→ TMS_1
6	STB →	23	→ TMS_0
7	A_0 →	22	GND
8	A_1 →	21	→ TDO
9	A_2 →	20	→ $\overline{RDY}$
10	D_0 ↔	19	→ INT
11	D_1 ↔	18	↔ D_7
12	D_2 ↔	17	↔ D_6
13	D_3 ↔	16	↔ D_5
14	GND	15	↔ D_4

■最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～7.0	V
入力電圧	V_{IN}	−0.5～V_{CC}+0.5	V
動作温度	T_{OPR}	−40～85	℃
保存温度	T_{STG}	−65～150	℃

■DC特性

(T_a＝−40～85℃, V_{CC}＝5 V±10％)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝24 mA	0.44	V
V_{OH}	I_{OH}＝24 mA	3.76*	V
I_{OFL}	V_{OUT}＝0～V_{CC}	±5	μA
I_{IL}	V_{IN}＝0～V_{CC}	±1	μA

■特　徴

- 並列プロセッサに直列スキャン・テスト・バスを接続するためのインターフェース
- IEEE規格1149.1(JTAG)テスト・アクセス・ポートおよびバウンダリ・スキャン・アーキテクチャとコンパチブル
- 最高2本までの1149.1スキャン・リングとのインターフェース
- テスト・データ入力ポートにおける16ビット直列シグネチャ・コンパクション（ＳＳＣ）
- テスト・データ出力ポートにおける擬似ランダム・パターンの自動発生

■ブロック図

■端子機能

端子名	ピン番号	入出力	機能
$\overline{RTS}$	1	入　力	リセット・ピンは非同期入力であり，ローのとき'PSC100を起動する．モード・ビット，シフタ/バッファおよびCNT32制御ロジック，TCK制御，およびPPIはすべて定義された状態で起動される．$\overline{RST}$は改善されたノイズ耐性のためヒステリシス特性をもっている．
SCK	2	入　力	システム・クロックは内部タイミングをすべて駆動する．またTCKはSCKをゲートまたはバッファで遅延させた信号．SCKは改善されたノイズ耐性のためヒステリシス特性をもっている．
$\overline{OE}$	3	入　力	出力イネーブルはハイのときすべてのSSI出力をTRI-STATE®出力にする．この信号がフロート状態のとき，出力を自動的にTRI-STATE®出力するため，20kΩののプル・アップ抵抗が接続されている．
$\overline{CE}$	4	入　力	チップ・イネーブルはローのときバイト転送のためPPIをイネーブルにする．D(7：0)および$\overline{RDY}$は$\overline{CE}$がハイであればTRI-STATE®出力する．$\overline{CE}$は改善されたノイズ耐性のためヒステリシス特性をもっている．
R/$\overline{W}$	5	入　力	読み出し/書き込みはPPIサイクルを定義し，ハイであれば読み出しを，ローであれば書き込みを行う．R/$\overline{W}$は改善されたノイズ耐性のためヒステリシス特性をもっている．
STB	6	入　力	ストローブはすべてのPPIバイト転送のタイミングをとるため使う．D(7：0)はSTBがハイのときTRI-STATE®出力する．すべての他のPPI入力はこの信号に対して，指定されたセットアップ期間およびホールド期間に合致しなければならない．STBは改善されたノイズ耐性のためヒステリシス特性をもっている．
A_0～A_2	7～9	入　力	このアドレス・ピンは書き込みするか，または読み出しのために，レジスタを選択する目的に使う．
D_0～D_7	10～13, 15～18	入出力	双方向性ピンは'PSC100との間で並列データの転送に使う．
INT	19	出　力	割り込みは定義された割り込みイベントのため，ホスト割り込みをトリガするのに使う．INTはアクティブ・ハイ．
$\overline{RDY}$	20	出　力	レディはホストと'PSC100との間の非同期バイト転送を同期するのに使う．$\overline{RDY}$はアドレスされたレジスタがアクセス可能なことを通知する．$\overline{RDY}$はCEがローのときイネーブルされる．
TDO	21	出　力	テスト・データ出力は'PSC100からの直列スキャン出力．TDOは$\overline{OE}$がローのときイネーブルされる．
TMS_0, TMS_1	23，24	出　力	テスト・モード選択ピンはUUTにテスト・モード切り替え信号を供給するための直列出力．TMS(1：0)は$\overline{OE}$がローのときイネーブルされる．
TCK	25	出　力	テスト・クロック出力はUUTに分配するためSCKをバッファリングした信号．TCKは$\overline{OE}$がローのときイネーブルされる．
TDI	26	入　力	テスト・データ入力はPSIへの直列スキャン入力．UUTからのTDOラインがフロート状態のとき，TDIを強制的に論理1にするため20kΩのプル・アップ抵抗が接続されている．
FRZ	27	入　力	フリーズ・ピンはTCK上にユーザ固有パルスの発生に使う．FRZイネーブル・モード・ビットがセットされているとき，FRZがハイになれば，TCK出力を強制的にハイにする．FRZは改善されたノイズ耐性のためヒステリシス特性をもっている．

UART (Universal Asynchronous Receiver Transmitter)

■ ピン接続

RF5C59

ピン	名称	ピン	名称
1	A_2	31	RxCC
2	A_1	32	RxCB
3	A_0	33	RxCA
4	C/$\overline{D}$	34	V_{cc}
5	$\overline{CS}$	35	TEST
6	D_0	36	$\overline{RESET}$
7	D_1	37	V_{cc}
8	D_2	38	$DVRD_0$
9	D_3	39	$DVRD_1$
10	D_4	40	$DVRD_2$
11	D_5	41	$\overline{DIVDEN}$
12	D_6	42	$DVRC_0$
13	D_7	43	$DVRC_1$
14	GND	44	$DVRC_2$
15	RxDA	45	$\overline{DIVCEN}$
16	RxDB	46	
17	RxDC	47	$DVRB_0$
18	RxDD	48	$DVRB_1$
19	GND	49	$DVRB_2$
20	TxDA	50	$\overline{DIVBEN}$
21	TxDB	51	$DVRA_0$
22	TxDC	52	$DVRA_1$
23	TxDD	53	$DVRA_2$
24	TxCD	54	$\overline{DIVAEN}$
25	TxCC	55	$\overline{TxRDY}$
26	TxCB	56	$\overline{RxRDY}$
27	TxCA	57	$\overline{WR}$
28	Tx_{24}	58	$\overline{RD}$
29	V_{cc}	59	CLK
30	RxCD	60	GND

■ 特　徴

・4チャネルのシリアル・ポートを内蔵したUART
・各チャネルとも全二重送受信可能
・ダブル・バッファ方式のトランスミッタ／レシーバ
・各チャネルごとに転送レートを，ハード，ソフトの両方で設定可能

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～7.0	V
入力電圧	V_{IN}	−0.3～V_{CC}+0.3	V
消費電力	P_D	0.2	W
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−40～+125	℃

■ ブロック図

■ DC特性

（T_a=0～+70℃，V_{CC}=5V±10%）

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}=4mA	0.4	V
V_{OH}	I_{OH}=4mA	2.4*	V
I_{OL}	V_{OUT}=0～V_{CC}	10	μA
I_{IL}	V_{IN}=0～V_{CC}	10	μA

■端子機能

端子名	名称	ピン番号	入出力	機能
D_0～D_7	データ・バス	6～13	入 力	このLSIとCPUとの間でコマンド，データとステータスの転送に使われる双方向3ステート・データ・バス
$\overline{RESET}$	リセット	36	入 力	リセット入力．“L”アクティブ
$\overline{CS}$	チップ・セレクト	5	入 力	チップ・セレクト入力．“L”アクティブ．この端子が“L”レベルのとき，CPUとデータ転送が可能
$\overline{WR}$	ライト	57	入 力	WR入力．この信号が“L”でCSが“L”のとき，D_0～D_7上のデータがこのLSIに書き込まれる
$\overline{RD}$	リード	58	入 力	RD入力．この信号が“L”でCSが“L”のとき，指定されたアドレスの内部レジスタの内容がD_0～D_7上に読み出される
C/$\overline{D}$	コントロール/データ	4	入 力	この信号は，データ・バス上のデータがコントロール情報かステータス情報かを知らせる入力
A_2～A_0	アドレス	1～3	入 力	アドレス入力
$\overline{RxRDY}$	受信レディ	56	出 力	データの受信があったことを知らせるCPUへの割り込み信号
CLK	クロック	59	入 力	システム・クロック入力
TxDA, TxDB, TxDC, TxDD	データ出力	20～23	出 力	チャネルA～Dの送受信部シリアル・データ出力
RxDA, RxDB RxDC, RxDD	データ入力	15～18	入 力	チャネルA～Dの受信部シリアル・データ入力
V_{CC}	電源	29, 34, 37	—	＋5V電源
GND	グラウンド	14, 19, 60	—	グラウンド
$\overline{TxRDY}$	送信レディ	55	出 力	データの送信が可能なことを知らせるCPUへの割り込み信号
Tx_{24}	分周信号	28	出 力	CLK入力の1/24分周出力
$\overline{DIVAEN}$ $\overline{DIRA_2～DVRA_0}$ $\overline{DIVBEN}$ $\overline{DVRB_2～DVRB_0}$ $\overline{DIVCEN}$ $\overline{DVRC_2～DVRC_0}$ $\overline{DIVDEN}$ DVRD₂～DVRD₀	設定入力	54～38	入 力	転送レイトのハードウェアによる設定入力．$\overline{DIV*EN}$が“L”のときは，対応するポートの転送レイトは$DVR*_2$ $DVR*_1$ $DVR*_0$の入力状態で決まる．$\overline{DIV*EN}$が“H”のときはインストラクション・レジスタ4，5に書き込まれるデータによって転送レイトが決まる
TxCA,TxCB TxCC, TxCD	送信クロック	27～24	出 力	各ポートの送信時の転送クロック出力．送信データはこのクロックの立ち下がりに同期して出力される
RxCA,RxCB RxCC, RxCD	受信クロック	33～30	出 力	各ポートの受信時の転送クロック出力．スタート・ビットの立ち下がりに同期してフレーム同期がとられる
TEST	テスト	35	入 力	“H”アクティブでテスト・モードになる

ACI (Asynchronous Communication Interface)

■ ピン接続

STC9610F

■ 特　徴

・86系CPU用の非同期式データ伝送用LSI
・8250A／Bと機能コンパチブルで，IBM PC－XT／ATシステム・バスとのインターフェース機能をすべて内蔵
・8ビット×16のアドレス制御レジスタをもつ
・豊富なアドレッシング・モード
　アドレス・デコーダ機能
　アドレス・データ分離機能
　外部アドレス・デコーダ出力による制御可能
・300／110bpsボーレイト・ジェネレータ内蔵
・プロトコル・コントローラの拡張入力機能内蔵（5本）
・プロトコル・コントローラのスタンバイ制御機能内蔵

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	－0.3～7.0	V
入力電圧	V_{IN}	－0.3～V_{CC}+0.3	V
消費電力	P_D	0.1	W
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	－65～150	℃

■ DC特性

(T_a＝0～70℃，V_{CC}＝5V±10%)

記号	測定条件	max/min*	単位
V_{IL}		0.6	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝6mA	0.4	V
V_{OH}	I_{OH}＝2mA	V_{CC}－0.4*	V
I_{OL}	V_{OUT}＝0, 5.5V	±1	μA
I_{IL}	V_{IN}＝0, 5.5V	±1	μA

■ ブロック図

■端子機能

端子名	ピン番号	入出力	機能
$\overline{DEN}$	1	入 力	ホスト側がマルチプレクス・バスである場合に，バス上のデータが有効であることを示す信号$\overline{DEN}$を入力する
A_0～A_9	2～11	入 力	ホスト側への入力端子
V_{SS1}, V_{SS2}, V_{SS3}	12, 34, 69	—	V_{SS}電源端子 0 V
HIGHZ	13	—	ホストCPUの上位アドレス（A_{15}～A_{10}）のデコード結果を使用する場合の入力端子
RESET	14	入 力	ホスト側のリセット信号を入力する
ALE	15	入 力	ホスト側がマルチプレクス・バスである場合にアドレスのラッチ・タイミングの入力
INT_2	16	出 力	3ステート出力
INT_1	17	出 力	3ステート出力. IBM PCをホストにする場合は，IRQ_4に接続する
INT_3	18	出 力	ホスト側への割り込み信号を出力
CLK	19	入 力	システム・クロックを入力
$\overline{IOR}$	20	入 力	リード信号を入力
$\overline{IOW}$	21	入 力	ライト信号を入力
AEN	22	入 力	DMAコントローラがバスを使用していることを示す信号AENを入力する
$\overline{TST_0}$, $\overline{TST_1}$, $\overline{TST_2}$, $\overline{TST_3}$	23, 24, 35, 71	入 力	LSI試験用入力端子
V_{DD2}, V_{DD1}	25, 53	—	V_{CC}電源端子＋5 V
D_0～D_7	26～33	入出力	データ・バスに接続
$\overline{IN_5}$, $\overline{IN_4}$, $\overline{IN_3}$～$\overline{IN_1}$	36, 44, 62～64	入 力	プロトコル・コントローラの拡張入力ポートとして使用できる
RING	37	入 力	着信検出信号
$\overline{CKGE_2}$, $\overline{CKGE_1}$,	38, 40	入 力	内蔵ボーレイト・ジェネレータのイネーブル端子
RxDL	39	入 力	Low Speedモデルの受信データを入力
ST	41	入 力	同期モデムの送信クロックを入力する
RT	42	入 力	同期モデムの受信クロックを入力する
RxDH	43	入 力	High Speedモデルの受信データを入力する
$\overline{SS}$	45	入 力	スタンバイ解除割り込みの禁止用入力
$\overline{T_0}$	49	出 力	スタンバイ解除割り込みを発生する
$\overline{STNBY}$	74	入 力	スタンバイ制御信号
$\overline{STNEN}$	75	入 力	STNBYレジスタ書き込み用クロックを入力
$\overline{OUT1R}$	46	出 力	リセット信号を出力する
$\overline{RESET}$	47	出 力	リセット信号を出力する
RxC	48	出 力	High SpeedモードではRTへの入力をそのまま出力する. Low Speedモードでは内蔵ボーレイト・ジェネレータで生成される受信クロックを出力する
CLKS	50	入 力	プロトコル・コントローラのクロックを入力
TxC	51	出 力	High Speedモードでは，STへの入力をそのまま出力する. Low Speedモードでは，内蔵ボーレイト・ジェネレータで生成される送信クロックを出力する
RxD	52	出 力	High Speedモードでは，RxDHへの入力を出力する. Low Speedモードでは，RxDLへの入力を出力する
PO_7～PO_0	54～61	入出力	プロトコル・コントローラのアドレス・データ・バスに接続する
OUT_2	65	出 力	OUT_2の値を出力する
OUT_1	66	出 力	OUT_1の値を出力する
ALES	68	入 力	プロトコル・コントローラからのアドレス・ラッチ・タイミング信号を入力する
$\overline{WRS}$	69	入 力	ライト信号を入力する
$\overline{RDS}$	70	入 力	リード信号を入力する
SRS	72	入 力	ホスト側からアクセスする場合のアドレス7のレジスタを，スクラッチ・レジスタとして使うか，スピード・インジケータ・レジスタとして使うかを選択する
$\overline{SLCTD}$	73	出 力	IBM PC-XTのハーフ・スロットで使用する場合に必要となる
DCDC	76	入 力	ホスト側でモデム・ステータス・レジスタをリードしたときに出力されるビット7の値を制御する
DTRC	77	入 力	プロトコル・コントローラ側で，コントロール・レジスタ3をリードしたときに出力されるビット6の値を制御する
$\overline{CE}$	78	入 力	外部アドレス・デコーダを使用する場合，デコード結果を入力する
ADE	79	入 力	内蔵アドレス・デコーダのイネーブル端子
COM	80	入 力	アドレス・デコーダのデコード・アドレスの指定および割り込み信号を出力する端子の選択を行う

DART (Dual Asynchronous Receiver/Transmitter)

■ピン接続

ピン	信号	ピン	信号
1	D1 ↔	40	↔ D0
2	D3 ↔	39	↔ D2
3	D5 ↔	38	↔ D4
4	D7 ↔	37	↔ D6
5	$\overline{\text{INT}}$ ←	36	← $\overline{\text{IORQ}}$
6	IEI →	35	← $\overline{\text{CE}}$
7	IEO ←	34	← B/$\overline{\text{A}}$
8	$\overline{\text{MI}}$ →	33	← C/$\overline{\text{D}}$
9	V_{CC} (+5V)	32	← $\overline{\text{RD}}$
10	$\overline{\text{W/RDYA}}$ ←	31	GND (0V)
11	$\overline{\text{RIA}}$ →	30	→ $\overline{\text{W/RDYB}}$
12	RxDA →	29	← $\overline{\text{RIB}}$
13	$\overline{\text{RxCA}}$ →	28	← RxDB
14	$\overline{\text{TxCA}}$ →	27	← $\overline{\text{RxTxCB}}$
15	TxDA ←	26	→ TxDB
16	$\overline{\text{DTRA}}$ ←	25	→ $\overline{\text{DTRB}}$
17	$\overline{\text{RTSA}}$ ←	24	→ $\overline{\text{RTSB}}$
18	$\overline{\text{CTSA}}$ →	23	← $\overline{\text{CTSB}}$
19	$\overline{\text{DCDA}}$ →	22	← $\overline{\text{DCDB}}$
20	CLK →	21	← $\overline{\text{RESET}}$

Z8470

■特　徴

・独立した二つの全二重同期式の通信の処理機能をもっている
・それぞれ独立してモデムの制御およびモニタができる
・通信速度は0～500Kbit／sec（2.5MHz），0～800Kbit／sec（4MHz）となっている・シリアル・データのフォーマットをプログラマブルに設定することができる
・ブレーク信号の送出，検出ができる
・パリティ，オーバラン，フレーミング・エラーを検出する
・Z80のデイジィ・チェーン割り込み制御機能をもつ
・割り込みベクトルの仕様をプログラマブルに設定できる

■ブロック図

■最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～+7.0	V
入力電圧	V_{IN}	−0.3～+7.0	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−65～+150	℃

■DC特性（T_a＝0～+70，V_{CC}＝+5V ±5%）

記号	測 定 条 件	min	max	単位
V_{ILC}		−0.3	+0.45	V
V_{IHC}		V_{CC}−0.6	+5.5	V
V_{IL}		−0.3	+0.8	V
V_{IH}		+2.0	+5.5	V
V_{OL}	I_{OL}＝2.0mA		+0.4	V
V_{OH}	I_{OH}＝−250μA	+2.4		V
I_L	$0.4<V<2.4$V	−10	+10	μA
$I_{L(RI)}$	$0.4<V<2.4$V	−40	+10	μA
I_{CC}			100	mA

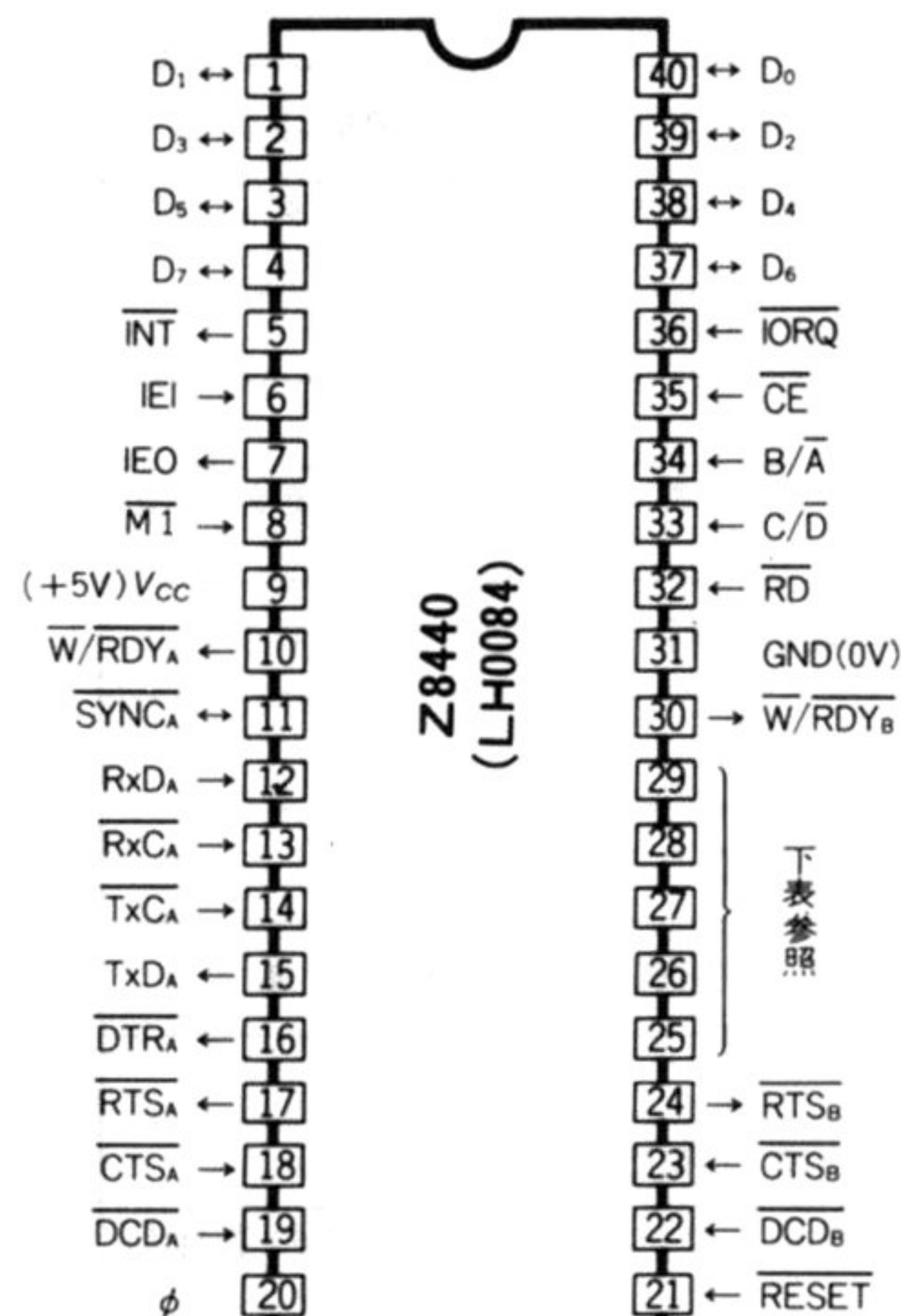
■端子の機能

端子名	名　　称	ピン番号	入出力	機　　能
B/$\overline{A}$	チャネル・セレクト	34	入　力	Channel A or B Select. チャネルA, Bの選択. "H"でB, "L"でAのチャネルが選択される
C/$\overline{D}$	コントロール/データ	33	入　力	Control or Data Select. "H"でコントロール. "L"でデータ. 制御レジスタおよびデータ・レジスタの選択を行う
$\overline{CE}$	チップ・イネーブル	35	入　力	Chip Enable. "L"でDARTが選択される. アドレス・デコーダの出力を接続する
CLK	クロック	20	入　力	(System)Clock. Z80のシステム・クロックを接続する
$\overline{CTSA}$, $\overline{CTSB}$	送信可	18, 23	入　力	Clear To Send. モデムの制御信号. モデムの送信可を検出する. チャネルA, Bにそれぞれ独立にもっている
D_0～D_7	データ・バス	40～37, 1～4	入出力	(System)Data bus. CPUのデータ・バスに接続し, データの受け渡しを行う. 双方向で3ステート
$\overline{DCDA}$, $\overline{DCDB}$	受信可	19, 22	入　力	Data Carrier Detect. モデム制御信号. キャリアを検出する
$\overline{DTRA}$, $\overline{DTRB}$	データ・ターミナル・レディ	16, 25	出　力	Data Terminal Ready. モデム制御信号. DARTが送受信可能であることを示す
IEI IEO	割り込みイネーブル入出力	6, 7	入　力, 出　力	Interrupt Enable In. Z80の割り込みのデイジィ・チェーンによる優先順位判定に利用する
$\overline{INT}$	割り込み要求	5	出　力	Interrupt Request. CPUに対して割り込み要求を出す
$\overline{M1}$	コントロール信号	8	入　力	コントロール・バスのM1に接続する. 割り込みベクトル送出のときに利用される
$\overline{IORQ}$	I/O要求	36	入　力	I/O Request. 入出力デバイスに対する読み書きのときに"L"になる. コントロール・バスのIORQに接続する
$\overline{RxCA}$, $\overline{RxCB}$	受信クロック	13, 27	入　力	Receiver Clock. レシーブ・データ受信用のクロック信号を入力する. チャネルBについては, TxCBと同一端子になっている
$\overline{RD}$	読み出し	32	入　力	Read. サイクル・ステータス, メモリまたはI/Oからのリード操作を行うときに"L"になる
RxDA, RxDB	受信データ	12, 28	入　力	Receive Data. 直列の受信データが, この端子から受信される
$\overline{RESET}$	リセット	21	入　力	リセット端子
$\overline{RIA}$, $\overline{RIB}$	リング・インジケータ	11, 29	入　力	Ring Indicator. モデム制御信号
$\overline{RTSA}$, $\overline{RTSB}$	送信要求	17, 24	入　力	Request to Send. モデム制御信号. 送信を要求する
$\overline{TxCA}$, $\overline{TxCB}$	送信クロック	14, 27	入　力	Transmitter Clock. 送信用のタイミングをとるためのクロック. チャネルBについては, $\overline{RxCB}$と同一端子になっている
TxDA, TxDB	送信データ	15, 26	出　力	Transmitter Data. 送信データ
$\overline{W/RDYA}$, $\overline{W/RDYB}$	ウェイト/レディ	10, 30	出　力	Wait/Ready. レディ：DMA制御に使用. ウェイト：CPUとの同期をとるために用いる

SIO (Serial Input/Output Controller)

■ ピン接続

Z8440 (LH0084)

信号	ピン	ピン	信号
D_1 ↔	1	40	↔ D_0
D_3 ↔	2	39	↔ D_2
D_5 ↔	3	38	↔ D_4
D_7 ↔	4	37	↔ D_6
$\overline{INT}$ ←	5	36	← $\overline{IORQ}$
IEI →	6	35	← $\overline{CE}$
IEO ←	7	34	← $B/\overline{A}$
$\overline{M1}$ →	8	33	← $C/\overline{D}$
(+5V) V_{CC}	9	32	← $\overline{RD}$
$\overline{W/RDY_A}$ ←	10	31	GND(0V)
$\overline{SYNC_A}$ ↔	11	30	→ $\overline{W/RDY_B}$
RxD_A →	12	29	下表参照
$\overline{RxC_A}$ →	13	28	下表参照
$\overline{TxC_A}$ →	14	27	下表参照
TxD_A ←	15	26	下表参照
$\overline{DTR_A}$ ←	16	25	下表参照
$\overline{RTS_A}$ ←	17	24	→ $\overline{RTS_B}$
$\overline{CTS_A}$ →	18	23	→ $\overline{CTS_B}$
$\overline{DCD_A}$ →	19	22	← $\overline{DCD_B}$
ϕ	20	21	← $\overline{RESET}$

モデム制御信号のパターンによって，3種類のパッケージがある

ボンディング・オプション			
ピン番号	SIO/0	SIO/1	SIO/2
29	↔$\overline{SYNC_B}$	↔$\overline{SYNC_B}$	←RxD_B
28	←RxD_B	←RxD_B	←$\overline{RxC_B}$
27	←$\overline{RxTxC_B}$	←$\overline{RxC_B}$	←$\overline{TxC_B}$
26	→TxD_B	←$\overline{TxC_B}$	→TxD_B
25	→$\overline{DTR_B}$	→$\overline{TxD_B}$	→$\overline{DTR_B}$

■ 特　徴

- 独立した二つの全二重チャネル
- Ｚ８０モード２割り込み可
- 調歩同期，同期，ＳＤＬＣ，ＨＤＬＣ対応可能
- ０～８８０Ｋｂｉｔ／ｓｅｃ転送レート
- 受信レジスタは３段ＦＩＦＯ内蔵
- ２種のＣＲＣ生成回路内蔵
- モデム制御線は，単なるビットＩ／Ｏとして使用可
- ＣＰＵまたはＤＭＡＣへＷＡＩＴ／Ｒｅａｄｙ信号出力可
- ボーレイト・クロックは，デューティ比の自由度が高い（”Ｈ”または”Ｌ”のパルス幅が１８０ｎｓ以上）
- ＣＴＣの出力を直接ボーレイト・クロックに使用可

■ ブロック図

データ・バス 8
制御線 5
+5V　GND　ϕ
CPU バス入出力
内部制御 ロジック
チャネルA 読み出し/書き込み レジスタ
割り込み制御 ロジック
チャネルB 読み出し/書き込み レジスタ
内部バス
$\overline{INT}$　IEI　IEO
割り込み制御線
チャネル A
シリアル・データ
送受信クロック
$\overline{SYNC}$
$\overline{WAIT/READY}$
ディスクリート制御および ステータス回路 (チャネルA)
モデムもしくは汎用制御
ディスクリート制御および ステータス回路 (チャネルB)
モデムもしくは汎用制御
チャネル B
シリアル・データ
送受信クロック
$\overline{SYNC}$
$\overline{WAIT/READY}$

■ 最大定格

項　目	記号	定　格	単位
入力電圧	V_{IN}	−0.3～+7.0	V
出力電圧	V_{OUT}	−0.3～+7.0	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−65～+150	℃

■ DC特性

(T_a=0～+70℃，V_{CC}=+5V±5%)

記号	測　定　条　件	min	max	単位
V_{ILC}		−0.3	+0.45	V
V_{IHC}		$V_{CC}-0.6$	+5.5	V
V_{IL}		−0.3	+0.8	V
V_{IH}		+2.0	+5.5	V
V_{OL}	I_{OL}=2.0mA	—	+0.4	V
V_{OH}	I_{OH}=−250μA	+2.4	—	V
I_{LI}	$0 \leq V_{IN} \leq V_{CC}$	−10	+10	μA
I_Z	$0 \leq V_{IN} \leq V_{CC}$	−10	+10	μA
$I_{L(SY)}$	$0 \leq V_{IN} \leq V_{CC}$	−40	+10	μA

●ボンディング・オプションによる違い

信　号	SIO/0	SIO/1	SIO/2
SYNCB	○	○	×
DTRB	○	×	○
TxCB	共 通	単 独	単 独
RxCB	共 通	単 独	単 独

■端子の機能

端子名	名称	ピン番号	入出力	機能
D_0~D_7	データ・バス	1~4, 37~40	入出力	Z80 CPUのデータ・バスと接続し，CPUとSIO間のデータ転送に使用する
B/$\overline{A}$	チャネル選択	34	入力	SIOのAまたはBチャネルを選択．通常，CPUのアドレス線A_1を接続する
C/$\overline{D}$	制御/データ選択	33	入力	この信号は，CPUとSIOの間で転送される信号が，制御コマンドであるかデータであるかを区別する．通常，CPUのアドレス線A_0を接続する
$\overline{CE}$	チップ・イネーブル	35	入力	チップ・イネーブル信号で，アドレスをデコードした信号を接続する
ϕ	システム・クロック	20	入力	内部信号の同期をとるために使用．システム・クロックを接続する
$\overline{M1}$	マシン・サイクル1	8	入力	CPUの$\overline{M1}$信号を接続する．$\overline{IORQ}$信号とともにインタラプト・アクノリッジ信号として使用したり，RETI命令を解釈するのに用いる
$\overline{IORQ}$	入出力要求	36	入力	CPUのIORQ信号に接続する．CPUとSIO間でデータを転送する場合，B/$\overline{A}$，C/$\overline{D}$，$\overline{CD}$，および$\overline{RD}$と組み合わせて使用する
$\overline{RD}$	リード・サイクル	32	入力	CPUの$\overline{RD}$信号と接続する．$\overline{CE}$と$\overline{IORQ}$がアクティブで，かつ$\overline{RD}$もアクティブであればSIOからデータを読み出す．$\overline{CE}$と$\overline{IORQ}$がアクティブで，$\overline{RD}$が非アクティブであればSIOにデータを書き込む
$\overline{RESET}$	リセット	21	入力	SIOをリセット
IEI	割り込みイネーブル入力	6	入力	割り込みの優先順位を決めるデイジィ・チェーン回路をIEOと共に構成する．この信号が"H"のとき，SIOは割り込みを行うことができる
IEO	割り込みイネーブル出力	7	出力	IEIと共にデイジィ・チェーン回路を構成する．IEOが"L"の場合，そのデバイスあるいはそれより優先順位の高いデバイスが割り込みを実行中であることを示す
$\overline{INT}$	割り込み要求	5	出力	SIOが割り込み要求をすると"L"になる
$\overline{W/RDY_A}$, $\overline{W/RDY_B}$	ウェイト/レディ	10, 30	出力	DMAコントローラ用レディ線，またはCPUとSIO間のデータ転送速度を合わせるためのウェイト線として利用
$\overline{CTS_A}$, $\overline{CTS_B}$	送信用クリア	18, 23	入力	オート・イネーブルにSIOがプログラムされている場合，この信号をアクティブにすると対応するトランスミッタがイネーブルになる
$\overline{DCD_A}$, $\overline{DCD_B}$	キャリア検出	19, 22	入力	オート・イネーブルにSIOがプログラムされている場合，この信号をアクティブにすると対応するレシーバがイネーブルになる
RxD_A, RxD_B	受信データ	12, 28	入力	受信データ線
TxD_A, TxD_B	送信データ	15, 26	出力	送信データ線
$\overline{RxC_A}$, $\overline{RxC_B}$	レシーブ・クロック	13	入力	受信クロックで，受信データは$\overline{RxC}$の立ち上がりでサンプリングされる
$\overline{TxC_A}$, $\overline{TxC_B}$	トランスミット・クロック	14	入力	送信クロックで，送信データは$\overline{TxC}$の立ち下がりエッジで変化する
$\overline{RTS_A}$, $\overline{RTS_B}$	送信要求	17, 24	出力	書き込みレジスタ内のRTSビットをセットするとアクティブになる．SIOが送信したいときにRTSビットをセットする
$\overline{DTR_A}$, $\overline{DTR_B}$	データ端末レディ	16, 25	出力	書き込みレジスタ内のDTRビットをセットするとアクティブになる．SIOが受信できる状態になればこの信号をアクティブにする
$\overline{SYNC_A}$, $\overline{SYNC_B}$	同期信号	11, 29	入出力	外部同期通信に使用する場合，外部同期が成立したらこの信号をアクティブにする

（注）ピン番号はSIO/0を記入

ASYNC／SYNC Converter

NPC

■ピン接続

・16ピンDIP

Pin	Name	Pin	Name
1	BYPASS	16	VDD
2	EXTMD	15	TXDOUT
3	CF0	14	$\overline{TXCIN}$
4	CF1	13	RXDIN
5	XIN	12	$\overline{RXCIN}$
6	XOUT	11	TXDIN
7	$\overline{CS}$	10	RXDOUT
8	GND	9	$\overline{WR}$

NPC SM85513P

■特　徴

・ITU－T勧告V．14に準拠し，同期／非同期式信号の相互変換機能を内蔵
　－600bpsから19.2Kbpsまでの通信速度に対応
　－300bps以下の信号に対してはバイパス・モードを使用し対応
　（バイパス・モードでは同期／非同期信号の変換は行われない）
　－非同期式信号のキャラクタ・フォーマットは8から11ビットに対応
　－基本信号速度範囲および拡張信号速度範囲に対応
・システム・クロックとしてクリスタルまたは外部クロック入力の選択が可能

■ブロック図

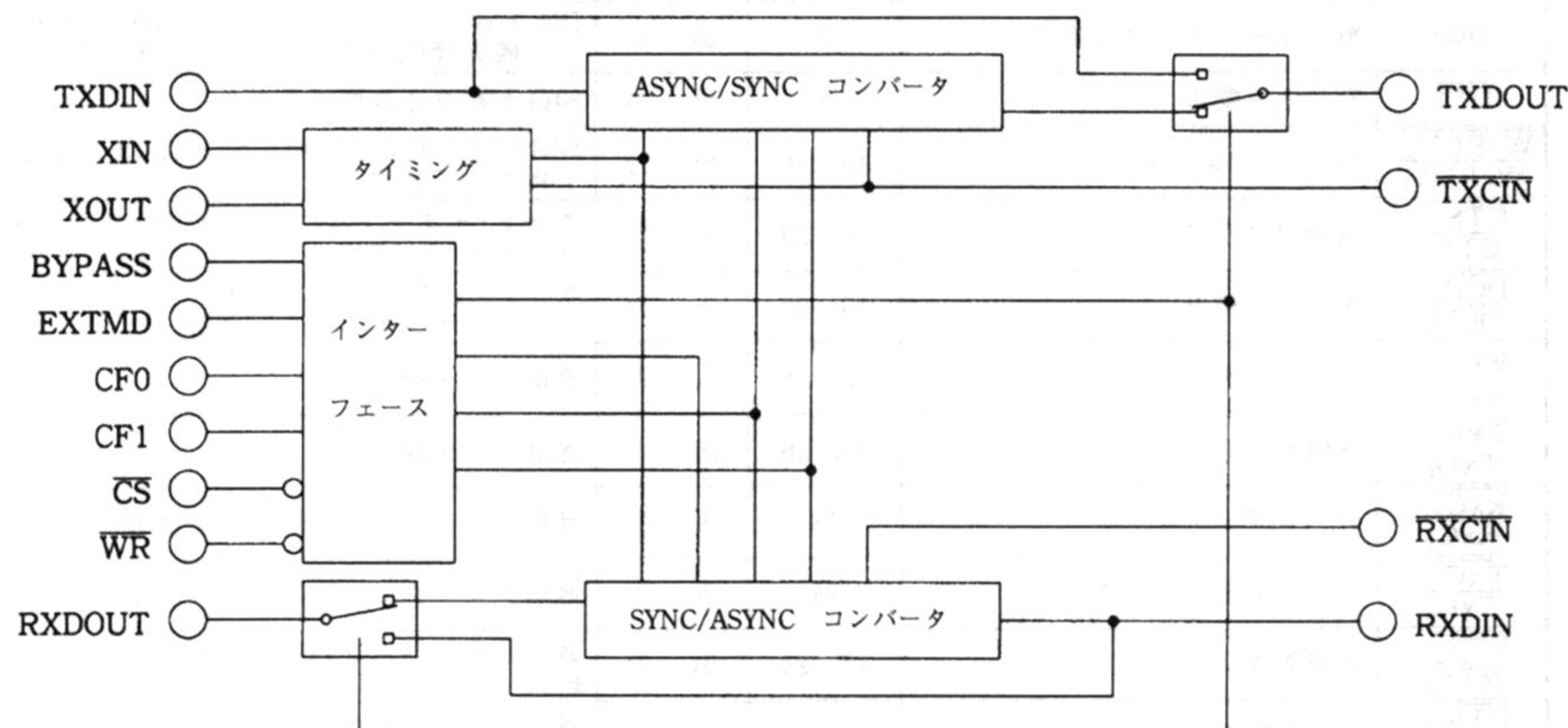
■最大定格

項目	記号	定　格	単位
電源電圧	V_{DD}	-0.3～+7.0	V
入力電圧	V_{IN}	-0.3～V_{DD}+0.3	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	-65～+150	℃

■ DC 特性

（Ta＝0～70℃，V_{DD}＝5V±5%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝4mA	0.4	V
V_{OH}	I_{IL}＝4mA	3.7*	V
I_{IL}	VIN＝0，V_{DD}	10	μA

■端子機能

<table>
<tr><th>端子番号</th><th>端子名</th><th>機 能</th></tr>
<tr><td>1</td><td>BYPASS</td><td>バイパスモード指定（インターフェースレジスタ）
300bps以下の時（300bps以上でも可）、Hiに設定する。
Lo ：ノーマルモード
Hi ：バイパスモード（同期／非同期式信号間の変換を行なわない）</td></tr>
<tr><td>2</td><td>EXTMD</td><td>速度変動許容範囲指定（インターフェースレジスタ）
非同期式信号受信時の速度変動に対する許容範囲を設定する。
Lo ：基本信号速度範囲（＋1.0％～－2.5％）
Hi ：拡張信号速度範囲（＋2.3％～－2.5％）</td></tr>
<tr><td>3/4</td><td>CF0／CF1</td><td>キャラクター・フォーマット選択
（インターフェースレジスタ）
非同期式信号のキャラクタフォーマット（M）を設定する。
＊：実処理は、1ストップ＋8データ＋2ストップ
<table>
<tr><th colspan="2">CF1／CF0</th><th>キャラクタフォーマット(M)</th><th>スタートビット</th><th>データビット(N)</th><th>ストップビット</th><th></th></tr>
<tr><td>Lo</td><td>Lo</td><td>8</td><td>1</td><td>6</td><td>1</td><td></td></tr>
<tr><td>Lo</td><td>Hi</td><td>9</td><td>1</td><td>7</td><td>1</td><td></td></tr>
<tr><td>Hi</td><td>Lo</td><td>10</td><td>1</td><td>8</td><td>1</td><td></td></tr>
<tr><td>Hi</td><td>Hi</td><td>11</td><td>1</td><td>9</td><td>1</td><td>＊</td></tr>
</table></td></tr>
<tr><td>5</td><td>XIN</td><td>発振部入力端子
11.0592MHzのクリスタルをXIN／XOUT間に接続するか、外部クロックをこの端子に接続する。</td></tr>
<tr><td>6</td><td>XOUT</td><td>発振部出力端子</td></tr>
<tr><td>7</td><td>$\overline{CS}$</td><td>チップセレクト入力
＜CPU使用時＞
端子1～4までのインターフェースレジスタを書き込む場合には、$\overline{CS}$端子をLoにセットする。
通常はCPUからデコードされたアドレスを接続する。
＜CPU未使用時＞
GNDに接続する。</td></tr>
<tr><td>8</td><td>GND</td><td>グランド端子</td></tr>
<tr><td>9</td><td>$\overline{WR}$</td><td>ライトイネーブル
＜CPU使用時＞
$\overline{CS}$端子がアクティブで、$\overline{WR}$端子がLoになると、端子1～4までのデータ（インターフェースレジスタ）を取り込み、LoからHiになることで、データがラッチされる。
＜CPU未使用時＞
GNDに接続する。端子1～4の状態は、変更した時点で有効になる。</td></tr>
<tr><td>10</td><td>RXDOUT</td><td>非同期式信号出力端子</td></tr>
<tr><td>11</td><td>TXDIN</td><td>非同期式信号入力端子</td></tr>
<tr><td>12</td><td>$\overline{RXCIN}$</td><td>同期式信号受信用クロック入力端子</td></tr>
<tr><td>13</td><td>RXDIN</td><td>同期式信号入力端子</td></tr>
<tr><td>14</td><td>$\overline{TXCIN}$</td><td>同期式信号送信用クロック入力端子</td></tr>
<tr><td>15</td><td>TXDOUT</td><td>同期式信号出力端子</td></tr>
<tr><td>16</td><td>VDD</td><td>＋5V電源供給端子</td></tr>
</table>

LAPB Controller

■ ピン接続

	K	J	H	G	F	E	D	C	B	A	
1	28	29	30	31	32	33	34	35	36	1	1
2	27	58	59	60	61	62	63	64	37	2	2
3	26	57	68					65	38	3	3
4	25	56							39	4	4
5	24	55							40	5	5
6	23	54							41	6	6
7	22	53							42	7	7
8	21	52	67					66	43	8	8
9	20	51	50	49	48	47	46	45	44	9	9
10	19	18	17	16	15	14	13	12	11	10	10

底 面 図

ピンコード	ピン番号	端子名	ピンコード	ピン番号	端子名	ピンコード	ピン番号	端子名
A_1	1	$\overline{IRQ}$	C_8	66	A_{10}/D_2	H_9	50	GND
A_2	2	$S/\overline{U}$	C_9	45	A_{13}/D_5	H_{10}	17	A_{21}/D_{13}
A_3	3	NUM*	C_{10}	12	A_{14}/D_6	J_1	29	$\overline{CS}$
A_4	4	A_1	D_1	34	$R/\overline{W}$	J_2	58	TXC
A_5	5	GND	D_2	63	$\overline{LDS}$	J_3	57	GND
A_6	6	ϕ	D_9	46	A_{15}/D_7	J_4	56	V_{CC}
A_7	7	A_4	D_{10}	13	A_{16}/D_8	J_5	55	PI_2
A_8	8	A_5	E_1	33	GND	J_6	54	PO_1
A_9	9	A_7	E_2	62	V_{CC}	J_7	53	NUM*
A_{10}	10	A_9/D_1	E_9	47	GND	J_8	52	V_{CC}
B_1	36	$\overline{READY}$	E_{10}	14	A_{17}/D_9	J_9	51	V_{CC}
B_2	37	$\overline{IACK}$	F_1	32	$\overline{DBEN}$	J_{10}	18	A_{23}/D_{15}
B_3	38	PF	F_2	61	$\overline{DIN}$	K_1	28	$\overline{BREQ}$
B_4	39	A_2	F_9	48	A_{19}/D_{11}	K_2	27	TXD
B_5	40	V_{CC}	F_{10}	15	A_{18}/D_{10}	K_3	26	RXD
B_6	41	A_3	G_1	31	NC**	K_4	25	RXC
B_7	42	A_6	G_2	60	$\overline{AS}$	K_5	24	PI_1
B_8	43	A_8/D_0	G_9	49	A_{22}/D_{14}	K_6	23	PI_0
B_9	44	A_{11}/D_3	G_{10}	16	A_{20}/D_{12}	K_7	22	PO_0
B_{10}	11	A_{12}/D_4	H_1	30	$\overline{ABEN}$	K_8	21	NUM*
C_1	35	$\overline{HDS}$	H_2	59	$\overline{BACK}$	K_9	20	$\overline{RES}$
C_2	64	$\overline{AIN}$	H_3	68	NUM*	K_{10}	19	$\overline{BERR}$
C_3	65	NC**	H_8	67	$\overline{BRTRY}$			

*NUM：Not Users Mode
**NC：Not Connection

■ 最大定格

項 目	記号	定 格	単位
電源電圧	V_{CC}	7.0	V
入力電圧	V_{IN}	$-0.3\sim V_{CC}+0.3$	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−55～150	℃

■ DC特性

（$T_a=0\sim70°C$, $V_{CC}=5V\pm5\%$）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	$I_{OL}=1.6mA$	0.4	V
V_{OH}	$I_{OH}=200\mu A$	2.4*	V
I_{OL}		10	μA
I_{IL}		2.5	μA
C_{IN}	$f=1MHz$ $T_a=25°C$, $V_{IN}=0V$	15	pF

■ 特 徴

・ＣＣＩＴＴ勧告Ｘ．２５ＬＡＰＢを完全サポート
・ＨＤＬＣフレーミング，ゼロ挿入削除，フラグ制御，再送制御，状態制御などを行う
・伝送エラー，送受信回数などの監視情報用カウンタ内蔵
・ＤＴＥ／ＤＣＥモード，パラメータの設定可能
・複数バッファを用いる送受信データ・チェーン機能をもつ
・Ｈ１６とバス・コンパチブル

■端子機能

分　類	ピン番号	端子名	名　称	入出力	機　能
電源	40, 51 52, 56 62	*Vcc*	Power Supply	入　力	+SV 電源を接続する
GND	5, 33 47, 50 57	*Vss*	Ground	入　力	接地用端子
クロック	6	ϕ	Clook	入　力	システム・クロックを入力する．ここで入力する周波数は，システム定数テーブル(SYSPT)の 3 バイト目で指定する周波数と同じにする
割り込みコントロールおよびチップ・セレクト	1	$\overline{\text{IRQ}}$	Interrupt Request	出　力	割り込み要求する出力端子 オープン・ドレイン出力
	37	$\overline{\text{IACK}}$	Interrupt Acknowledge	入　力	$\overline{\text{IRQ}}$ に対する応答信号として，HD64540に割り込み要求の受付けを知らせる入力端子 $\overline{\text{IACK}}$ が入力されると HD64540は割り込みベクタを出力する
	29	$\overline{\text{CS}}$	Chip Select	入　力	MPU を含むホスト・システム（HD64540以外）がバス・マスタのとき，HD64540をアドレッシングするための入力信号として用いられる
アドレス・バス データ・バス	4, 39 41	A_1～A_3	Address Bus	入出力	HD64540がバス・マスタのときは，アドレスを出力する．HD64540がバス・マスタでないときは，入力信号となり A_1～A_3の三本のアドレス・ラインと $\overline{\text{HDS}}$, $\overline{\text{LDS}}$ で HD64540内部のレジスタをアクセスする
	7, 8 42, 9	A_4～A_7	Address Bus	出　力	HD64540がバス・マスタのとき出力となり，アクセスする番地の A_4～A_7アドレスを出力する
	43, 10 66, 44 11, 45 12, 46 13, 14 15, 48 16, 17 49, 18	A_8/D_0～ A_{23}/D_{15}	Address Bus/ Data Bus	入出力	この信号は，アドレスとデータにマルチプレックスされている．$\overline{\text{ABEN}}$, $\overline{\text{AIN}}$, $\overline{\text{DIN}}$, $\overline{\text{DBEN}}$ の各信号を用いて外部回路により，デマルチプレックスを行う．HD64540がバス・マスタのときは，アドレス情報の出力とデータ情報の入出力を行う．HD64540以外がバス・マスタのときデータ情報の入出力を行う
回線制御部	26	RXD	Receive Data	入　力	受信データを入力する．RXC の立ち上がりでデータとして取り込む
	25	RXC	Receive Clock	入　力	受信データ用のクロックを入力する
	27	TXD	Transmit Data	出　力	送信データが出力される．TXC の立ち下がりに周期してデータが変化する
	58	TXC	Transmit Clock	入　力	送信データ用のクロックを入力する
	23, 24 55	P_{10}～ P_{12}	Port Input	入　力	汎用の入力ポート
	22, 54	PO_0～ PO_1	Port Output	出　力	汎用の出力ポート

■端子機能

分　類	ピン番号	端子名	名　称	入出力	機　能
システム・インターフェース	20	$\overline{\text{RES}}$	Reset	入　力	リセット入力を行うと，HD64540は初期化される リセット入力は最低24クロック期間必要．このときシステム・クロックを供給しておく必要がある
	60	$\overline{\text{AS}}$	Address Strobe	入出力	HD64540がバス・マスタのとき，出力したアドレスがバス上で確認したことを示す出力信号となる． HD64540以外がバス・マスタのとき，A_1～A_3のアドレス入力が確定したことを示す入力信号となる
	34	R/$\overline{\text{W}}$	Read/Write	入出力	HD64540がバス・マスタのとき出力信号となり，HD64540以外がバス・マスタのとき入力信号となる．この信号はデータの流れの方向をコントロールするのに使われる
	35	$\overline{\text{HDS}}$	High Data Strobe	入出力	HD64540がバス・マスタのとき出力信号となり，データ・バスの上位側（D_{15}～D_8）が有効であることを示す HD64540以外がバス・マスタのとき，入力信号となる
	63	$\overline{\text{LDS}}$	Low Data Strobe	入出力	HD64540がバス・マスタのとき出力信号となり，データ・バスの下位側（D_7～D_0）が有効であることを示す HD64540以外がバス・マスタのとき，入力信号となる
	36	$\overline{\text{READY}}$	Ready	入出力	HD64540がバス・マスタのとき入力端子となり，HD64540データ転送の完了時期を知るためにこの信号をモニタする HD64540以外がバス・マスタのとき出力端子となり，データの読み出し／書き込みを完了したことを示す
	32	$\overline{\text{DBEN}}$	Data Bus Enable	出　力	この信号は，アドレス・データ・ラインの双方向バッファの出力をコントロールするために使われる出力信号
	61	$\overline{\text{DIN}}$	Data Indication	出　力	この信号はデータ・ラインの方向をコントロールするために使われる出力信号
	2	S/$\overline{\text{U}}$	Supervisor/Uset	出　力	ユーザ空間のアクセスが，スーパバイザ空間のアクセスかを示す
	38	PF	Program Fetch	出　力	プログラム空間のアクセスか，データ空間のアクセスかを示す
DMA制御部	30	$\overline{\text{ABEN}}$	Address Bus Enable	出　力	HD64540がバス・マスタのとき，この信号はアドレス・データ・ラインのアドレス・ラインをラッチするために使わる出力信号
	64	$\overline{\text{AIN}}$	Address Indication	出　力	HD64540がバス・マスタのとき，この信号はアドレス・ラインの方向をコントロールするために使わる出力信号
DMA制御部	28	$\overline{\text{BREQ}}$	Bus Request	出　力	HD64540がバス占有権を要求していることを示す
	59	$\overline{\text{BACK}}$	Bus Request Acknowledge	入　力	$\overline{\text{BREQ}}$に対する応答として，HD64540にバスを解放したことを示す入力信号
	67	$\overline{\text{BRTRY}}$	Bus Cycle Retry	入　力	HD64540に対し，バス・サイクルの再実行を要求する HD64540は，リトライが発生すると現在実行中のサイクルを保持したまま例外条件がなくなるのを待ち，例外条件がなくなると，再度同じサイクルを実行する
	19	$\overline{\text{BERR}}$	Bus Error	入　力	バス・エラーはデータ転送中に回復不可能なエラーが発生し，DMA転送を終了させる場合に用いられる バスエラー入力は最低8クロック間必要
その他	3，21 53，68	N.U.M.	Not User Mode	入　力	Lowに固定
	31，65	N.C.	No Connection	—	何も接続しない

LLC(Link Layer Controller)

■ピン接続

ピン番号	端子名	ピン番号	端子名	ピン番号	端子名
1	V_{SS}	24	A8/D0	47	NUM*
2	V_{CC}	25	A9/D1	48	NUM*
3	R/$\overline{W}$	26	A10/D2	49	PO0
4	$\overline{HDS}$	27	A11/D3	50	PO1
5	$\overline{LDS}$	28	A12/D4	51	PI0
6	$\overline{READY}$	29	A13/D5	52	PI1
7	$\overline{AIN}$	30	A14/D6	53	PI2
8	$\overline{IRQ}$	31	A15/D7	54	RXC
9	$\overline{IACK}$	32	A16/D8	55	RXD
10	NC**	33	V_{SS}	56	V_{SS}
11	S/$\overline{U}$	34	A17/D9	57	V_{CC}
12	PF	35	A18/D10	58	TXD
13	NUM*	36	A19/D11	59	TXC
14	A1	37	A20/D12	60	NUM*
15	A2	38	A21/D13	61	$\overline{BREQ}$
16	V_{SS}	39	A22/D14	62	$\overline{BACK}$
17	V_{CC}	40	A23/D15	63	$\overline{CS}$
18	ϕ	41	V_{SS}	64	$\overline{AS}$
19	A3	42	V_{CC}	65	$\overline{ABEN}$
20	A4	43	V_{CC}	66	NC**
21	A5	44	$\overline{BRTRY}$	67	$\overline{DIN}$
22	A6	45	$\overline{BERR}$	68	$\overline{DBEN}$
23	A7	46	$\overline{RES}$		

*NUM : Not Users Mode
**NC : Non Connection

■特　徴

- CCITT勧告T. 90, X. 75, X. 25のレイヤ２プロトコルを完全サポートするコントローラ
- ＨＤＬＣフレーミング，ゼロ挿入削除，フラグ制御，再送制御，状態制御を行う
- １７項目の監視情報，６種類の割り込み情報を上位プロセッサに通知する機能をもつ
- 各種プロトコル・モード，パラメータ設定可能
- 最大データ速度は５Ｍｂｐｓ
- 汎用入力ポート３，出力ポート２をもつ
- ６８系１６ビット・バスとインターフェース可能

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	0～7	V
入力電圧	V_{IN}	-0.3～$V_{CC}+0.3$	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	-55～150	℃

■ DC 特性

($T_a=0$～70℃, $V_{CC}=5$ V±5％)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	$I_{OL}=1.6$ mA	0.4	V
V_{OH}	$I_{OH}=200$ μA	2.4*	V
I_{OFL}		10	μA
I_{IL}		2.5	μA
C_{IN}	$f=1$ MHz, $T_a=25$℃	15	pF

■ブロック図

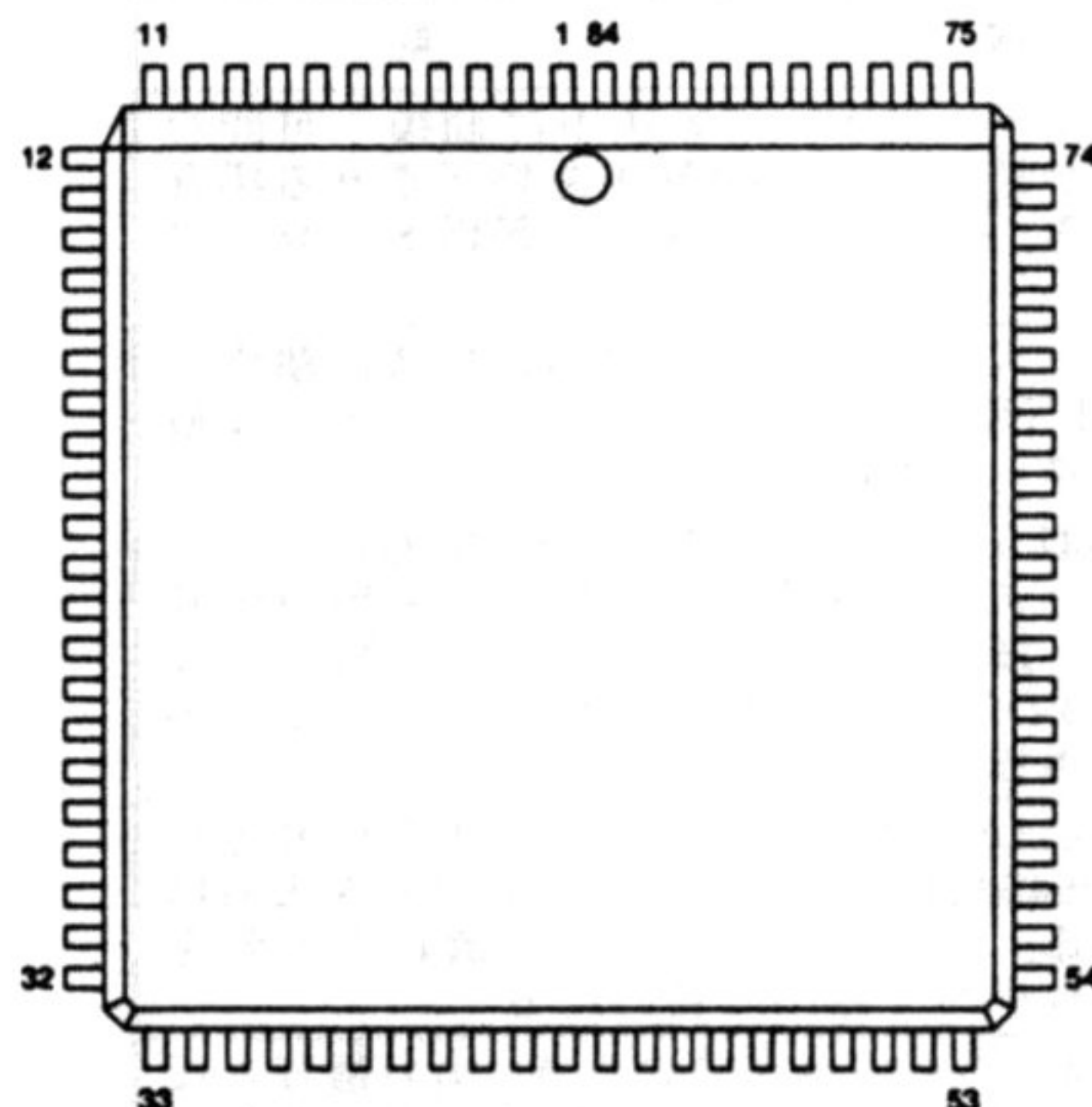
■端子機能

端子名	ピン番号	入出力	機能
ϕ	18	入　力	システム・クロックを入力する. ここで入力する周波数は, システム定数テーブル(SYSPT)の3バイト目で指定する周波数と同じにする
$\overline{\text{IRQ}}$	8	出　力	割り込み要求する出力端子. オープン・ドレイン出力
$\overline{\text{IACK}}$	9	入　力	$\overline{\text{IRQ}}$に対する応答信号として, HD64541に割り込み要求の受け付けを知らせる入力端子. $\overline{\text{IACK}}$が入力されるとHD64541は割り込みベクタを出力する
$\overline{\text{CS}}$	63	入　力	MPUを含むホスト・システム(HD64541以外)がバス・マスタのとき, HD64541をアドレッシングするための入力信号として用いられる
A1〜A3	14, 15, 19	入出力	HD64541がバス・マスタのときは, アドレスを出力する. HD64541がバス・マスタでないときは, 入力信号となりA_1〜A_3の3本のアドレス・ラインと$\overline{\text{HDS}}$, $\overline{\text{LDS}}$でHD64541内部のレジスタをアクセスする
A4〜A7	20, 21, 22, 23	出　力	HD64541がバス・マスタのとき出力となり, アクセスする番地のA4〜A7アドレスを出力する
A8/D0 A23/D15	24, 25, 26, 27, 28, 29, 30, 31, 32, 34, 35, 36, 37, 38, 39, 40	入出力	この信号は, アドレスとデータにマルチプレックスされている. ABEN, $\overline{\text{AIN}}$, $\overline{\text{DIN}}$, $\overline{\text{DBEN}}$の各信号を用いて外部回路により, デマルチプレックスを行う. HD64541がバス・マスタのときは, アドレス情報の出力とデータ情報の入出力を行う. HD64541以外がバス・マスタのとき, データ情報の入出力を行う
RXD	55	入　力	受信データを入力する. RXCの立ち上がりでデータとして取り込む
RXC	54	入　力	受信データ用のクロックを入力する
TXD	58	出　力	送信データが出力される. TXCの立ち下がりに同期してデータが変化する
TXC	59	入　力	送信データ用のクロックを入力する
PI0〜PI2	51, 52, 53	入　力	汎用の入力ポート
PO0〜PO1	49, 50	出　力	汎用の出力ポート. リセット時は, Lowレベルになる
$\overline{\text{BACK}}$	62	入　力	これは, $\overline{\text{BREQ}}$に対する応答として, HD64541にバスを解放したことを示す入力信号
$\overline{\text{BRTRY}}$	44	入　力	HD64541に対し, バス・サイクルの再実行を要求する. HD64541は, リトライが発生すると現在実行中のサイクルを保持したまま, 例外条件がなくなるのを待ち, 例外条件がなくなると, 再度同じサイクルを実行する

端子名	ピン番号	入出力	機能
$\overline{\text{BERR}}$	45	入　力	バス・エラーはデータ転送中に回復不可能なエラーが発生し, DMA転送を終了させる場合に用いる. バス・エラー入力は最低8クロック間必要
$\overline{\text{RES}}$	46	入　力	リセット入力を行うと, HD64541は初期化される. TXDはHighになる. リセット入力な最低24クロック期間必要
$\overline{\text{AS}}$	64	入出力	HD64541がバス・マスタのとき, 出力したアドレスがバス上で確認したことを示す出力信号となる. HD64541以外がバス・マスタのとき, A1〜A3のアドレス入力が確定したことを示す入力信号となる
R/$\overline{\text{W}}$	3	入出力	HD64541がバス・マスタのとき, 出力信号となり, HD64541以外がバス・マスタのとき入力信号となる. この信号はデータの流れの方向をコントロールするのに使われる
$\overline{\text{HDS}}$	4	入出力	HD64541がバス・マスタのとき, 出力信号となり, データ・バスの上位側 (D15〜D8) が有効であることを示す. HD64541以外がバス・マスタのとき, 入力信号となる
$\overline{\text{LDS}}$	5	入出力	HD64541がバス・マスタのとき, 出力信号となり, データ・バスの下位側 (D7〜D0) が有効であることを示す. HD64541以外がバス・マスタのとき, 入力信号となる
$\overline{\text{READY}}$	6	入出力	HD64541がバス・マスタのとき, 入力端子となり, HD64541データ転送の完了時期を知るためにこの信号をモニタする. HD64541以外がバス・マスタのとき, 出力端子となり, データの読み出し／書き込みを完了したことを示す
$\overline{\text{DBEN}}$	68	出　力	この信号は, アドレス・データ・ラインの双方向バッファの出力をコントロールするために使われる出力信号
$\overline{\text{DIN}}$	67	出　力	この信号はデータ・ラインの方向をコントロールするために使われる出力信号
S/$\overline{\text{U}}$	11	出　力	ユーザ空間のアクセスが, スーパバイザ空間のアクセスかを示す
PF	12	出　力	プログラム空間のアクセスか, データ空間のアクセスかを示す
$\overline{\text{ABEN}}$	65	出　力	HD64541がバス・マスタのとき, この信号はアドレス・データ・ラインのアドレス・ラインをラッチするために使われる出力信号
$\overline{\text{AIN}}$	7	出　力	HD64541がバス・マスタのとき, この信号はアドレス・ラインの方向をコントロールするために使われる出力信号
$\overline{\text{BREQ}}$	61	出　力	HD64541がバス占有権を要求していることを示す

SCA (Serial Communication Adaptor)

■ ピン接続

11　1 84　75
12　74
32　54
33　53

ピンNo.	端子名 CPUモード0	CPUモード1	CPUモード2	CPUモード3	ピンNo.	端子名 CPUモード0	CPUモード1	CPUモード2	CPUモード3	ピンNo.	端子名 CPUモード0	CPUモード1	CPUモード2	CPUモード3
1	V_{SS}				31	A20				61	TXC1			
2	$\overline{RESET}$				32	A21				62	TXD1			
3	$\overline{WR}$		$R/\overline{W}$		33	A22				63	V_{SS}			
4	$\overline{RD}$		NC		34	A23				64	$\overline{SYNC0}$			
5	$\overline{AS}$				35	V_{SS}				65	V_{CC}			
6	$\overline{BHE}$	NC	$\overline{HDS}$		36	D0				66	$\overline{RTS0}$			
7	V_{SS}				37	D1				67	$\overline{DCD0}$			
8	A0		$\overline{LDS}$		38	D2				68	$\overline{CTS0}$			
9	A1				39	D3				69	RXD0			
10	A2				40	D4				70	RXC0			
11	A3				41	D5				71	TXC0			
12	A4				42	D6				72	TXD0			
13	A5				43	D7				73	CPU1			
14	A6				44	V_{CC}				74	CPU0			
15	A7				45	D8				75	$\overline{INT}$			
16	A8				46	V_{SS}				76	$\overline{INTA}$			
17	A9				47	D9				77	HOLD	$\overline{BUSREQ}$		
18	A10				48	D10				78	HOLDA	$\overline{BUSACK}$		
19	V_{SS}				49	D11				79	$\overline{BEO}$			
20	A11				50	D12				80	$\overline{BUSY}$			
21	V_{CC}				51	D13				81	WAIT			
22	V_{CC}				52	D14				82	$\overline{CS}$			
23	A12				53	D15				83	V_{CC}			
24	A13				54	V_{SS}				84	CLK			
25	A14				55	$\overline{SYNC1}$								
26	A15				56	$\overline{RTS1}$								
27	A16				57	$\overline{DCD1}$								
28	A17				58	$\overline{CTS1}$								
29	A18				59	RXD1								
30	A19				60	RXC1								

■ 特　徴

- 調歩同期、バイト同期、ビット同期通信用の全二重マルチプロトコル・シリアル・チャネルを２チャネル内蔵
- ＡＤＰＬＬ機能を内蔵し、クロック抽出、受信データ／クロックのノイズ・サプレスを行う
- ボーレート・ジェネレータ内蔵
- ４チャネルのＤＭＡＣ内蔵で、最大転送速度は11.1Mバイト／秒
- １６ビット・タイマを４チャネル内蔵
- 内蔵ＤＭＡＣと外部バス・マスタとの調停を行うバス・アービタ内蔵

■ ブロック図

$\overline{INT}$　$\overline{INTA}$　HOLD/$\overline{BUSREQ}$　HOLDA/$\overline{BUSACK}$　$\overline{BUSY}$　$\overline{BEO}$　$\overline{WAIT}$　$\overline{CS}$　$\overline{WR}$/R/$\overline{W}$　$\overline{RD}$/N.C.　$\overline{AS}$　$\overline{BHE}$/$\overline{HDS}$　A_0/$\overline{LDS}$　A_1～A_{23}　D_0～D_{15}　$\overline{RESET}$　CPU0　CPU1　CLK

割込み制御部　バス・アービタ　ウェイト・コントローラ　バス・インタフェース

タイマ［4チャネル］

内部バス

DMAC（ダイレクト・メモリ・アクセス・コントローラ）［4チャネル］

クロック・ジェネレータ　φ

MSCI（マルチ・プロトコル・シリアル・コミュニケーション・インタフェース）［チャネル0］

$\overline{SYNC0}$　TXD0　RXD0　TXC0　RXC0　$\overline{RTS0}$　$\overline{DCD0}$　$\overline{CTS0}$

MSCI（マルチ・プロトコル・シリアル・コミュニケーション・インタフェース）［チャネル1］

$\overline{SYNC1}$　TXD1　RXD1　TXC1　RXC1　$\overline{RTS1}$　$\overline{DCD1}$　$\overline{CTS1}$

Vcc　Vss

φ：内部クロック（CPUモード1，2，3の場合、CLKと同相、CPUモード0の場合、CLKの反転出力。）

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～7.0	V
入力電圧	V_{IN}	−0.3～V_{CC}+0.3	V
動作温度	T_{OPR}	−20～75	℃
保存温度	T_{STG}	−55～150	℃

■ DC 特性

（T_a＝−20～75℃，V_{CC}＝5 V±10％）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝2.2 mA	0.45	V
V_{OH}	I_{OH}＝200 μA	2.4*	V
I_{OFL}	V_{OUT}＝0.5～V_{CC}−0.5	1.0	μA
I_{IL}	V_{IN}＝0.5～V_{CC}−0.5	1.0	μA
C_{IN}	T_a＝25℃，f＝1 MHz	20	pF

■端子機能

端子名	名　称	ピン番号	入出力	機　　能
CLK	クロック	84	入　力	システム・クロック入力.
$\overline{\text{RESET}}$	リセット	2	入　力	この端子が6クロック以上Lowレベルになると，全機能はリセットされる.
A1～A3	アドレス・バス1～7	9～15	入出力	アドレスの下位7ビット出力端子．リセット・モードで入力状態となる.
A8～A23	アドレス・バス8～23	16～18，20，23～34	出　力	アドレスの上位16ビットの出力端子．リセット・モードでハイ・インピーダンス状態となる.
D0～D15	データ・バス	36～43，45，47～53	入出力	16ビットの双方向データ・バス．データの入出力を行う.
$\overline{\text{RD}}$	リード	4	入出力	リード・サイクルを実行中であることを示す端子.
$\overline{\text{WR}}$/R/$\overline{\text{W}}$	ライト/リード・ライト	3	入出力	ライト・サイクル実行中またはリード/ライトのどちらのサイクルを実行中であるかを示す端子.
A0/$\overline{\text{LDS}}$	アドレス0/ロー・データ・ストローブ	8	入出力	アドレス・バスの最下位ビットまたは下位データのストローブ・タイミング.
$\overline{\text{BHE}}$/$\overline{\text{HDS}}$	バス・ハイ・イネーブル/ハイ・データ・ストローブ	6	入出力	上位バイトのアクセス信号または上位データのストローブ・タイミング信号となる.
$\overline{\text{CS}}$	チップ・セレクト	82	入　力	チップ・セレクト信号.
WAIT	ウエイト	81	入出力	リード/ライト・サイクルを引き延ばすために用いる信号.
$\overline{\text{AS}}$	アドレス・ストローブ	5	入出力	アドレス・バスがアクティブになっていることを示す信号.
HOLD/$\overline{\text{BUSREQ}}$	ホールド/バス・リクエスト	77	出　力	上位CPUに対してバスの解放を要求するために使用する信号.
HOLDA/$\overline{\text{BUSACK}}$	ホールド・アクノリッジ/バス・アクノリッジ	78	入　力	上位CPUがHOLD/$\overline{\text{BUSREQ}}$信号を受けてバスを解放したことを示す信号.
$\overline{\text{BEO}}$	バス・イネーブル出力	79	出　力	バス調停のディジー・チェーンに使用する.
$\overline{\text{BUSY}}$	バス・ビジー	80	入出力	バス権を使用中であることを示すオープン・ドレイン端子.
CPU0，CPU1	CPUセレクト0，1	74，73	入　力	バス・インターフェース・モード選択信号．(0，0)で8086系，(1，0)で64180系，(1，1)で68000系.
$\overline{\text{INT}}$	割り込みリクエスト	75	出　力	割り込み要求信号.
$\overline{\text{INTA}}$	割り込みアクノリッジ	76	入　力	割り込みアクノリッジ信号.
TXD0，1	トランスミット・データ0，1	72，62	出　力	送信データ出力端子.
RXD0，1	レシーブ・データ0，1	69，59	入　力	受信データ入力端子.
TXC0，1	トランスミット・クロック0，1	71，61	入出力	送信クロック入出力端子．外部クロック入力，内部クロック出力，受信クロックをそのまま出力の3モードにプログラム可能.
RXC0，1	レシーブ・クロック0，1	70，60	入出力	受信クロックの入出力およびADPLL動作クロック入力に用いる．外部クロック入力，ADPLLクロック入力，ADPLL受信クロック出力，内部ジェネレータの受信クロック出力の4モードにプログラム可能.
$\overline{\text{RTS0，1}}$	送信要求0，1	66，56	出　力	モデムなどに対して，出力するデータがあることを示す端子.
$\overline{\text{DCD0，1}}$	受信キャリア検出0，1	67，57	入　力	モデムなどが，通信回線から有効な信号を受信していることを知らせる端子.
$\overline{\text{CTS0，1}}$	送信許可0，1	68，58	入　力	モデムなどが通信回線へのデータ送信が可能であることを知らせる端子.
$\overline{\text{SYNC0，1}}$	シンクロナイゼーション0，1	64，55	入出力	バイト同期，外部同期モードのとき入力となり，この信号の立ち下がりで同期確立する．バイト同期，HDLCのときは出力となり，レジスタ・ビットを反転出力する.

ADLC (Advanced Data Link Controller)

■ ピン接続

信号	ピン	ピン	信号
V_{ss}	1	28	← $\overline{CTS}$
$\overline{RTS}$ ←	2	27	← $\overline{DCD}$
RxD →	3	26	→ $\overline{DTR}$/$\overline{LOC}$
RxC →	4	25	→ $\overline{FD}$
TxC →	5	24	→ TDSR
TxD ←	6	23	→ RDSR
$\overline{IRQ}$ ←	7	22	↔ D_0
$\overline{RESET}$ →	8	21	↔ D_1
$\overline{CS}$ →	9	20	↔ D_2
RS_0 →	10	19	↔ D_3
RS_1 →	11	18	↔ D_4
R/$\overline{W}$ →	12	17	↔ D_5
E →	13	16	↔ D_6
V_{cc}	14	15	↔ D_7

MB8875 (6854)

■ 特　徴

・３種類の通信プロトコルをサポートするデータ・リンク・コントローラ
　　ＡＤＣＣＰ
　　ＨＤＬＣ
　　ＳＤＬＣ
・フラグ検出と同期制御機能をもつ
・自動ゼロ挿入，自動ゼロ削除機能をもつ
・アドレス，コントロール，ロジカル・コントロールの各フィールドの拡張が可能
・インフォメーション・フィールド語長の５～８ビットを選択可能
・フレーム・チェック・シーケンスの自動発生と誤り検出機能をもつ
・アボートおよびアイドル・パターンの検出と発生
・ループ・モード動作可能
・自己帰還テスト・モードをもつ
・ＮＲＺまたはＮＲＺＩモードによる伝送が可能
・優先つきステータス・モードの選択可能
・モデム／ＤＭＡインターフェースをもつ

■ ブロック図

コントロール・レジスタ #2
コントロール・レジスタ #3
コントロール・レジスタ #4
R/$\overline{W}$　$\overline{CS}$　RS_0　RS_1
チップ・セレクト
E
$\overline{DCD}$
RxC
RxD
受信 FIFO #1 #2 #3
受信
ゼロ消去
FCSチェック
フラグ/アボート/アイドル・ディテクト
$\overline{FD}$
データ・バス D_0～D_7
データ・バス・インターフェース
ステータス・レジスタ #2
ステータス・レジスタ #1
送信 FIFO #1 #2 #3
FCSジェネレータ
フラグ/アボート・ジェネレータ
送信
ゼロ挿入
TxD
TxC
$\overline{CTS}$
コントロール レジスタ #1
制御
$\overline{LOC}$/$\overline{DTR}$
$\overline{RTS}$
$\overline{IRQ}$　TDSR　RDSR　$\overline{RESET}$

V_{SS}：　1ピン
V_{CC}：14ピン

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～7.0	V
入力電圧	V_{IN}	−0.3～7.0	V
動作温度	T_{OPR}	0～+70	℃
保存温度	T_{STG}	−65～+150	℃

■ DC特性

(T_a=0～+70℃, V_{CC}=5V±5%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=1.6mA	0.4	V
V_{OH}	I_{OH}=100μA	2.4*	V
I_{OL}		10	μA
I_{IL}	V_{IN}=0～V_{CC}	2.5	μA
C_{IN}		7.5	pF

■端子機能

端子名	名　　称	ピン番号	入出力	機　　能
$\overline{RTS}$	送信要求	2	出　力	この端子は，送出するデータがTxFIFOに存在することを外部に知らせる
RxD	受信データ	3	入　力	レシーブ・データの入力端子
RxC	受信クロック	4	入　力	レシーブ・データの入力の同期用信号
TxC	送信クロック	5	入　力	トランスミット・データの出力の同期用信号
TxD	送信データ	6	出　力	トランスミット・データの出力端子
$\overline{IRQ}$	割り込み要求	7	出　力	割り込み条件が成立し，かつ対応するイネーブル・ビットが許可されている場合に，この出力は"L"となる．割り込み条件が解除されるか，イネーブル・ビットが禁止を行わない限り，この出力の"L"状態は持続する
$\overline{RESET}$	リセット	8	入　力	リセット入力．"L"状態が入力されると，RxReset(CR_{1b6})，TxReset(CR_{1b7})が"1"となり，これによってRx，Tx部分は各々リセットされる
$\overline{CS}$	チップ・セレクト	9	入　力	チップ・セレクト入力であり，実際のリード/ライトはこの入力が"L"でイネーブル入力が"H"のときにのみ許可される
RS_0, RS_1	レジスタ選択	10，11	入　力	チップ内のレジスタのリード/ライト時に，R/$\overline{W}$入力CR_{1b0}と共にアドレッシングを行う
R/$\overline{W}$	リード/ライト	12	入　力	リード/ライト動作が行われるとき，データの流れを指示するものであり，データ入出力バッファはR/$\overline{W}$入力が"H"なら出力モード，"L"なら入力モードとなって，データの読み書きを制御する
E	イネーブル	13	入　力	$\overline{CS}$，RS_0，RS_1，R/$\overline{W}$入力を実際に動作させるタイミング・クロックであり，E入力の"H"期間にデータの読み書きが許可される
D_7～D_0	データ・バス	15～22	入出力	システムとデータをやりとりするための双方向性入出力ピンであり，データのリード期間以外は3ステートとなる
RDSR	受信データ要求	23	出　力	この端子はSR_{1b0}の値を反映しており，"H"状態のときはRxFIFOがサービスを要求していることを示し，このRxFIFOが読まれるとRDSR出力は"L"となる
TDSR	送信データ要求	24	出　力	この端子はFCモード(CR_{2b3}=1)のとき以外はSR_{1b6}の値を出力している．"H"状態のときはTxFIFOがサービスを要求していることを示し，TxFIFOにデータを書き込むとTDSR出力は"L"になる
$\overline{FD}$	フラグ検出	25	出　力	フラグを受け付けたことを示す出力であり，フラグの最後のビットを受け付けてから1ビット・タイムの間"L"である
$\overline{LOC}/\overline{DTR}$	データ・ターミナル・レディ	26	出　力	ループ・モード以外ではこの出力端子は$\overline{DTR}$として働き，CR_{3b7}を"1"とすると"L"出力，CR_{3b7}を"0"とすると"H"出力となる．ループ・モードではこの出力は$\overline{LOC}$として働き，外部に付けたループ・インターフェース・ハードウェアがOn Loop/Off Loopになるのを制御する
$\overline{DCD}$	キャリア検出	27	入　力	この入力端子を"H"とすると，レシーブ・レジスタ内のデータはリセットされ，SR_{2b5}がセットされて，もしイネーブルされていればIRQを発生する
$\overline{CTS}$	送信可	28	入　力	この入力端子を"H"とすると，SR_{1b6}とそれに関連したIRQを禁止し，CR_{1b4}がセットされ，イネーブルされている場合にはIRQを発生する

DUSCC (Dual Universal Serial Communication Controller)

■ ピン接続

SCN68562

信号	方向	ピン	ピン	方向	信号
IACKN	→	1	48		V_{CC}
A_3	→	2	47	←	A_4
A_2	→	3	46	←	A_5
A_1	→	4	45	←	A_6
RTxDAKBN/GPI1BN	→	5	44	←	RTxDAKAN/GPI1AN
IRQN	←	6	43	←	X_1/CLK
RESETN	→	7	42	→	X_2/IDCN
RTSBN/SYNOUTBN	←	8	41	→	RTSAN/SYNOUTAN
TRxCB	↔	9	40	↔	TRxCA
RTxCB	↔	10	39	↔	RTxCA
DCDBN/SYNIBN	→	11	38	←	DCDAN/SYNIAN
RxDB	→	12	37	←	RxDA
TxDB	←	13	36	→	TxDA
TxDAKBN/GPI2BN	→	14	35	←	TxDAKAN/GPI2AN
RTxDRQBN/GPO1BN	←	15	34	→	RTxDRQAN/GPO1AN
TxDRQBN/GPO2BN/RTSBN	←	16	33	→	TxDRQAN/GPO2AN/RTSAN
CTSBN	←	17	32	→	CTSAN
D_7	↔	18	31	↔	D_0
D_6	↔	19	30	↔	D_1
D_5	↔	20	29	↔	D_2
D_4	↔	21	28	↔	D_3
DTACKN	←	22	27	↔	DONEN
DTCN	→	23	26	→	RWN
GND		24	25	←	CSN

■ 特　徴

・送受信レートはプログラマブル
・パリティ，ＬＲＣ，ＣＲＣ生成／チェック機能
・データ・エンコード／デコードはプログラマブル
　：ＮＲＺ，ＮＲＺＩ，ＦＭ０，ＦＭ１，マンチェスタ
・データ転送モードはプログラマブル：ポーリング，割り込み，ＤＭＡ，ウェイト
・汎用の１６ビット・カウンタ／タイマ内蔵
・モデム制御可能

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜6.0	V
入力電圧	V_{IN}	−0.5〜6.0	V
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−55〜150	℃

■ ブロック図

■ DC特性

（T_a＝0〜70℃，V_{CC}＝5V±5%）

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝5.3mA	0.5	V
V_{OH}	I_{OH}＝400μA	2.4*	V
I_{OL}	V_{OUT}＝0〜V_{CC}	10	μA
I_{IL}	V_{IN}＝0〜V_{CC}	±10	μA

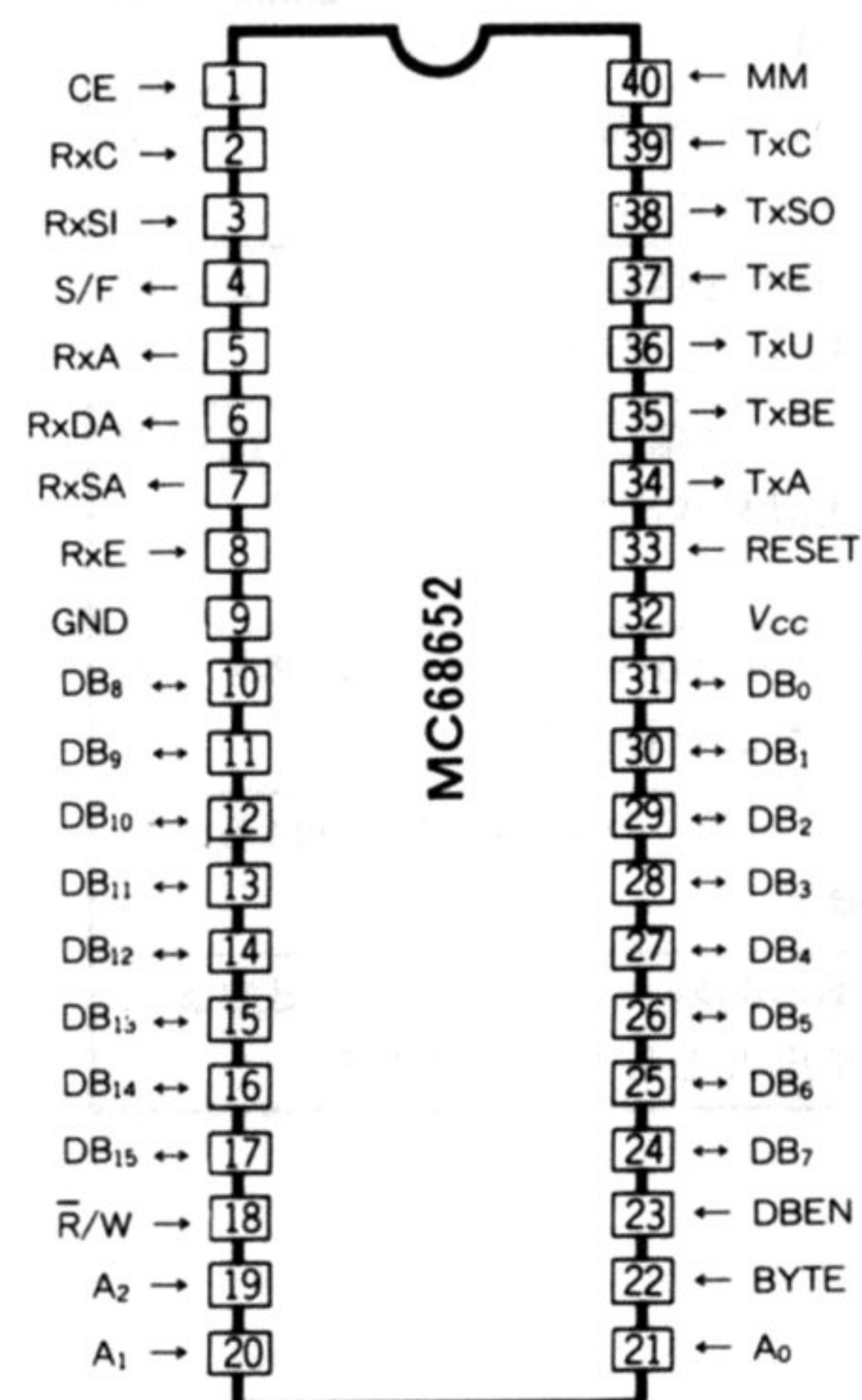
■端子機能

端子名	ピン番号	入出力	機能
$A_1 \sim A_6$	4～2, 45～47	入力	アドレス・ライン，内部レジスタのアドレスを決める
$D_0 \sim D_7$	31～28, 21～18	入出力	双方向データ・バス．CPUとのデータ転送に使用する
R/WN	26	入力	リード/ライトの方向を決める
CSN	25	入力	データの入出力を行うときのチップ・セレクト信号
DTACKN	22	出力	データ転送アクノリッジ．バス上のデータがラッチされたことを示す
IRQN	6	出力	割り込み要求信号で，イネーブルされた割り込みが発生すると“L”になる
IACKN	1	入力	割り込みアクノリッジ信号
X_1/CLK	43	入力	水晶振動子接続または外部クロック入力端子
X_2/IDCN	42	出力	水晶振動子接続または割り込みデイジィ・チェーン出力にプログラムできる
RESETN	7	入力	マスタ・リセット．内部レジスタおよび入出力部をリセットする
RxDA, RxDB	37, 12	入力	チャネルA，Bの受信直列データ入力端子
TxDA, TxDB	36, 13	出力	チャネルA，Bの送信直列データ出力端子
RTxCA, RTxCB	39, 10	入出力	チャネルA，Bの受信部/送信部クロックの入出力端子
TRxCA, TRxCB	40, 9	入出力	チャネルA，Bの送信部/受信部クロックの入出力端子
CTSA/BN, LCA/BN	32, 17	出力	チャネルA, Bの送信可出力または，ループ制御出力
DCDA/BN, SYNIA/BN	38, 11	入力	チャネルA, Bのキャリア検出信号入力または，COPモードのとき外部同期入力として使用できる
RTxDRQA/BN, GPO1A/BN	34, 15	出力	チャネルA, Bの送受信DMA要求出力または，汎用の出力として使用できる
RTxDAKA/BN, GPI1A/BN	44, 5	入力	チャネルA，Bの送受信DMAアクノリッジまたは，汎用の入力として使用できる
TxDAKA/BN, GPI2A/BN	35, 14	入力	チャネルA，Bの送信DMAアクノリッジまたは，汎用の入力として使用できる
TxDRQA/BN, GPO2A/BN RTSA/BN	33, 16	出力	チャンルA，Bの送信DMA要求または汎用出力または，送信要求出力
DTCN	23	入力	DMAコントローラからの入力で，要求データ転送が完了したことを示す
DONEN	27	入出力	DMAコントローラとの制御に使用されるダン信号入出力端子
RTSA/BN SYNOUTA/BN	41, 8	出力	チャネルA, Bの同期キャラクタ検出出力または，送信要求出力として使用できる

MPCC (Multi Protocol Communication Controller)

■ ピン接続

MC68652

ピン	信号	ピン	信号
1	CE →	40	← MM
2	RxC →	39	← TxC
3	RxSI →	38	→ TxSO
4	S/F ←	37	← TxE
5	RxA ←	36	→ TxU
6	RxDA ←	35	→ TxBE
7	RxSA ←	34	→ TxA
8	RxE →	33	← RESET
9	GND	32	V_{CC}
10	DB_8 ↔	31	↔ DB_0
11	DB_9 ↔	30	↔ DB_1
12	DB_{10} ↔	29	↔ DB_2
13	DB_{11} ↔	28	↔ DB_3
14	DB_{12} ↔	27	↔ DB_4
15	DB_{13} ↔	26	↔ DB_5
16	DB_{14} ↔	25	↔ DB_6
17	DB_{15} ↔	24	↔ DB_7
18	$\overline{R}$/W →	23	← DBEN
19	A_2 →	22	← BYTE
20	A_1 →	21	← A_0

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3~7.0	V
入力電圧	V_{IN}	−0.3~15.0	V
動作温度	T_{OPR}	0~70	℃
保存温度	T_{STG}	−55~150	℃

■ DC特性

(T_a=0~70℃, V_{CC}=5.0V±5%)

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}=1.6mA	0.4	V
V_{OH}	I_{OH}=100μA	2.4*	V
I_{OL}	V_{OUT}=0~5.25V	10	μA
I_{IL}	V_{IN}=0~5.25V	1.0	μA
C_{IN}		20	pF

■ 特　徴

- 同期式シリアル伝送用のマルチプロトコル・コントローラ
- DCから2 MBPSのデータ送信レート
- SDLC, ADCCP, HDLC, X25をサポート
  - キャラクタ長：1～8ビット
  - アドレス比較
  - 自動ゼロ挿入／削除
  - ショート・ラスト・キャラクタ
  - FLAGまたはABORTキャラクタのアイドル送信
- DDCMP, BISYNCをサポート
  - キャラクタ長：5～8ビット
  - SYNCの生成，検出，削除
  - FCSの自動生成／チェック
- 自己診断用メインテナンス・モード
- 双方向3ステートの8／16ビット・データ・バス

■ ブロック図

DB15～DB00
データ・バス・バッファ
内部バス
16ビット
パラメータ・コントロール同期/アドレス・レジスタ
PCSAR
8ビット
パラメータ・コントロール・レジスタ
PCR
Vcc
GND
16本
レシーバ・データ/ステータス・レジスタ
トランスミッタ・データ/ステータス・レジスタ
TDSR
RESET
MM
16本
16本
A2～A0
BYTE
R/W
CE
DBEN
読み出し/書き込みコントロール回路
受信コントロール回路
送信コントロール回路
S/F
RxE
RxA
RxDA
RxSA
RxC RxSI
TxE
TxA
TxBE
TxU
TxC TxSO

■端子機能

端子名	名　称	ピン番号	入出力	機　能
DB_0～DB_{15}	データ・バス	31～24, 10～17	入出力	データ，コントロール，ステータス情報を転送する
A_0～A_2	アドレス・バス	21～19	入　力	内部レジスタを選択
BYTE	バイト	22	入　力	この信号がアサートされていると，バイト（8ビット）データ・バス転送が指定される
CE	チップ・イネーブル	1	入　力	この信号がアサートされると，データ・バス操作が許可される
$\overline{R}$/W	読み出し/書き込み	18	入　力	データ・バス転送の方向を制御する
DBEN	データ・バス・イネーブル	23	入　力	A_0～A_2, CE, BYTE, $\overline{R}$/W か確定してからアサートしなければならない．読み出し時には指定されたレジスタの値が3ステート状態にあるデータ・バスにのる
RESET	リセット	33	入　力	内部レジスタの値をゼロにし，タイミング信号を初期化する
MM	メインテナンス・モード	40	入　力	内部で送信シリアル出力を受信シリアル入力に，送信クロック入力を受信クロック入力に接続してメインテナンス・モードにする
RxE	受信イネーブル	8	入　力	RxSIデータの処理を許可する
RxA	受信アクティブ	5	出　力	この信号はメッセージの最初のキャラクタをプロセッサに渡せるときにアサートされる
RxDA	受信データ有効	6	出　力	この信号はアセンブルされたキャラクタが受信データ/ステータス・レジスタ（$RDSR_L$）に読み込まれ，プロセッサに渡す準備ができたときにネゲートされる
RxC	受信クロック	2	入　力	受信回路にタイミングを与える
S/F	SYNC/FLAG	4	出　力	この信号は，SYNCまたはFLAGキャラクタが検出されるとアサートされる
RxSA	受信ステータス有効	7	出　力	この信号は，受信メッセージ開始（RSOM）ビット以外の$RDSR_H$のすべてのビットにおける0から1への遷移があったときにアサートされ，$RDSR_H$が読み込まれるとネゲートされる
RxSI	受信シリアル入力	3	入　力	受信されたシリアル・データ
TxE	送信イネーブル	37	入　力	この信号がアサートされると，送信データ/ステータス・レジスタ（TDSR）と送信シリアル出力（TxSO）間の送信データ・バスをイネーブルにする
TxA	送信アクティブ	34	出　力	TSOM（TSDRのビット8）がセットされ，TxEがアサートされた後にアサートされる
TxBE	送信バッファ・エンプティ	35	出　力	TDSRに新しいコントロール情報またはデータを格納する準備ができたときにアサートされる
TxU	送信アンダラン	36	出　力	送信シーケンス中にTxBEの処理が，1キャラクタ時間遅らされたときにアサートされる
TxC	送信クロック	39	入　力	送信回路にタイミングを与える
TxSO	送信シリアル出力	38	出　力	送信されるシリアル・データ

MPSC〔Multi Protocol Serial Controller〕

■ ピン接続

μPD72001

信号	ピン	ピン	信号
$\overline{DCDA}$ →	1	40	← $\overline{CTSA}$
D_7 ↔	2	39	← RxDA
D_6 ↔	3	38	↔ XI1A/$\overline{STRxCA}$
D_5 ↔	4	37	↔ XI2A/$\overline{SYNCA}$
D_4 ↔	5	36	↔ $\overline{TRxCA}$
D_3 ↔	6	35	→ TxDA
D_2 ↔	7	34	→ $\overline{RTSA}$
D_1 ↔	8	33	→ DRQRxA
D_0 ↔	9	32	← $\overline{RESET}$
GND	10	31	← CLK
$\overline{WR}$ →	11	30	V_{CC}
$\overline{RD}$ →	12	29	→ DRQTxA
C/$\overline{D}$ →	13	28	→ $\overline{DTRA}$/DRQTxB
B/$\overline{A}$ →	14	27	→ $\overline{DTRB}$/DRQRxB
$\overline{PRO}$ ←	15	26	→ $\overline{RTSB}$
$\overline{PRI}$ →	16	25	→ TxDB
$\overline{INTAK}$ →	17	24	↔ XI2B/$\overline{SYNCB}$
$\overline{INT}$ ←	18	23	← XI1B/$\overline{STRxCB}$
$\overline{CTSB}$ →	19	22	← RxDB
$\overline{DCDB}$ →	20	21	↔ $\overline{TRxCB}$

■ 特　徴

・調歩同期，ＣＯＰ，ＢＯＰの各種プロトコルに対応可能な高性能データ通信用ＬＳＩ
・二つの全二重チャネルを内蔵
・ボーレイト：ＤＣ～1．6 MBPS
・二重バッファのトランスミッタと四重バッファのレシーバ
・ＳＤＬＣ，ＨＤＬＣ，ＳＤＬＣ　Ｌｏｏｐモードをサポート
　自動ゼロ挿入／削除
　フラグ送出／検出
　アドレス・フィールド検出
　ＦＣＳの生成／検査
　ショート・フレーム検出
　アボート自動送信／検出
・Mono-sync, Bi-ync, External syncをサポート
　キャラクタ長：５～８ビット
　ＳＹＮＣの生成，検出，削除
　ＢＣＳの自動生成／チェック
・割り込み制御機能
・ＤＭＡ要求信号：送信ＤＭＡ／受信ＤＭＡ×２
・オーバラン・エラー検出
・データ・フォーマット：ＮＲＺ，ＮＲＺＩ，ＦＭ
・ボーレイト・ジェネレータ内蔵
・汎用入出力端子：４端子×２

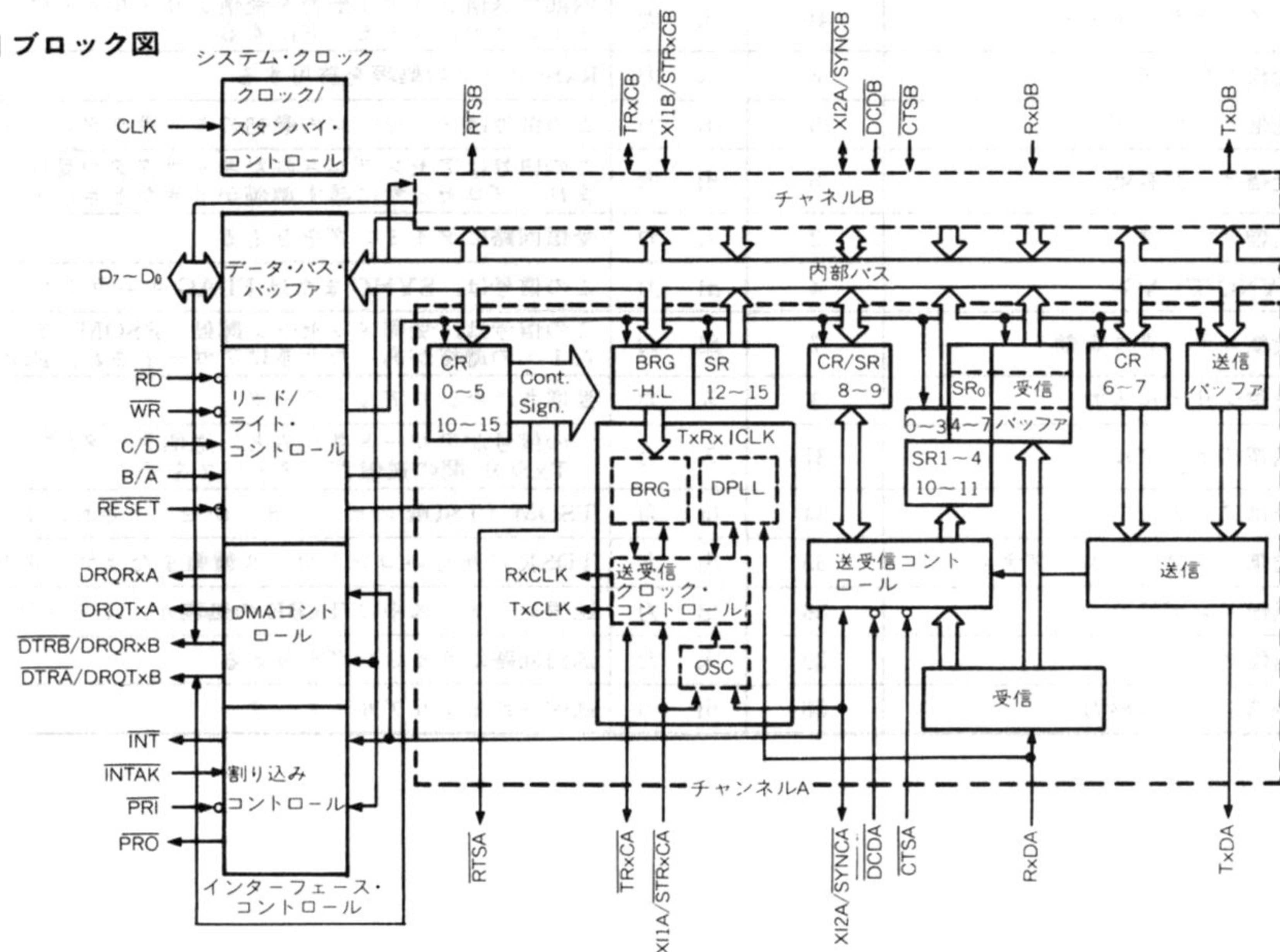
■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5～7.0	V
入力電圧	V_{IN}	−0.5～V_{CC}+0.5	V
動作温度	T_{OPR}	−10～70	℃
保存温度	T_{STG}	−65～150	℃

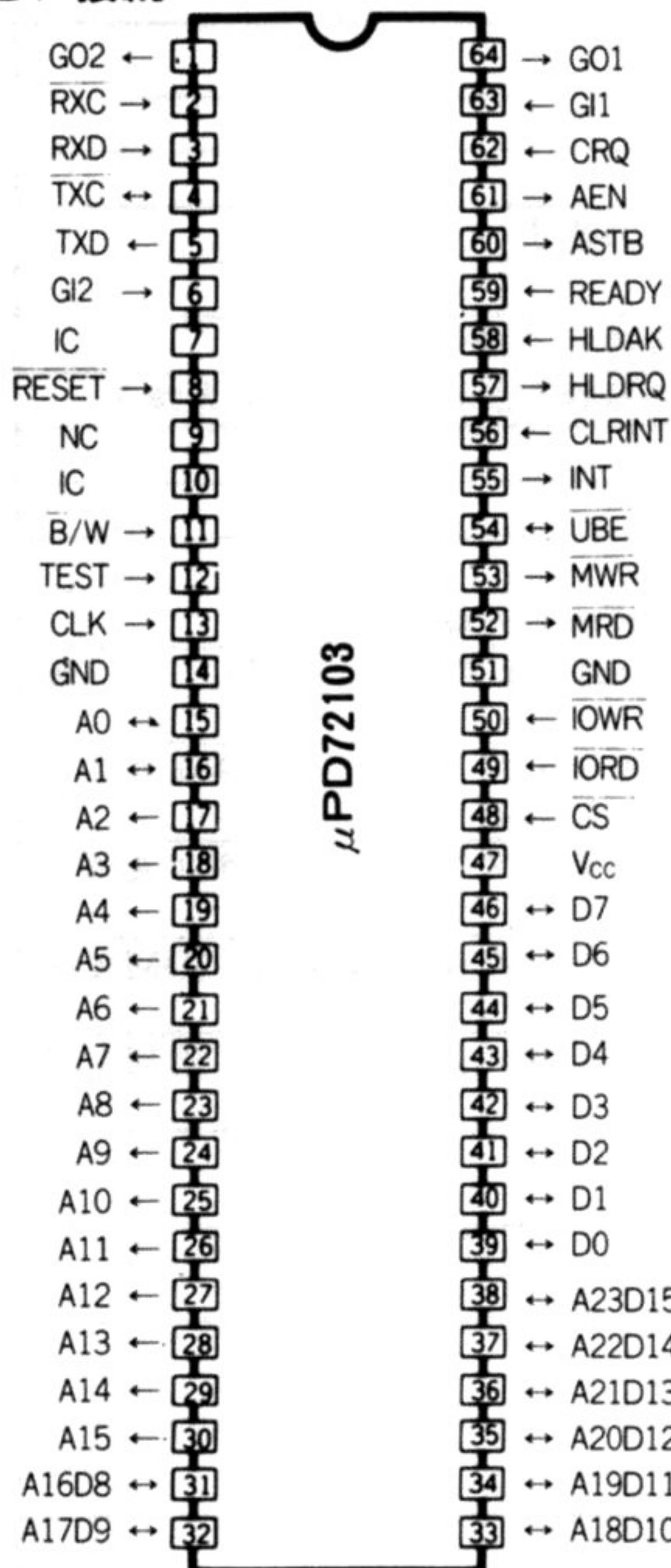
■ DC特性

（T_a＝−10～70℃，V_{CC}＝5V±10％）

記号	測 定 条 件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}＝2mA	0.45	V
V_{OH}	I_{OH}＝400μA	0.75 V_{CC}*	V
I_{OL}	V_{OUT}＝0，V_{CC}	±10	μA
I_{IL}	V_{IN}＝0，V_{CC}	±10	μA
C_{IN}		20	pF

■端子機能

端子名	名　　称	ピン番号	入出力	機　　能
$\overline{\text{RESET}}$	リセット	32	入　力	外部からリセットするための入力端子
CLK	システム・クロック	31	入　力	システム・クロックの入力端子
$\overline{\text{WR}}$	ライト	11	入　力	コントロール・ワードおよび送信データの書き込み制御信号の入力端子
$\overline{\text{RD}}$	リード	12	入　力	ステータスおよび受信データの読み出し制御信号の入力端子
B/$\overline{\text{A}}$	チャネルB/チャネルA	14	入　力	書き込み，または読み出し時にアクセスするチャネルの選択信号の入力端子
C/$\overline{\text{D}}$	コントロール/データ	13	入　力	書き込み，または読み出し時におけるデータ・バス上のデータの種類を決める信号の入力端子
D_7~D_0	データ・バス	2～9	入出力	3ステートの8ビット双方向性データ・バス
$\overline{\text{INT}}$	インタラプト	18	出　力	割り込み要求信号出力端子
$\overline{\text{INTAK}}$	インタラプト・アクノリッジ	17	入　力	割り込み要求信号に対するアクノリッジ信号を入力する
$\overline{\text{PRI}}$	プライオリティ・インプット	16	入　力	割り込み要求信号の発生，および割り込みベクタの出力制御信号用の入力端子
$\overline{\text{PRO}}$	プライオリティ・アウトプット	15	出　力	割り込みデイジィ・チェーンを構成する場合に使用する．この出力端子はアクティブ“L”で，優先順位の低いデバイスの割り込み要求の発生を制御する
DRQTxA	DMAリクエストTxA	29	出　力	DMAコントローラに対するDMA要求出力端子．この端子はアクティブ“H”でチャネルAのトランスミッタがトランスミッタ・エンプティになったときに“H”になる
DRQRxA	DMAリクエストRxA	33	出　力	DMAコントローラに対するDMA要求出力端子．この端子はアクティブ“H”でチャネルAのレシーバがレシーブ・アベイラブルになったときに“H”になる
$\overline{\text{DTRA}}$/ DRQTxB	データ・ターミナル・レディ/ DMAリクエストTxB	28	出　力	CR_{2A}：D_1，D_0の設定によってDTR_A（データ・ターミナル・レディ）またはDRQTxB（DMA要求）出力端子となる
$\overline{\text{DTRB}}$/ DRQRxB	データ・ターミナル・レディ/ DMAリクエストRxB	27	出　力	CR_{2A}：D_1，D_0の設定によってDTR_B（データ・ターミナル・レディ）またはDRQRxB（DMA要求）入力端子となる
$\overline{\text{CTSA}}$, $\overline{\text{CTSB}}$	クリア・ツゥ・センドA，B	40, 19	入　力	汎用の入力端子であり，モデム制御などに使用することができる
$\overline{\text{DCDA}}$, $\overline{\text{DCDB}}$	キャリア検出A，B	1, 20	入　力 入　力	汎用の入力端子であり，モデム制御などに使用することができる
$\overline{\text{RTSA}}$, $\overline{\text{RTSB}}$	送信要求A，B	34, 26	出　力 出　力	汎用の出力端子であり，モデム制御などに使用することができる
TxDA, TxDB	送信データA，B	35, 25	出　力	送信データの出力端子
RxDA, RxDB	受信データA，B	39, 22	入　力	受信データの入力端子
XI1A/ $\overline{\text{STRxCA}}$, XI1B/ STRxCB	水晶振動子/ 送信クロックA，B	38, 23	入　力	この端子はCR_{15}：D_7の設定によって機能が切り替わり，受信用クロックの入力あるいは水晶振動子接続端子として使用できる
XI2A/ SYNCA, XI2B/ SYNCB	水晶振動子/ 同期信号A，B	37, 24	入出力	この端子はCR_{15}：D_7の設定によって機能が切り替わり，$\overline{\text{SYNC}}$端子または水晶振動子接続端子として使用できる
$\overline{\text{TRxCA}}$, $\overline{\text{TRxCB}}$	送受信クロックA，B	36, 21	入出力 入出力	CR_{15}：D_2の設定によって，送信および受信用クロックの入力端子またはクロック出力端子となる

HDLCC(HDLC Controller)

■ピン接続

μPD72103

ピン	信号		ピン	信号
1	GO2 ←		64	→ GO1
2	$\overline{RXC}$ →		63	← GI1
3	RXD →		62	← CRQ
4	$\overline{TXC}$ ↔		61	→ AEN
5	TXD ←		60	→ ASTB
6	GI2 →		59	← READY
7	IC		58	← HLDAK
8	$\overline{RESET}$ →		57	→ HLDRQ
9	NC		56	← CLRINT
10	IC		55	→ INT
11	$\overline{B}$/W →		54	↔ $\overline{UBE}$
12	TEST →		53	→ $\overline{MWR}$
13	CLK →		52	→ $\overline{MRD}$
14	GND		51	GND
15	A0 ↔		50	← $\overline{IOWR}$
16	A1 ↔		49	← $\overline{IORD}$
17	A2 ←		48	← $\overline{CS}$
18	A3 ←		47	V_{CC}
19	A4 ←		46	↔ D7
20	A5 ←		45	↔ D6
21	A6 ←		44	↔ D5
22	A7 ←		43	↔ D4
23	A8 ←		42	↔ D3
24	A9 ←		41	↔ D2
25	A10 ←		40	↔ D1
26	A11 ←		39	↔ D0
27	A12 ←		38	↔ A23D15
28	A13 ←		37	↔ A22D14
29	A14 ←		36	↔ A21D13
30	A15 ←		35	↔ A20D12
31	A16D8 ↔		34	↔ A19D11
32	A17D9 ↔		33	↔ A18D10

NC：開放，IC：内部接続（何も接続しない）

■特　徴

- ＨＤＬＣフレーム制御用コントローラ
- １または２バイトのアドレス・フィールド認識機能
- 全二重通信ポートを１チャネルもつ
- 最大４Ｍｂｐｓのボー・レート
- 最大送信／受信データ長は１６ｋバイト
- 汎用の入力端子２，出力端子２をもつ
- ８／１６ビット・データ，２４ビット・アドレスのＤＭＡコントローラ内蔵
- データ・フォーマット：ＮＲＺ，ＮＲＺＩのデコード／エンコード
- ＦＣＳ：１６ビット／３２ビット

■ DC 特性

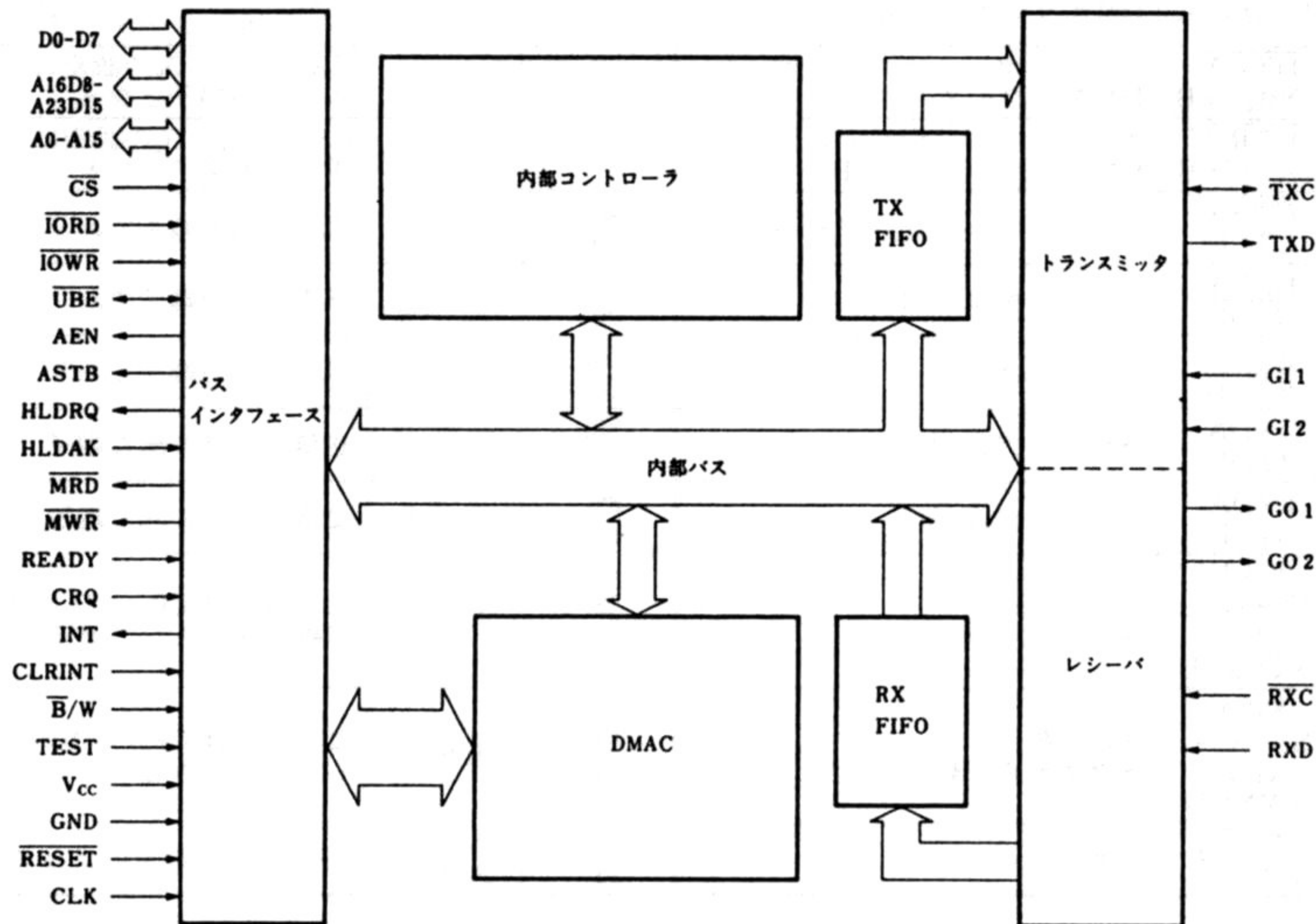
（T_a＝－40～85℃，V_{CC}＝5 V±10％）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	$I_{OL}=2.5$ mA	0.4	V
V_{OH}	$I_{OH}=400\ \mu$A	0.7× V_{CC}	V
I_{OFL}	$V_{OUT}=0\sim V_{CC}$	±10	μA
I_{IL}	$V_{IN}=0\sim V_{CC}$	±10	μA
C_{IN}	f=1 MHz，T_a=25℃	15	pF

■ブロック図

D0-D7
A16D8-A23D15
A0-A15
$\overline{CS}$
$\overline{IORD}$
$\overline{IOWR}$
$\overline{UBE}$
AEN
ASTB
HLDRQ
HLDAK
$\overline{MRD}$
$\overline{MWR}$
READY
CRQ
INT
CLRINT
$\overline{B}$/W
TEST
V_{CC}
GND
$\overline{RESET}$
CLK
バスインタフェース
内部コントローラ
TX FIFO
内部バス
DMAC
RX FIFO
トランスミッタ
レシーバ
$\overline{TXC}$
TXD
GI 1
GI 2
GO 1
GO 2
$\overline{RXC}$
RXD

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	－0.5～7.0	V
入力電圧	V_{IN}	－0.5～V_{CC}＋0.3	V
動作温度	T_{OPR}	－40～85	℃
保存温度	T_{STG}	－65～150	℃

■端子機能

端子名	名　称	ピン番号	入出力	機　能
CLK	クロック	13	入　力	システム・クロック入力．1MHz～8.2MHzのクロックを入力する
$\overline{\text{RESET}}$	リセット	8	入　力	内部を初期化するリセット入力
TEST	テスト	12	入　力	テスト用の入力端子で，ハイ・レベルにプルアップして使用する
$\overline{\text{CS}}$	チップ・セレクト	48	入　力	CPUからのリード／ライトを可能にする．アクティブ・ロー
$\overline{\text{MRD}}$	メモリ・リード	52	出　力	バス・マスタのとき，外部メモリのデータを読み出す．アクティブ・ロー
$\overline{\text{MWR}}$	メモリ・ライト	53	出　力	バス・マスタのとき，外部メモリへのデータ書き込みを行う．アクティブ・ロー
$\overline{\text{IORD}}$	I/Oリード	49	入　力	CPUがμPD72103の内部レジスタの内容を読み出すのに使用する
$\overline{\text{IOWR}}$	I/Oライト	50	入　力	CPUがμPD72103の内部レジスタにデータを書き込むために使用する
ASTB	アドレス・ストローブ	60	出　力	アドレスを外部でラッチするための出力
$\overline{\text{UBE}}$	アッパ・バイト・イネーブル	54	入出力	バス・マスタでロード転送モードのとき有効データがD0～D7，A16D8～A23D15のいずれにあるかを示す．バス・スレーブのとき入力となり，同じくデータがどの端子にあるかを示す
$\overline{\text{B}}$/W	バイト／ワード	11	入　力	バス・マスタ時にデータ・バスがバイト単位かワード単位かを示す
READY	レディ	59	入　力	低速メモリに対応するため$\overline{\text{MRD}}$，$\overline{\text{MWR}}$信号幅を引き伸ばすための信号
HLDRQ	ホールド要求	57	出　力	CPUに対するホールド・リクエスト信号
HLDAK	ホールド・アクノリッジ	58	入　力	CPUからのホールド・アクノリッジ信号
AEN	アドレス・イネーブル	61	出　力	バス・マスタ時にラッチした上位アドレスをイネーブルにし，システム・アドレス・バスに出力させる
A0～A1	アドレス0～1	15，16	入出力	双方向アドレス・バス
A2～A15	アドレス2～15	17～30	出　力	バス・マスタの時，メモリ・アドレスを出力する
A16D8～A23D15	アドレス／データ	31～38	入出力	双方向3ステートのアドレス／データ・バス
D0～D7	データ0～7	39～46	入出力	双方向3ステートのデータ・バス
CRQ	コマンド要求	62	入　力	CPUがコマンド実行を要求する信号
INT	インタラプト	55	出　力	CPUへの割り込み信号
CLRINT	クリア・インタラプト	56	入　力	μPD72103が出力しているINT信号をイン・アクティブにする信号
TXD	トランスミット・データ	5	出　力	シリアル送信データ出力
$\overline{\text{TXC}}$	トランスミット・クロック	4	入出力	内蔵DPLLモード時は，CLK端子の16分周クロックを出力．外部DPLLモード時は，送信クロックを入力する
RXD	レシーブ・データ	3	入　力	シリアル受信データ入力
$\overline{\text{RXC}}$	レシーブ・クロック	2	入　力	内蔵DPLLモード時は，内蔵DPLL用の送受信クロック入力．外部DPLLモード時は，受信クロック入力
GI1，GI2	汎用入力1，2	63，6	入　力	汎用入力端子
GO1，GO2	汎用出力1，2	64，1	出　力	汎用出力端子

ISDN Controller [LAP-B]

■ ピン接続

μPD72107

ピン	信号	ピン	信号
1	(開放)IC	64	→ $\overline{RTS}$
2	$\overline{RxC}$ →	63	← $\overline{CD}$
3	RxD →	62	← CRQ
4	$\overline{TxC}$ ↔	61	→ AEN
5	TxD ←	60	→ ASTB
6	$\overline{CTS}$ →	59	← READY
7	(開放)IC	58	← HLDAK
8	$\overline{RESET}$ →	57	→ HLDRQ
9	(開放)NC	56	← CLRINT
10	(開放)IC	55	→ INT
11	$\overline{B}$/W →	54	↔ $\overline{UBE}$
12	PU →	53	→ $\overline{MWR}$
13	CLK →	52	→ $\overline{MRD}$
14	GND	51	GND
15	A_0 ↔	50	← $\overline{IOWR}$
16	A_1 ↔	49	← $\overline{IORD}$
17	A_2 ←	48	← $\overline{CS}$
18	A_3 ←	47	V_{CC}
19	A_4 ←	46	↔ D_7
20	A_5 ←	45	↔ D_6
21	A_6 ←	44	↔ D_5
22	A_7 ←	43	↔ D_4
23	A_8 ←	42	↔ D_3
24	A_9 ←	41	↔ D_2
25	A_{10} ←	40	↔ D_1
26	A_{11} ←	39	↔ D_0
27	A_{12} ←	38	↔ $A_{23}D_{15}$
28	A_{13} ←	37	↔ $A_{22}D_{14}$
29	A_{14} ←	36	↔ $A_{21}D_{13}$
30	A_{15} ←	35	↔ $A_{20}D_{12}$
31	$A_{16}D_8$ ↔	34	↔ $A_{19}D_{11}$
32	$A_{17}D_9$ ↔	33	↔ $A_{18}D_{10}$

■ 特　徴

- CCITT　X.25準拠のLAP-Bプロトコル用コントローラ
- ＨＤＬＣフレーム制御，シーケンス制御，フロー制御を行う
- オプション機能として，オプション・フレーム，グローバル・アドレス・フレーム，エラー・チェック，削除フレームを内蔵
- テスト機能として，データ・ループバック，ループバック・テスト・リンク，フレーム・トレース機能を内蔵
- 統計情報出力，モデム制御機能をもつ
- ２４ビット・アドレス，バイト/ワード転送可能なDMAC内蔵
- シリアル転送速度は，最大4Mbps

■ DC特性

($T_a = -40 \sim 85$°C, $V_{CC} = 5V \pm 10\%$)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	$I_{OL} = 2.5mA$	0.4	V
V_{OH}	$I_{OH} = 400\mu A$	$0.7 \times V_{CC}$*	V
I_{OL}	$V_{OUT} = 0 \sim V_{CC}$	±10	μA
I_{IL}	$V_{IN} = 0 \sim V_{CC}$	±10	μA
C_{IN}		15	pF

■ ブロック図

$D_0 \sim D_7$　$A_{16}D_8 \sim A_{23}D_{15}$　$A_0 \sim A_{15}$　$\overline{IORD}$　$\overline{IOWR}$　$\overline{MRD}$　$\overline{MWR}$　$\overline{UBE}$　$\overline{CS}$　ASTB　AEN　READY　HLDRQ　HLDAK　CRQ　INT　CLRINT　$\overline{B}$/W　PU　V_{CC}　GND　$\overline{RESET}$　CLK

バス・インターフェース　内部コントローラ　送信FIFO　内部バス　DMAC　受信FIFO　トランスミッタ　レシーバ

$\overline{TxC}$　TxD　$\overline{RTS}$　$\overline{CTS}$　$\overline{CD}$　$\overline{RxC}$　RxD

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	$-0.5 \sim 7.0$	V
入力電圧	V_{IN}	$-0.5 \sim V_{CC} + 0.3$	V
動作温度	T_{OPR}	$-40 \sim 85$	°C
保存温度	T_{STG}	$-40 \sim 125$	°C

■端子機能

端子名	ピン番号	入出力	機能
CLK	13	入　力	システム・クロック入力
$\overline{RESET}$	8	入　力	内部をイニシャライズする
PU	12	入　力	使用時は"H"にプルアップする
$\overline{CS}$	48	入　力	バス・マスタ時はディセーブルにし，バス・スレーブ時は"L"でリード/ライトが可能になる
$\overline{MRD}$	52	出　力	バス・マスタ時，"L"で外部メモリのデータを読み出す
$\overline{MWR}$	53	出　力	バス・マスタ時，"L"で外部メモリにデータを書き込む
$\overline{IORD}$	49	入　力	外部ホスト・プレセッサがμPD72305に対したIKO読み出しをおこなう入力
$\overline{IOWR}$	50	入　力	外部ホスト・プロセッサがμPD72305に対してI/O書き込みをおこなう入力
ASTB	60	出　力	μPD72107から出力されるアドレスを外部でラッチするために用いる
$\overline{UBE}$	54	入出力	バス・マスタ時，$\overline{B}$/W端子の入力値によりこの端子から出力される信号が変わる．バス・スレーブ時，$\overline{UBE}$端子は入力となり，有効データがD_0～D_7端子か，$A_{16}D_8$～$A_{23}D_{15}$端子のどちらにあるかを示す
$\overline{B}$/W	11	入　力	バス・マスタ時，外部メモリをアクセスするデータ・バスを指定する
READY	59	入　力	低速なメモリに適応させるために，μPD72107が出力する$\overline{MRD}$, $\overline{MWR}$信号幅を引き延ばすために用いられる入力信号
HLDRQ	57	出　力	外部のホスト・プロセッサに対するホールド・リクエスト信号
HLDAK	58	入　力	外部のホスト・プロセッサからのホールド・アクノリッジ信号
AEN	61	出　力	バス・マスタ時にこの信号はラッチした上位アドレスをイネーブルにし，システム・アドレス・バスへ出力させる
A_0～A_1	15，16	入出力	双方向3ステートのアドレス・ライン
A_2～A_{15}	17～30	出　力	バス・マスタ時，メモリ・アクセスのアドレスの2ビットから15ビット出力

端子名	ピン番号	入出力	機能
$A_{16}D_8$～$A_{23}D_{15}$	31～38	入出力	双方向3ステートのアドレス/データ・バス
D_0～D_7	39～46	入出力	双方向3ステートのデータ・バス
CRQ	62	入　力	外部ホスト・プロセッサがμPD72107にコマンド実行を要求する信号
INT	55	出　力	μPD72107から外部ホスト・プロセッサへの割り込み信号
CLRINT	56	入　力	μPD72107が出力しているINT信号をイン・アクティブにする信号
$\overline{CTS}$	6	入　力	汎用入力ピン．Clear To Sendとして使用する
$\overline{RTS}$	64	出　力	汎用出力ピン．Request To Sendとして使用
$\overline{CD}$	63	入　力	汎用入力ピン．Carrier Detectとして使用
TxD	5	出　力	シリアル送信データ出力端子
$\overline{TxC}$	4	入出力	DPLLモード使用時(出力)．μPD72107内部で作られたRxC端子またはCLK端子の入力信号を16分周したクロックを出力する
			DPLLモード以外の使用時(入力)．外部から送信クロックを入力する
RxD	3	入　力	シリアル受信データ入力端子
$\overline{RxC}$	2	入　力	DPLLモード使用時．μPD72107内蔵DPLL用の送受信クロックの16倍のクロック入力
			DPLLモード以外の使用時．受信クロック入力

ISDN Controller (LAP-D)

■ ピン接続

μPD72305

ピン	信号	方向	ピン	信号	方向
1	(開放) IC		64	TxSIG	→
2	$\overline{RxC}$	→	63	CG(GND)	
3	RxD	→	62	CRQ	←
4	$\overline{TxC}$	↔	61	AEN	→
5	TxD	←	60	ASTB	→
6	$\overline{TxRDY}$	→	59	READY	←
7	$\overline{TxRQ}$	←	58	HLDAK	←
8	$\overline{RESET}$	→	57	HLDRQ	→
9	(開放) NC		56	CLRINT	←
10	(開放) IC		55	INT	→
11	$\overline{B}$/W	→	54	$\overline{UBE}$	↔
12	PU	→	53	$\overline{MWR}$	→
13	CLK	→	52	$\overline{MRD}$	→
14	GND		51	GND	
15	A_0	↔	50	$\overline{IOWR}$	←
16	A_1	↔	49	$\overline{IORD}$	←
17	A_2	←	48	$\overline{CS}$	←
18	A_3	←	47	V_{CC}	
19	A_4	←	46	D_7	↔
20	A_5	←	45	D_6	↔
21	A_6	←	44	D_5	↔
22	A_7	←	43	D_4	↔
23	A_8	←	42	D_3	↔
24	A_9	←	41	D_2	↔
25	A_{10}	←	40	D_1	↔
26	A_{11}	←	39	D_0	↔
27	A_{12}	←	38	$A_{23}D_{15}$	↔
28	A_{13}	←	37	$A_{22}D_{14}$	↔
29	A_{14}	←	36	$A_{21}D_{13}$	↔
30	A_{15}	←	35	$A_{20}D_{12}$	↔
31	$A_{16}D_8$	↔	34	$A_{19}D_{11}$	↔
32	$A_{17}D_9$	↔	33	$A_{18}D_{10}$	↔

■ 特　徴

- CCITT　I.440, I.441準拠でISDNのベーシック・アクセスに使用されるLAP-Dプロトコル用コントローラ
- ＨＤＬＣ制御, シーケンス制御, フロー制御, マルチリンク対応を行う
- ベーシック(16Kbps), プライマリ(64Kbps)対応可
- ISDNレイヤ１インターフェース用に, 競合サポート解決ピン, シグナリング優先制御サポート用ピンをもつ
- ２４ビット・アドレス, バイト/ワード転送可能なＤＭＡＣ内蔵
- メモリ・ベースド・インターフェース
  コマンドとステータスはテーブル形式でリング構成. SAPIごとにステータス・テーブル分離可能. 送受信データは外部メモリ上にストア
- 局側/端末側の選択可能

■ DC特性

(T_a = −40〜85°C, V_{CC}=5V±10%)

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.2*	V
V_{OL}	I_{OL}=2.5mA	0.4	V
V_{OH}	I_{OH}=400μA	0.7×V_{CC}*	V
I_{OL}	V_{OUT}=0〜V_{CC}	±10	μA
I_{IL}	V_{IN}=0〜V_{CC}	±10	μA
C_{IN}		15	pF

■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.5〜7.0	V
入力電圧	V_{IN}	−0.5〜V_{CC}+0.3	V
動作温度	T_{OPR}	−40〜85	°C
保存温度	T_{STG}	−40〜125	°C

■端子機能

端子名	ピン番号	入出力	機能
CLK	13	入力	システム・クロック入力
$\overline{RESET}$	8	入力	μPD72305 内部をクリアする
PU	12	入力	通常使用時は“H”にプルアップする
$\overline{CS}$	48	入力	バス・マスタ時，ディセーブルにする
			バス・スレーブ時，“L”でホスト・プロセッサからのリード/ライト動作が可能となる
$\overline{MRD}$	52	出力	バス・マスタ時，“L”で外部メモリ内容を読み出す
			バス・スレーブ時，$\overline{MRD}$ 端子出力はハイ・インピーダンス
$\overline{MWR}$	53	出力	バス・マスタ時，“L”で外部メモリにデータを書き込む
			バス・スレーブ時，$\overline{MWR}$ 端子出力はハイ・インピーダンス
$\overline{IORD}$	49	入力	外部ホスト・プロセッサが μPD72305 に対して，I/O 読み出しをおこなう入力
$\overline{IOWR}$	50	入力	外部ホスト・プロセッサが μPD72305 に対して，I/O 書き込みをおこなう入力
ASTB	60	出力	μPD72305 から出力されるアドレスを外部でラッチするために用いる
$\overline{UBE}$	54	入出力	バス・マスタ時，$\overline{B}$/W 端子の入力値によりこの端子から出力される信号が変わる
			バス・スレーブ時，$\overline{UBE}$ 端子は入力となり，有効データが D_0〜D_7 端子か $A_{16}D_8$〜$A_{23}D_{15}$ 端子のどちらにあるかを示す
$\overline{B}$/W	11	入力	バス・マスタ時に外部メモリをアクセスするデータ・バスを指定する
READY	59	入力	低速なメモリに適応させるために，μPD72305 が出力する $\overline{MRD}$，$\overline{MWR}$ 信号幅を引き延ばすために用いられる入力信号
HLDAK	58	入力	外部のホスト・プロセッサからのホールド・アクノリッジ信号
HLDRQ	57	出力	外部のホスト・プロセッサに対するホールド・リクエスト信号

端子名	ピン番号	入出力	機能
AEN	61	出力	バス・マスタ時にこの信号は，ラッチした上位アドレスをイネーブルにし，システム・アドレス・バスへ出力させる
A_0〜A_1	15，16	入出力	双方向3ステートのアドレス・ライン
A_2〜A_{15}	17〜30	出力	バス・マスタ時，メモリ・アクセスのアドレスの2ビットから15ビットを示す
$A_{16}D_8$〜$A_{23}D_{15}$	31〜38	入出力	双方向3ステートのアドレス/データ・バス
D_0〜D_7	39〜46	入出力	データの下位0ビットから7ビット
CRQ	62	入力	外部ホスト・プロセッサが μPD72305 にコマンド実行を要求する信号
INT	55	出力	μPD72305 から外部ホスト・プロセッサへの割り込み信号
CLRINT	56	入力	μPD72305 が出力している INT 信号をイン・アクティブにする信号
$\overline{TxRQ}$	7	出力	μPD72305 が TxD 端子からシリアル・データを送信する前に“L”になる
$\overline{TxRDY}$	6	入力	外部回路からの送信許可信号を入力する
TxSIG	64	出力	送信データがシグナリング情報かそれ以外かを示す． ▶ TxSIG＝0　シグナリング情報以外のパケット ▶ TxSIG＝1　シグナリング情報
TxD	5	出力	シリアル送信データ出力端子
$\overline{TxC}$	4	入出力	DPLL モード使用時(出力)，μPD72305 内部で作られた $\overline{RxC}$ 端子または CLK 端子の入力信号を16分周した送受信クロックを出力する
			DPLL モード以外の使用時(入力)，外部から送信クロックを入力する
RxD	3	入力	シリアル受信データ入力端子
$\overline{RxC}$	2	入力	DPLL モード使用時，μPD72305 内蔵 DPLL 用の送受信クロックの16倍クロック入力
			DPLL モード以外の使用時，受信クロック入力

SCC (Serial Communication Controller)

■ ピン接続

信号	ピン	ピン	信号
AD1 ↔	1	40	↔ AD0
AD3 ↔	2	39	↔ AD2
AD5 ↔	3	38	↔ AD4
AD7 ↔	4	37	↔ AD6
$\overline{INT}$ ←	5	36	← $\overline{DS}$
IEO ←	6	35	← $\overline{AS}$
IEI →	7	34	← R/$\overline{W}$
$\overline{INTACK}$ →	8	33	← $\overline{CS_0}$
(+5V) V_{cc}	9	32	← CS1
$\overline{W/REQA}$ ←	10	31	GND (0V)
$\overline{SYNCA}$ ↔	11	30	→ $\overline{W/REQB}$
$\overline{RTxCA}$ →	12	29	↔ $\overline{SYNCB}$
RxDA →	13	28	← $\overline{RTxCB}$
$\overline{TRxCA}$ ↔	14	27	← RxDB
TxDA ←	15	26	↔ $\overline{TRxCB}$
$\overline{DTR/REQA}$ ←	16	25	→ TxDB
$\overline{RTSA}$ ←	17	24	→ $\overline{DTR/REQB}$
$\overline{CTSA}$ →	18	23	→ $\overline{RTSB}$
$\overline{DCDA}$ →	19	22	← $\overline{CTSB}$
PCLK →	20	21	← $\overline{DCDB}$

Z8030

● Z8030はZ-BUSマルチプレクス・バスに適用される．Z80の8ビットCPU用にはZ8530（Z85C30）がある

《違い》

AD0～AD7は，データのみのD0～D7

ピン	Z8030	Z8530	機　能
36	$\overline{DS}$	$\overline{RD}$	リード
35	$\overline{AS}$	$\overline{WR}$	ライト
34	R/$\overline{W}$	A/$\overline{B}$	チャネルA,Bの選択
33	CS0	$\overline{CE}$	チップ・イネーブル
32	CS1	D/$\overline{C}$	データ・コマンドの選択

● Z8530のレジスタの選択は，WR0でレジスタを設定，次のリード/ライトでレジスタにアクセスする．その他は共通．

■ 特　徴

・２個の独立した全二重チャネル
・　バイト志向同期フォーマット
　　ビット志向同期フォーマット
　　非同期フォーマット
　の三つを扱うことができる
・同期でのデータ転送速度
　　最大１．５Ｍビット（モノシンク，バイシンク）
　　最大３７５Ｋｂｉｔ／ｓｅｃ（ＦＭ符号化方式ＤＰＬＬ）
　　最大１８７Ｋｂｉｔ／ｓｅｃ（ＮＲＺＩ符号化方式ＤＰＬＬ）
・非同期（調歩同期）モード
　　１キャラクタに対し５～８ビット
　　１，１1/2，２ストップ・ビット
パリティ：偶数，奇数，なし
クロック・モード：×１，×１６，×３２，×６４
ブレークの生成と検出
パリティ，オーバラン，フレーミングの各エラー検出

■ 最大定格

項　目	記号	定　格	単位
入力電圧	V_{IN}	−0.3～＋7.0	V
出力電圧	V_{OUT}	−0.3～＋7.0	V
動作温度	T_{OPR}	0～＋70	℃
保存温度	T_{STG}	−65～＋150	℃

■ DC特性

（T_a＝0～＋70℃，V_{CC}＝＋5V±5％）

記号	測 定 条 件	min	max	単位
V_{IH}		2.0	V_{CC}+0.3	V
V_{IL}		−0.3	0.8	V
V_{OH}	I_{OH}＝−250μA	2.4		V
V_{OL}	I_{OL}＝＋2.0mA		0.4	V
I_{IL}	$0.4 \leqq V_{IN} \leqq +2.4V$		10.0	μA
I_{OL}	$0.4 \leqq V_{OUT} \leqq +2.4V$		10.0	μA

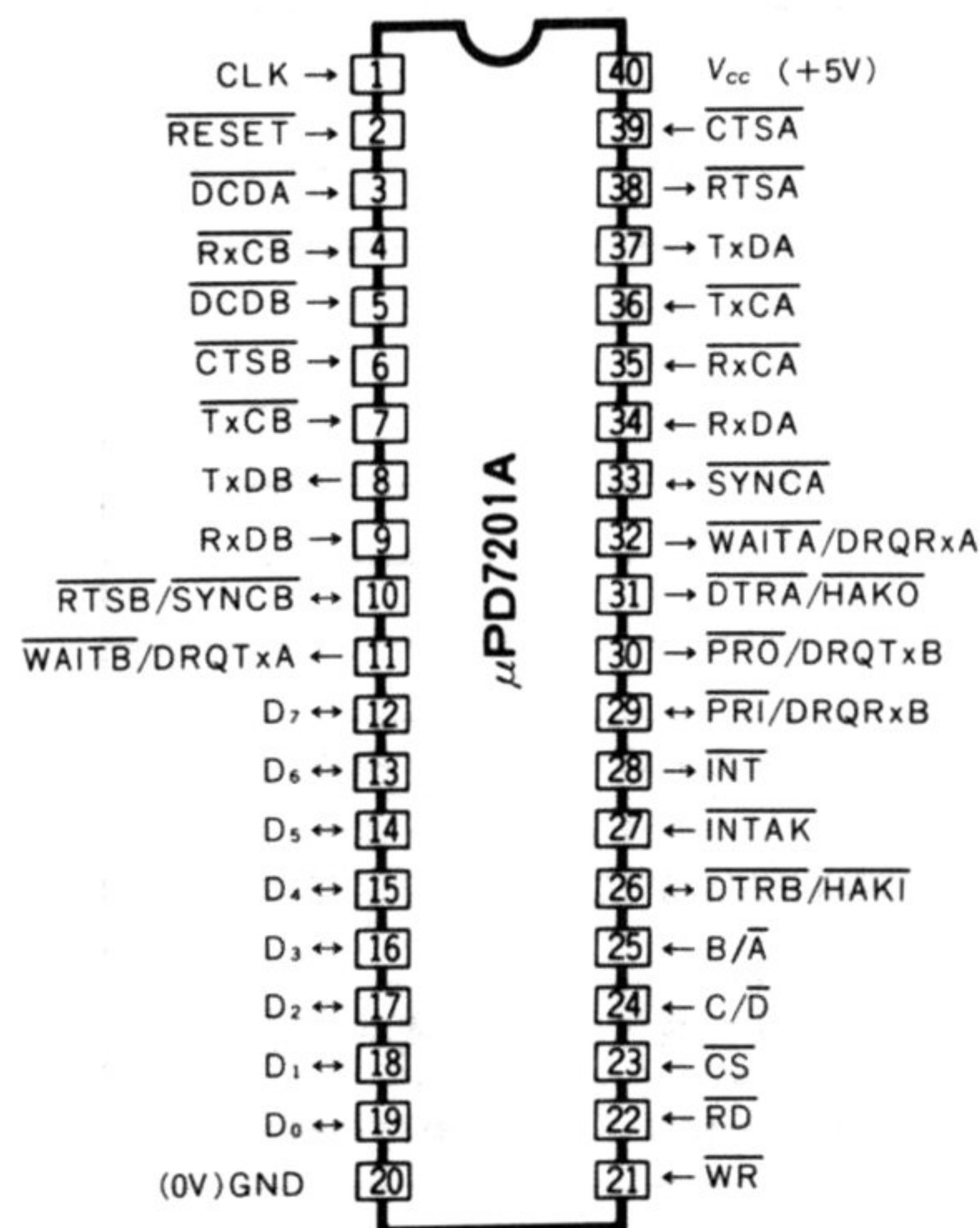
■ ブロック図

アドレス/データ・バス
8
R/W →
チップ・セレクト
データ・ストローブ →
アドレス・ストローブ →
CPU BUS I/O
内部制御回路
割り込み制御
割り込み制御回路
＋5V GND PCLK
内部バス
ボーレイト・ジェネレータA
チャネルAレジスタ
チャネルBレジスタ
ボーレイト・ジェネレータB
チャネルA
シリアル・データ
チャネル・クロック
$\overline{SYNC}$
$\overline{WAIT/REQUEST}$
ディスクリート制御およびステータスA
モデム，DMAなどのコントロール
ディスクリート制御およびステータスB
モデム，DMAなどのコントロール
チャネルB
シリアル・データ
チャネル・クロック
$\overline{SYNC}$
$\overline{WAIT/REQUEST}$

■端子機能

端子名	名　　称	ピン番号	入出力	機　　　能
AD_0～AD_7	アドレス/データ・バス	1～4, 37～40	入出力	マルチプレクスされたシステム・アドレス/データ・バス
$\overline{AS}$	アドレス・ストローブ	35	入　力	アクティブ“L”．アドレスの確定を示す
$\overline{DS}$	データ・ストローブ	36	入　力	アクティブ“L”．データの確定を示す
$R/\overline{W}$	読み出し/書き込み	34	入　力	“H”で読み出し，“L”で書き込みを示す
$\overline{CS_0}$	チップ・セレクト 0	33	入　力	アクティブ“L”．チップ選択信号
CS_1	チップ・セレクト 1	32	入　力	アクティブ“H”．チップ選択信号
$\overline{INT}$	割り込み要求	5	出　力	アクティブ“L”．割り込み要求を示す
$\overline{INTACK}$	割り込み応答	8	入　力	アクティブ“L”．割り込み応答サイクルを示す
IEI	割り込みイネーブル入力	7	入　力	アクティブ“H”．割り込み優先順位を決めるデイジィ・チェーンを形成するために使用
IEO	割り込みイネーブル出力	6	出　力	アクティブ“H”．割り込み優先順位を決めるデイジィ・チェーンを形成するために使用
$\overline{W/REQA}$, $\overline{W/REQB}$	ウェイト/要求	10, 30	オープン・ドレイン出力	アクティブ“L”．DMA がバス・マスタのときは要求線，CPU がバス・マスタのときはウェイト線として動作
$\overline{CTSA}$, $\overline{CTSB}$	送信可	18, 22	入　力	アクティブ“L”．トランスミッタを送信可能状態にする．汎用入力端子としても使用可能
$\overline{RTSA}$, $\overline{RTSB}$	送信要求	17, 23	出　力	アクティブ“L”．トランスミッタが空になった後“H”．汎用出力端子としても使用可能
TxDA, TxDB	送信データ	15, 25	入　力	送信用データ線
$\overline{DCDA}$, $\overline{DCDB}$	受信可	19, 21	入　力	アクティブ“L”．レシーバを受信可能状態にする．汎用入力端子としても使用可能
$\overline{RxDA}$, $\overline{RxDB}$	受信データ	13, 27	入　力	受信用データ線
$\overline{RTxCA}$, $\overline{RTxCB}$	受信/送信クロック	12, 28	入　力	通信用クロック
$\overline{TRxCA}$, $\overline{TRxCB}$	送信/受信クロック	14, 26	入　力 出　力	通信用クロック
$\overline{DTR/REQA}$, $\overline{DTR/REQB}$	データ・ターミナル・レディ/要求	16, 24	出　力	アクティブ“L”．DMA への要求線，または汎用出力端子としても使用可能
$\overline{SYNCA}$, $\overline{SYNCB}$	同期	11, 29	入　力 出　力	アクティブ“L”．同期パターンが認識されたことを示す．各モードにより入力/出力になる
PCLK	クロック	20	入　力	単相クロック．CPUと同一のものでなくてもよい

（注）$\overline{AS}$ と $\overline{DS}$ が同時に“L”となることにより初期状態（リセット）になる

MPSC〔Multi Protocol Serial Controller〕

■ ピン接続

μPD7201A

ピン	信号		ピン	信号
1	CLK →		40	V_{CC} (+5V)
2	RESET →		39	← CTSA
3	DCDA →		38	→ RTSA
4	RxCB →		37	→ TxDA
5	DCDB →		36	← TxCA
6	CTSB →		35	← RxCA
7	TxCB →		34	← RxDA
8	TxDB ←		33	↔ SYNCA
9	RxDB →		32	→ WAITA/DRQRxA
10	RTSB/SYNCB ↔		31	→ DTRA/HAKO
11	WAITB/DRQTxA ←		30	→ PRO/DRQTxB
12	D_7 ↔		29	↔ PRI/DRQRxB
13	D_6 ↔		28	→ INT
14	D_5 ↔		27	← INTAK
15	D_4 ↔		26	↔ DTRB/HAKI
16	D_3 ↔		25	← B/A
17	D_2 ↔		24	← C/D
18	D_1 ↔		23	← CS
19	D_0 ↔		22	← RD
20	(0V)GND		21	← WR

■ 特　徴

・８０８５Ａ／８０８６系バス・コンパチブル
・送受信部
　・全二重高速動作：１Ｍビット／秒（５ＭＨｚ動作時）
　・独立した２チャネルのトランスミッタ／レシーバ／モデム信号
　・バッファリング：Ｒｘデータ／ステータス×４，Ｔｘデータ×２
　・キャラクタ・ビット長：５～８ビット
　・パリティ，ＣＲＣ生成／検査
　・フレーミング，Ｒｘオーバラン検査
　・非同期動作
　　ストップ・ビット長：１，１．５，２
　　Ｔｘ／Ｒｘクロック・レート：×１，×１６，×３２，×６４
　・ビット同期動作（ＨＤＬＣ，ＳＤＬＣ）
　　自動ゼロ挿入／除去
　　自動フラグ送出／検出／除去
　　端数キャラクタ処理
　　２次局／グローバル・アドレス検出
　　フレーム終了検出
　　アボート送出／検出
　　送信キャラクタ数制御
　・バイト同期動作（Monosync, Bisync, Extsync）
　　プログラマブルＳＹＮＣキャラクタ
　　自動ＳＹＮＣキャラクタ送出／検出／除去
　　豊富な同期モード（１バイト，２バイト，外部同期）
・ホスト・インターフェース部
　・割り込み：割り込みベクタ自動発生
　　　　　　：デイジィ・チェーン方式選択可
　・ＤＭＡ　：４本のＤＭＡ要求信号
　　　　　　：デイジィ・チェーン方式選択可

■ 最大定格

（T_a＝25℃）

項　目	記号	定　格	単位
電源電圧	V_{CC}	－0.5～＋7.0	V
入力電圧	V_{IN}	－0.5～＋7.0	V
出力電圧	V_{OUT}	－0.5～＋7.0	V
動作温度	T_{OPR}	0～＋70	℃
保存温度	T_{STG}	－65～＋150	℃

■ ブロック図

CTSB　DCDB　RTSB/SYNCB　RxDB　TxDB　RxCB　TxCB
CLK　クロック・ドライバ　チャネルB
D_7～D_0　データ・バス・バッファ＆ベクタ・レジスタ
チャネルB内部データ・バス
チャネルA内部データ・バス
CS　RD　WR　C/D　B/A　RESET　リード/ライト＆ウェイト・コントロール（WAIT）
CR_0～CR_5　制御信号
Tx上位長さレジスタ　Tx下位長さレジスタ　Tx長さコントロール　SR_3　SR_4
SR_0　SR_1(0～3)　SR_1(4～7)
Rxデータ・バッファ　CR_7　CR_6　Txデータ・バッファ
Tx シフトレジスタ
DTRB/HAKI　WAITA/DRQRxA　WAITB/DRQTxA　PRI/DRQRxB　PRO/DRQTxB　DTRA/HAKO
DMAコントロール＆プライオリティ判断ロジック
Rx, Tx ステータス・コントロール　Rx シフトレジスタ　ゼロ挿入　Tx CRC計算
Rx CRC計算＆コンパレータ
INTAK　INT　INTコントロール＆プライオリティ判断ロジック
SYNC/HUNTコントロール　SYNC Reg＆ゼロ消去　Tx マルチプレクサ　Rx, Tx クロック・コントロール
チャネルA
RTSA　CTSA　DCDA　SYNCA　RxDA　TxDA　RxCA　TxCA

■ 端子機能

端子名	ピン番号	入出力	機能
$\overline{RESET}$	2	入力	1クロック・サイクル以上で，システム・リセット
CLK	1	入力	System Clock. 単相システム・クロック，データ・レートの4.5倍以上
D_7～D_0	12～19	入出力	Data Bus. 8ビット双方向データ・バス
$\overline{CS}$	23	入力	Chip Select. Tx/Rxバッファまたはコントロール/ステータス・レジスタへのアクセスを可能にする
$\overline{WR}$	21	入力	Write. CPUまたはメモリから，MPSCへのデータ/コマンドの書き込み制御信号
$\overline{RD}$	22	入力	Read. MPSCからCPUまたはメモリへのデータ/ステータス読み出し制御信号
C/$\overline{D}$	24	入力	Control/$\overline{\text{Data}}$. ライトまたはリード動作において，データ・バス上の情報の種類を示す
B/$\overline{A}$	25	入力	Channel B/$\overline{\text{Channel A}}$. ライトまたはリード動作において，動作するチャネルを指定する
$\overline{INT}$	28	オープン・ドレイン出力	Interrupt Request. MPSC内に割り込み要因がおきた場合に“L”の割り込み要求信号を出す
$\overline{INTAK}$	27	入力	Interrupt Aknowledge. 割り込み要求信号に対するアクノリッジ信号入力
$\overline{PRI}$/DRQRxB	29	入力/出力	Priority Input/DMA Request RxB. CR_{2A}:D_1～D_0によって二つの機能を切り替える
$\overline{PRO}$/DRQTxB	30	出力	Priority Output/DMA Request TxB. CR_{2A}:D_1～D_0によって切り替える
$\overline{WAITA}$/DRQRxA	32	オープン・ドレイン出力	Wait A/DMA Request RxA. CR_{2A}:D_7～D_0により切り替える
$\overline{WAITB}$/DRQTxA	11	オープン・ドレイン出力	Wait B/DMA Request TxA. CR_{2A}:D_7～D_0により切り替える
$\overline{DTRB}$/$\overline{HAKI}$	26	出力/入力	Data Terminal Ready/Hold Acknowledge Input. CR_{2A}:D_1～D_0で切り替え
$\overline{DTRA}$/$\overline{HAKO}$	31	出力	Data Terminal Ready/Hold Acknowledge Output. CR_{2A}:D_1～D_0で切り替え

端子名	ピン番号	入出力	機能
RxDA, RxDB	34, 9	入力	Receive Data A/B. 受信データの入力端子
TxDA, TxDB	37, 8	出力	Transmit A/B. 送信データの出力端子
$\overline{RxCA}$, $\overline{RxCB}$	35, 4	入力	Receive Clock A/B. この信号の立ち上がりで受信データをサンプリングする
$\overline{TxCA}$, $\overline{TxCB}$	36, 7	入力	Transmit Clock A/B. この信号の立ち下がりで送信データが出力される
$\overline{SYNCA}$	33	入出力	Synchronization A
RTSB/SYNCB	10	入力/入出力	Request To Send B/Synchronization B. CR_{2A}:D_7の$\overline{RTSB}$/$\overline{SYNCB}$セレクト・ビットによって機能を切り替える. “0”=$\overline{RTSB}$, “1”=$\overline{SYNCB}$.
$\overline{CTSA}$, $\overline{CTSB}$, DCDA, DCDB	39, 6, 3, 5	入力	Clear To Send A/B Data Carrier Detect A/B } 両者の機能は類似している. これらの端子の立ち上がり/立ち下がりによって，E/S割り込みの発生(割り込みイネーブル時)およびE/Sビット（SR_0:D_5, D_3）へのラッチ動作が起こる
$\overline{RTSA}$	38	出力	Request To Send A. RTSビット(CR_5:D_1)によりコントロールされる

MPC 〔Multi Protocol Controller〕

■ ピン接続

MB89372

ピン	信号	ピン	信号
1	READY →	64	V_{CC}
2	$M/\overline{IO}$ ←	63	← CLK
3	$\overline{CS}$ →	62	← RESET
4	$\overline{RD}$ ↔	61	→ HRQ
5	$\overline{WR}$ ↔	60	← HLDA
6	ADSTB ←	59	→ INT
7	A_{23}/D_7 ↔	58	← $\overline{INTA}$
8	A_{22}/D_6 ↔	57	← $\overline{SSEL}$
9	A_{21}/D_5 ↔	56	↔ $\overline{RxCB}$
10	A_{20}/D_4 ↔	55	← RxDB
11	A_{19}/D_3 ↔	54	→ $\overline{LOCB}$
12	A_{18}/D_2 ↔	53	→ TxDB
13	A_{17}/D_1 ↔	52	↔ $\overline{TxCB}$
14	A_{16}/D_0 ↔	51	← $\overline{CTSB}$
15	V_{CC}	50	V_{SS}
16	A_{15} ←	49	→ SCLK
17	A_{14} ←	48	→ SCLKX
18	A_{13} ←	47	← $\overline{HALFRATE}$
19	A_{12} ←	46	← $\overline{DCDB}$
20	A_{11} ←	45	→ $\overline{RTSB}$
21	A_{10} ←	44	↔ $\overline{DSRB}/\overline{SYNDETB}$
22	A_9 ←	43	→ $\overline{DTRB}$
23	A_8 ←	42	↔ $\overline{RxCA}$
24	A_7 ←	41	← RxDA
25	A_6 ←	40	→ $\overline{LOCA}$
26	A_5 ↔	39	→ TxDA
27	A_4 ↔	38	↔ $\overline{TxCA}$
28	A_3 ↔	37	← $\overline{CTSA}$
29	A_2 ↔	36	← $\overline{DCDA}$
30	A_1 ↔	35	→ $\overline{RTSA}$
31	A_0 ↔	34	↔ $\overline{DSRA}/\overline{SYNDETA}$
32	V_{SS}	33	→ $\overline{DTRA}$

■ 特　徴

- ASYNC, COP(Character Oriented Protocol), BOP(Bit Oriented Protocol)の３種のシリアル・データ転送手順をサポートする
- ２チャネルの全二重通信チャネルを内蔵. 最大２Ｍｂｐｓの転送が可能
- BOPではHDLCでの転送動作，アドレス・フィールドの２バイトまでの自動比較を行う
- SDLCのループ・モードをサポートする
- COPでは３種の同期検出モードをサポートする
- ３種(LRC, CRC16, CCITT)のＣＲＣチェックをサポート
- NRZ, NRZI, FM0, FM1, マンチェスタ符号をサポート
- 各種のエラー割り込み機能をもつ
- ディスクリプタ・チェイン方式のＤＭＡＣを４チャネル内蔵
- ２４ビットのＤＭＡアドレス内蔵

■ ブロック図

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3〜7.0	V
入力電圧	V_{IN}	−0.3〜 V_{CC}+0.3	V
動作温度	T_{OPR}	0〜70	℃
保存温度	T_{STG}	−55〜150	℃

■ DC特性

（T_a＝0〜70℃，V_{CC}＝5V±10%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝2.5mA	0.4	V
V_{OH}	I_{OH}＝2.5mA	3.0*	V
I_{OL}	V_{OUT}＝0〜 V_{CC}	±10	μA
I_{IL}	V_{IN}＝0〜 V_{CC}	±10	μA

■ 端子機能

端子名	ピン番号	入出力	機能
$\overline{\mathrm{TxCA}}$	38	入出力	チャネルA送信クロック
$\overline{\mathrm{TxCB}}$	52	入出力	チャネルB送信クロック
$\overline{\mathrm{RxCA}}$	42	入出力	チャネルA受信クロック
$\overline{\mathrm{RxCB}}$	56	入出力	チャネルB受信クロック
$\overline{\mathrm{RTSA}}$	35	出力	チャネルA送信要求
$\overline{\mathrm{RTSB}}$	45	出力	チャネルB送信要求
$\overline{\mathrm{DTRA}}$	33	出力	チャネルAデータ・ターミナル・レディ
$\overline{\mathrm{DTRB}}$	43	出力	チャネルBデータ・ターミナル・レディ
$\overline{\mathrm{DCDA}}$	36	入力	チャネルAデータ・キャリア検出
$\overline{\mathrm{DCDB}}$	46	入力	チャネルBデータ・キャリア検出
$\overline{\mathrm{CTSA}}$	37	入力	チャネルA送信可
$\overline{\mathrm{CTSB}}$	51	入力	チャネルB送信可
$\overline{\mathrm{DSRA}}$/ $\overline{\mathrm{SYNDETA}}$	34	入出力	チャネルAデータ・セット・レディ/SYNC検出
$\overline{\mathrm{DSRB}}$/ $\overline{\mathrm{SYNDETB}}$	44	入出力	チャネルBデータ・セット・レディ/SYNC検出
TxDA	39	出力	チャネルA送信データ
TxDB	53	出力	チャネルB送信データ
RxDA	41	入力	チャネルA受信データ
RxDB	55	入力	チャネルB受信データ
SCLK	49	入力	クロック入力端子．水晶取り付け端子
SCLKX	48	出力	水晶取り付け端子
$\overline{\mathrm{HALF}}$ RATE	47	入力	Half Rate 入力．SCLK 入力を2分周する
INT	59	出力	CPU に対する割り込み要求

端子名	ピン番号	入出力	機能
$\overline{\mathrm{INTA}}$	58	入力	CPU からの割り込みアクノリッジ
HRQ	61	出力	システム・バス・アクセス要求
HLDA	60	入力	システム・バス・アクセス許可入力
RESET	62	入力	システム・リセット
$\overline{\mathrm{RD}}$	4	入出力	(バス・スレーブ)：MPC 内のレジスタ読み出し． (バス・マスタ)：メモリの内容の読み出し
$\overline{\mathrm{WR}}$	5	入出力	(バス・スレーブ)：MPC 内のレジスタへの書き込み． (バス・マスタ)：メモリへのデータ書き込み
READY	1	入力	バス・マスタ時のメモリ・レディ
$\overline{\mathrm{CS}}$	3	入力	(バス・スレーブ)：MPC のチップ・セレクト． (バス・マスタ)：Don't care
ADSTB	6	出力	MPC がバス・マスタ時のアドレス・ストローブ信号
M/$\overline{\mathrm{IO}}$	2	出力	MPC がバス・マスタ時のメモリ/IO セレクト信号
CLK	63	入力	システム・クロック
$\overline{\mathrm{SSEL}}$	57	入力	割り込みコントローラ・カスケード接続用．スレーブ・セレクト入力
A_{23}/D_7～A_{16}/D_0	7～14	入出力	(バス・スレーブ)：CPU の RD/WR データがのる． (バス・マスタ)：システム・アドレスの発生． /MPU：メモリ間データ
A_{15}～A_6	16～25	出力	(バス・スレーブ)：Don't care. (バス・マスタ)：システム・アドレスの発生
A_5～A_0	26～31	入出力	(バス・スレーブ)：内部レジスタのセレクト． (バス・マスタ)：システム・アドレスの発生
$\overline{\mathrm{LOCA}}$	40	出力	チャネル A ループ2次局時のオンライン・コントロール
$\overline{\mathrm{LOCB}}$	54	出力	チャネル B ループ2次局時のオンライン・コントロール

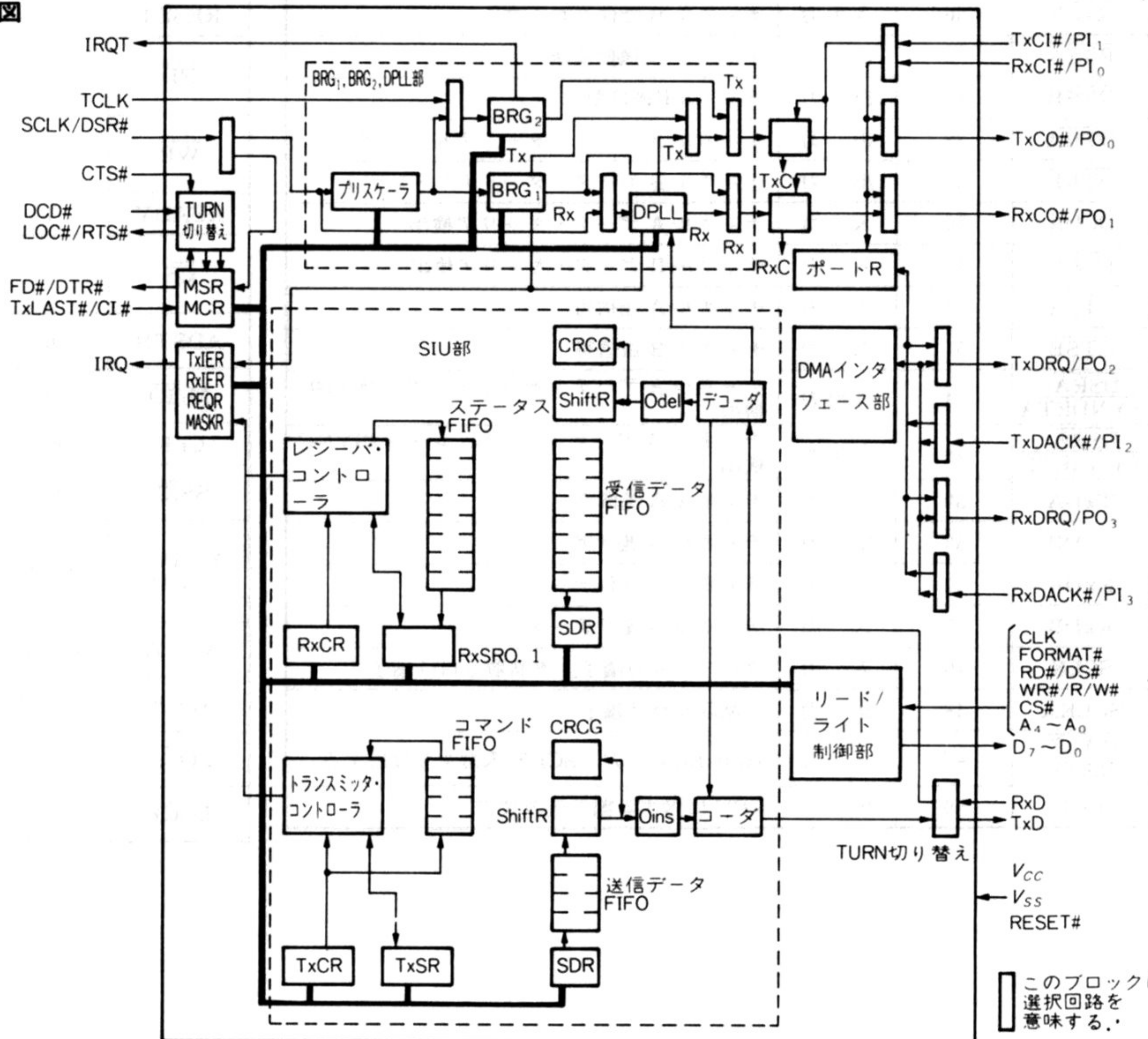
DLC (Data Link Controller)

■ ピン接続

MB89374

ピン	信号	ピン	信号
1	CLK →	42	V_{CC}
2	FORMAT# →	41	← RxDACK#/PI₃
3	RESET# →	40	← TxDACK#/PI₂
4	RD#/DS# →	39	→ RxDRQ/PO₃
5	WR#/R/W# →	38	→ TxDRQ/PO₂
6	CS# →	37	→ IRQT
7	A_4 →	36	GND
8	A_3 →	35	→ IRQ
9	A_2 →	34	→ FD#/DTR#
10	A_1 →	33	← SCLK/DSR#
11	A_0 →	32	← TxLAST#/CI#
12	GND	31	← TxCI#/PI₁
13	D_7 ↔	30	→ TxCO#/PO₁
14	D_6 ↔	29	→ TxD
15	D_5 ↔	28	← RxD
16	D_4 ↔	27	← RxCI#/PI₀
17	D_3 ↔	26	→ RxCO#/PO₀
18	D_2 ↔	25	← DCD#
19	D_1 ↔	24	← CTS#
20	D_0 ↔	23	← TCLK
21	GND	22	→ LOC#/RTS#

■ 特　徴

・ＢＯＰのシリアル・データ転送手順をサポート
・ＳＤＬＣのＬＯＯＰモードをサポート
・全二重通信方式の通信チャネルを１チャネル内蔵
・最大2.5Mbpsの転送が可能（10MHz動作時）

ただし，ＬＯＯＰモードの場合は下記になる
　NRZ, NRZI符号　　　：最大1250Kbps
　FM, マンチェスタ符号：最大833Kbps
インターフレーム・スペーシング・カウンタを内蔵

■ ブロック図

IRQT, TCLK, SCLK/DSR#, CTS#, DCD#, LOC#/RTS#, FD#/DTR#, TxLAST#/CI#, IRQ
TURN切り替え, MSR MCR, TxIER RxIER REQR MASKR
BRG₁, BRG₂, DPLL部, プリスケーラ, BRG₂, BRG₁, DPLL, Tx, Rx, TxC, RxC
ポートR, DMAインタフェース部, リード/ライト制御部
SIU部, CRCC, ShiftR, Odel, デコーダ, ステータスFIFO, レシーバ・コントローラ, 受信データFIFO, RxCR, RxSR0.1, SDR
コマンドFIFO, CRCG, トランスミッタ・コントローラ, ShiftR, Oins, コーダ, 送信データFIFO, TxCR, TxSR, SDR
TxCI#/PI₁, RxCI#/PI₀, TxCO#/PO₀, RxCO#/PO₁, TxDRQ/PO₂, TxDACK#/PI₂, RxDRQ/PO₃, RxDACK#/PI₃
CLK, FORMAT#, RD#/DS#, WR#/R/W#, CS#, A_4～A_0, D_7～D_0, RxD, TxD, TURN切り替え, V_{CC}, V_{SS}, RESET#
▯ このブロックは選択回路を意味する.

■ 最大定格

項　目	記号	定　格	単位
電源電圧	V_{CC}	−0.3～7.0	V
入力電圧	V_{IN}	−0.3～V_{CC}+0.3	V
動作温度	T_{OPR}	0～70	℃
保存温度	T_{STG}	−55～150	℃

■ DC特性

（T_a＝0～70°C, V_{CC}＝5V±10%）

記号	測定条件	max/min*	単位
V_{IL}		0.8	V
V_{IH}		2.0*	V
V_{OL}	I_{OL}＝2.5mA	0.4	V
V_{OH}	I_{OH}＝2.5mA	3.0*	V
I_{OL}	V_{OUT}＝0～V_{CC},	±10	μA
I_{IL}	V_{IN}＝0～V_{CC}	±10	μA
C_{IN}	f＝1MHz, T_a＝25°C	20	pF

■端子機能

端子名	ピン番号	入出力	機能
T_XCO#/PO_1	30	出力	送信クロック出力端子またはポート出力1端子
T_XCI#/PI_1	31	入力	送信クロック入力端子またはポート入力1端子
R_XCO#/PO_0	26	出力	受信クロック出力端子またはポート出力0端子
R_XCI#/PI_0	27	入力	受信クロック入力端子またはポート入力0端子
LOC#/RTS#	22	出力	ループ・オンライン・コントロールまたは送信要求端子
FD#/DTR#	34	出力	フラグ検出またはデータ・ターミナル・レディ端子
DCD#	25	入力	データ・キャリア・ディテクト端子
CTS#	24	入力	クリア・トゥ・センド端子
T_XLAST#/CI#	32	入力	送信DMA終了信号または呼び出し表示端子
T_XD	29	出力	シリアル・データの出力端子
R_XD	28	入力	シリアル・データの入力端子
SCLK/DSR#	33	入力	ソース・クロック入力端子またはデータ・セット・レディ端子
TCLK	23	入力	BRG_2用クロックの入力端子
RESET#	3	入力	システム・リセット信号の入力端子
RD#/DS#	4	入力	リード/データ・ストローブ端子
WR#/R/W#	5	入力	ライト，リード/ライト端子
CS#	6	入力	DLC内部のレジスタをアクセスするときに入力するチップ・セレクト端子
FORMAT#	2	入力	CPUインターフェース・モードの設定端子
D_7～D_0	13～20	入出力	8ビート・データの入出力端子
A_4～A_0	7～11	入力	DLC内部レジスタ選択用のアドレス入力端子
IRQ	35	出力	割り込み要求端子
IRQT	37	出力	割り込み要求端子
R_XDRQ/PO_3	39	出力	受信DMA要求端子またはポート出力3端子
T_XDRQ/PO_2	38	出力	送信DMA要求端子またはポート出力2端子
R_XDACK#/PI_3	41	入力	受信DMAアクノリッジ端子またはポート入力3端子
T_XDACK#/PI_2	40	入力	送信DMAアクノリッジ端子またはポート入力2端子
CLK	1	入力	DLCの動作クロックの入力端子

1997年版　最新マイコン周辺LSI規格表

1983年6月1日　初版発行
1997年5月20日　発　行
(1997.5.20　第1刷)

編著者　CQ出版株式会社
発行人　蒲生良治
発行所　CQ出版株式会社
〒170 東京都豊島区巣鴨1-14-2
電話　出版部 03-5395-2123
販売部 03-5395-2141
振替　00100-7-10665

定価は表四に
表示してあります

印刷・製本　株式会社　丹誠社

■掲載メーカ一覧（海外メーカ，ＡＢＣ順）

略号	メーカ名	問合わせ先（日本法人/輸入商社/担当部課）	住所	電話番号
ADAPTEC	Adaptec Inc.	日商エレクトロニクス㈱ PCﾌﾟﾛﾀﾞｸﾄ部 営業2課	〒104 東京都中央区築地7-3-1	03-3544-8388
AMD	Advanced Micro Devices Inc.	日本ＡＭＤ㈱	〒163-08 東京都新宿区西新宿2-4-1 (新宿NSﾋﾞﾙ)	03-3346-7550
ALTERA	Altera Corp.	日本アルテラ㈱ 営業部	〒163-04 東京都新宿区西新宿2-1-1 (新宿三井ﾋﾞﾙ,私書箱261号)	03-3340-9480
AMCC	Applied Micro Circuits Corp.	テクセル㈱ 第1製品部	〒150 東京都渋谷区東2-27-10 (TBC)	03-5467-9104
CHIPS	Chips & Technologies, Inc.	イノマイクロ㈱ 販売促進技術部	〒222 横浜市港北区新横浜2-13-13 (KM第1ﾋﾞﾙ)	045-476-7508
CIRRUS	Cirrus Logic, Inc.	シーラス・ロジック㈱	〒160 東京都新宿区西新宿6-14-1 (新宿ｸﾞﾘｰﾝﾀﾜｰﾋﾞﾙ26F)	03-3340-9111
Cypress	Cypress Semiconductor Corp.	日本サイプレスセミコンダクタ㈱	〒160 東京都新宿区新宿1-23-1 (新宿ﾏﾙﾈﾋﾞﾙ)	03-5269-0871
DALLAS	Dallas Semiconductor Corp.	システム・マーケティング㈱ ﾏｰｹﾃｨﾝｸﾞ部	〒101 東京都千代田区外神田2-2-12 (福井ﾋﾞﾙ)	03-3254-2751
		マイクロテック㈱ ﾏｰｹﾃｨﾝｸﾞ1部	〒168 東京都杉並区和泉2-7-5	03-5300-5535
HARR	Harris Co.	ハリス㈱ ﾏｰｹﾃｨﾝｸﾞ部	〒102 東京都千代田区麹町5-3-5 (麹町中田ﾋﾞﾙ)	03-3265-7571
INTEL	Intel Corp.	菱洋エレクトロ㈱ 輸入電子営業本部	〒104 東京都中央区築地1-12-22 (ｺﾝﾜﾋﾞﾙ)	03-3543-2212
		ダイヤ・セミコンシステムズ㈱ ﾏｲｸﾛｺﾝﾋﾟｭｰﾀ営業本部 本社営業ｸﾞﾙｰﾌﾟ	〒222 横浜市港北区新横浜3-23-3 (東武AKﾋﾞﾙ)	045-476-7400
		岡谷エレクトロニクス㈱	〒450 名古屋市中村区名駅南1-16-30	052-583-8558
		旭エレクトロニクス㈱ ｲﾝﾃﾙ事業部	〒160 東京都新宿区新宿1-11-5 (不二越ﾋﾞﾙ)	03-3350-6471
INTS	現在 Harris			
MOT	Motorola Inc.	日本モトローラ㈱ 情報ｻｰﾋﾞｽｾﾝﾀｰ	〒141 東京都品川区西五反田4-32-1	0120-191014
NS	National Semiconductor Corp.	ナショナルセミコンダクタージャパン㈱ ｶｽﾀﾏ･ﾚｽﾎﾟﾝｽ･ｾﾝﾀ	〒135 東京都江東区木場2-17-16 (URD木場ﾋﾞﾙ)	0120-666-116
SIGNE	Philips Semiconductors	日本フィリップス㈱ 半導体事業部 ﾏｰｹﾃｨﾝｸﾞ･ｻｰﾋﾞｽ部 宣伝販促課	〒108 東京都港区港南2-13-37 (ﾌｨﾘｯﾌﾟｽﾋﾞﾙ)	03-3740-5130
PLX	PLX Technology, Inc.	㈱日本アイ・シー 営業技術部	〒151 東京都渋谷区千駄ヶ谷4-5-15	03-3402-5280
RCA	現在 Harris			
ZILOG	Zilog Inc.	ザイログジャパン㈱	〒169 東京都新宿区西早稲田2-20-15	03-5272-0230

■掲載メーカ一覧（国内メーカ，五十音順）

略号	メーカ名	問合わせ先（担当部課）	住所	電話番号
ASAHI	旭化成マイクロシステム㈱	営業本部 営業第2部	〒151 東京都渋谷区代々木1-24-10（TSﾋﾞﾙ）	03-3320-2064
AMPE	㈱アンペール	営業部	〒160 東京都新宿区西新宿7-7-6 （ﾄｰﾜ西新宿ﾋﾞﾙ）	03-5330-6800
OKI	沖電気工業㈱	電子ﾃﾞﾊﾞｲｽ事業本部 営業本部	〒108 東京都港区芝浦4-10-3（本社別館）	03-5445-6027
SHAP	シャープ㈱	国内電子部品営業本部 販促企画部	〒545 大阪市阿倍野区長池町22-22 （大阪ｾﾝﾀｰﾋﾞﾙ）	06-621-1221
ZENIC	㈱ジーニック		〒520-21 滋賀県大津市大萱1-17-14 （松政ﾋﾞﾙ）	0775-43-2101
EPSON	セイコーエプソン㈱	ED営業推進部 IC営業技術ｸﾞﾙｰﾌﾟ	〒191 東京都日野市日野421-8	0425-87-5816
SEIKO	セイコー電子工業㈱	ｺﾝﾎﾟｰﾈﾝﾄ営業1部 営業技術課	〒261 千葉市美浜区中瀬1-8	043-211-1192
SONY	ソニー㈱	ｴﾚｸﾄﾛﾆｯｸﾃﾞﾊﾞｲｽ営業本部 国内営業部	〒108 東京都港区高輪4-10-18	03-5448-3480
TOSI	㈱東芝	半導体事業本部 半導体営業統括部 半導体営業企画担当	〒105-01 東京都港区芝浦1-1-1（東芝ﾋﾞﾙ）	03-3457-3405
NEC	日本電気㈱	半導体ｿﾘｭｰｼｮﾝ技術本部 技術情報支援部	〒210 川崎市幸区塚越3-484	044-548-7915
NPC	日本プレシジョン・サーキッツ㈱	営業部営業2課	〒135 東京都江東区福住2-4-3	03-3642-6663
HITA	㈱日立製作所	ﾏｲｺﾝ･ASIC本部 ﾏｲｺﾝ製品技術部	〒100 東京都千代田区大手町2-6-2 （日本ﾋﾞﾙ）	03-5201-5022
FUJI	富士通㈱	電子ﾃﾞﾊﾞｲｽ営業本部 営業企画推進統括営業部	〒140 東京都新宿区西新宿2-7-1 （新宿第一生命ﾋﾞﾙ）	03-5322-3329
MATUSHITA	松下電子工業㈱	半導体事業本部 販売統括部	〒617 京都府長岡京市神足焼町1	075-951-8151
MITU	三菱電機㈱	半導体営業推進部	〒107 東京都港区赤坂5-2-20（赤坂ﾊﾟｰｸﾋﾞﾙ）	03-5573-3385
RICO	リコー㈱	電子ﾃﾞﾊﾞｲｽ事業部 営業部	〒222 横浜市港北区新横浜3-2-3	045-477-1703
ROHM	ローム㈱	広報室	〒615 京都市右京区西院溝崎町21	075-311-2121